

Исследование возможности оценки надежности СБИС на основе методологии ускоренных испытаний тестовых структур на пластине.

Студент: Новосёлов А.С.

Руководитель квалификационной
работы : доцент, к.т.н. Макачук В.В

Актуальность работы:

- Достигнутый высокий уровень долговечности и безотказности СБИС сделал практически невозможным решение задач оценки надежности на основе традиционной методологии натуральных статистических испытаний;
- Исследование физических закономерностей протекания деградационных процессов в материалах и структурах ИС, а также влияния внешних воздействий и дефектов на их кинетику позволит комплексно решить задачи оценки и прогнозирования показателей надежности и создаст предпосылки для управления надежностью микроэлектронных изделий.

Цели и задачи

Цель: Разработка методов оценки надежности СБИС на основе ускоренных испытаний тестовых структур на пластине.

Решаемые задачи:

1. исследование существующих методов оценки и прогнозирования показателей надежности СБИС;
2. анализ физических закономерностей деградиационных процессов в структурах и элементах, типичных для базовых технологических процессов КМОП 0.5 мкм и 0.35 мкм в широком диапазоне температур и электрических режимов;
3. разработка образцов тестового кристалла с тестовыми структурами (с учетом необходимости идентификации дефектов), оптимизированными для технологических процессов КМОП 0.5 мкм и 0.35 мкм;
4. проведение экспериментальных исследований образцов тестового кристалла с тестовыми структурами.
5. Анализ результатов экспериментальных исследований.

Систематизация подходов в теории надежности

Причины отказов	Деградация материала	Деградация и мелкие дефекты	Деградация и грубые дефекты
Подходы	Физический	Физико-статистический	Статистический
Модель надежности	Детерминированная функция	Функция случайных аргументов	Случайная функция
Входная информация	Детерминированные модели	Функции распредел. аргументов модели	Функция распределения числа отказов
Область применения	На этапах проектирования изделий	На всех этапах ЖЦ изделий	Для изделий с невысокими требованиями к надежности

Ограничения традиционных методов к оценке надежности

- для подтверждения требуемых высоких уровней надежности необходимо испытание неприемлемо больших выборок изделий в течение длительного времени
- проведение длительных испытаний связано со значительными временными и материальными затратами и не согласуется с современными требованиями к срокам проектирования и изготовления
- результаты, полученные при испытаниях одного типа изделий, практически не могут быть использованы для оценки надежности изделий другого типа
- испытания предусматривают использование корпусированных схем, что существенно ограничивает возможности разделения отказов, обусловленных дефектами кристалла и отказов, являющихся следствием самого корпусирования

Преимущества физико-статистического подхода оценки надежности СБИС

- оперативность оценки, что обеспечивает возможность оценки надежности каждой партии или пластины в реальном масштабе времени
- четкая граница между отказами кристалла и отказами корпусированной схемы
- универсальность получаемых результатов (возможность оценки надежности различных типов микросхем)
- возможность оценки влияния условий применения на надежность

WLR – методология надежности испытаний на пластине

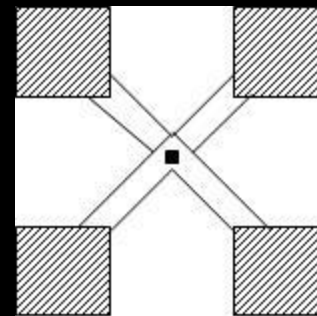
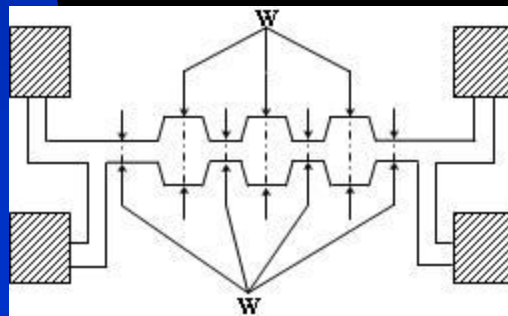
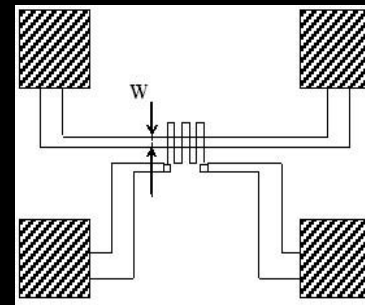
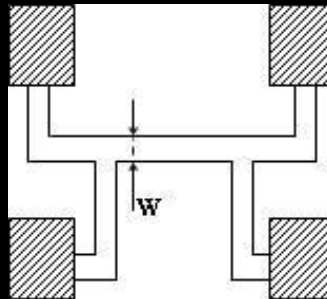
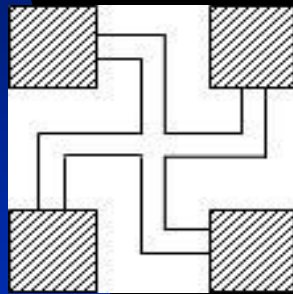
Контроль параметров структур WLR на уровне пластин не позволяет дать прямую оценку интенсивности отказов, но с помощью измерения электрических параметров можно определить, когда влияние конкретного механизма на интенсивность отказов становится значимым.

Основные механизмы отказов ИМС

- деградация под влиянием горячих носителей
- электромиграция
- времязависимый пробой диэлектрика
- деградация под влиянием внутренних механических напряжений

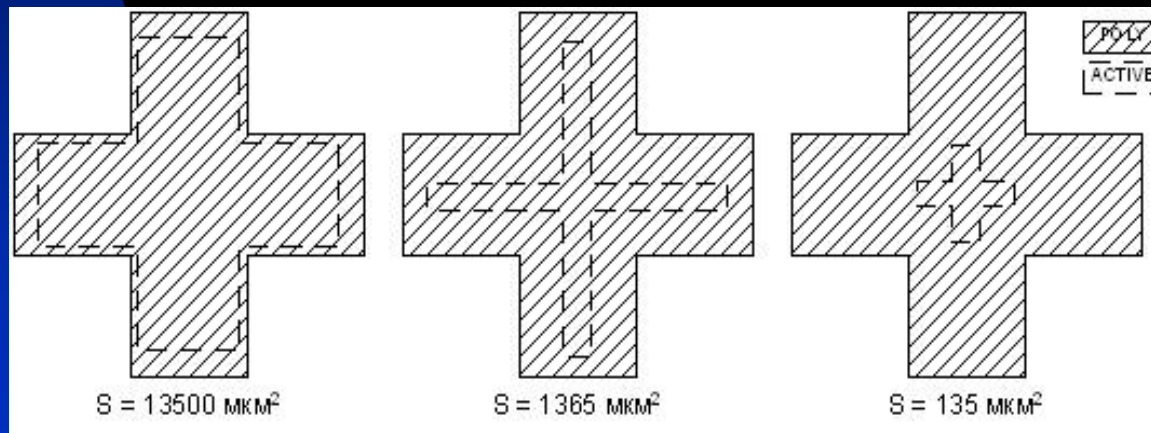
Тестовые структуры

- Для исследования электромиграции:



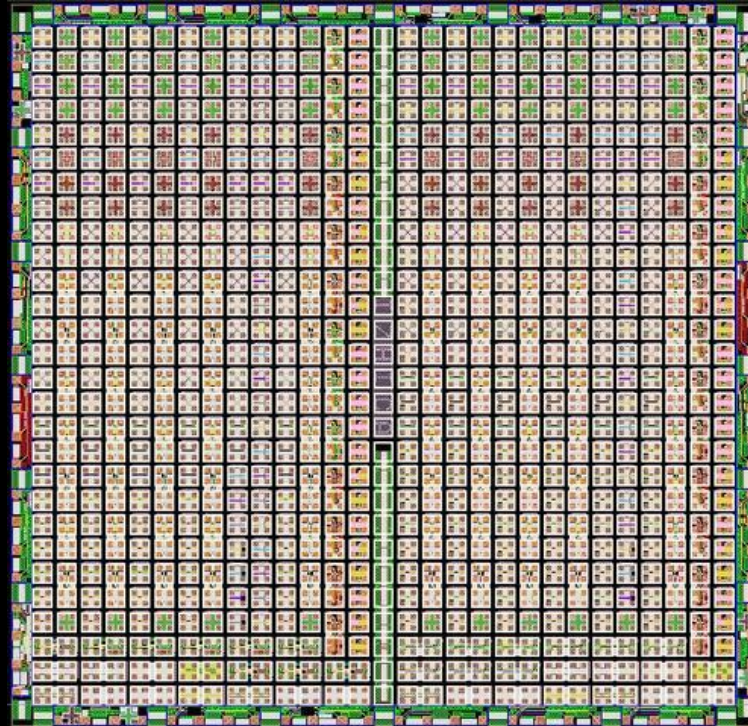
Тестовые структуры

- Для исследования
времязависимого пробоя
диэлектрика

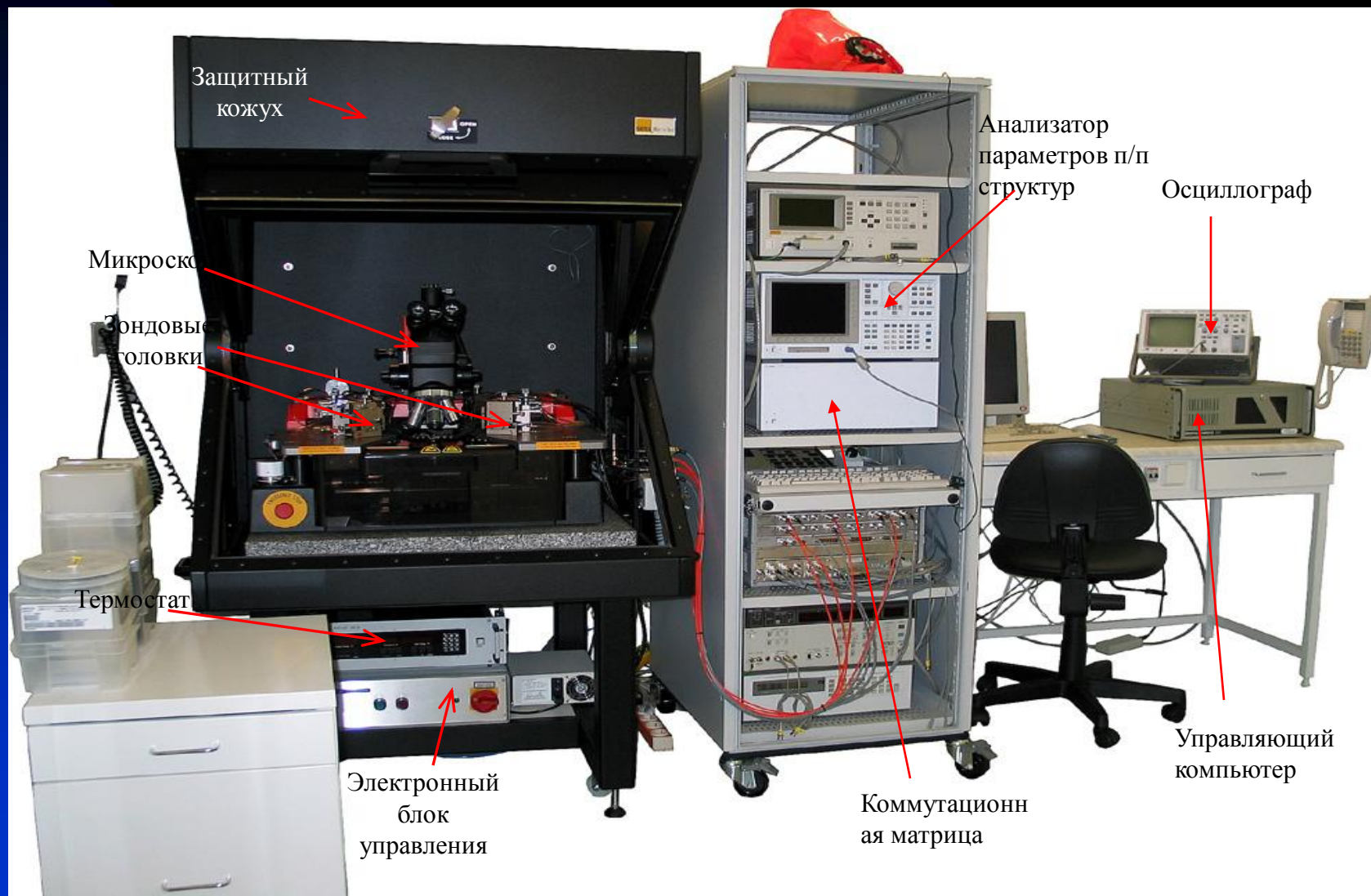


Общий вид тестового кристалла

Тестовый кристалл надёжности состоит из 2 частей, предназначенных для оценки надёжности элементов, формируемых в двух базовых технологических процессах КМОП 0,35 мкм (левая часть) и КМОП 0,5 мкм (правая часть), соответственно. Обе части содержат функционально и конструктивно подобные структуры, ориентированные на соответствующие технологические процессы.

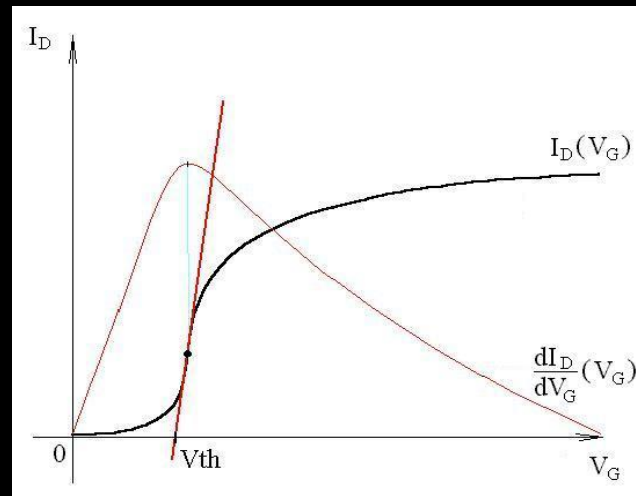


Стенд для проведения испытаний

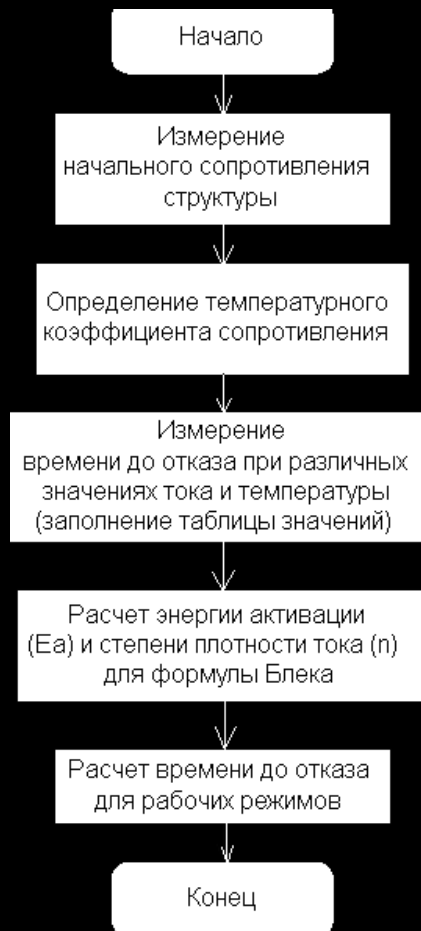


Методика измерения и расчета порогового напряжения n-канального МОП транзистора

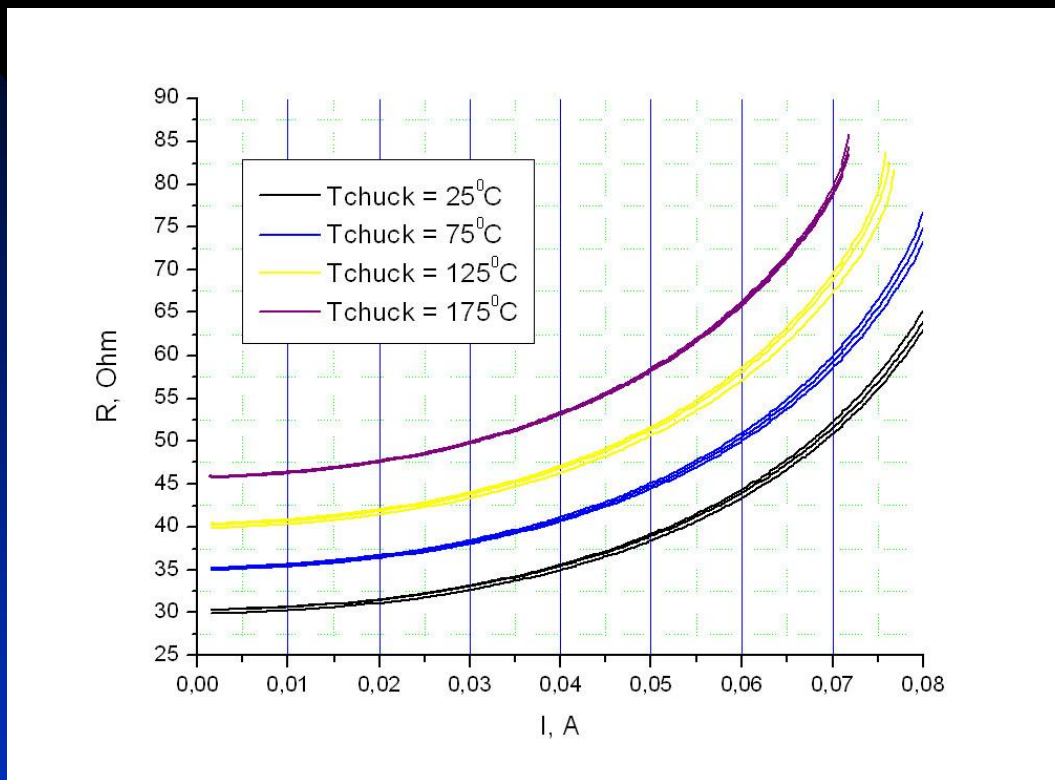
- На сток транзистора подается напряжение $V_D = 0.1$ В, на затвор подается напряжение V_G от 0 до 5 В, с шагом 0.1 В. Исток и подложка (для кольцевых транзисторов) соединяются с землей. Измеряется ток стока I_D . Далее вычисляется производная, в точке максимального значения производной на кривой $I_D(V_G)$ проводится касательная. Точка пересечения касательной с осью V_G является пороговым напряжением – V_{th} .



Алгоритм теста на электромиграцию

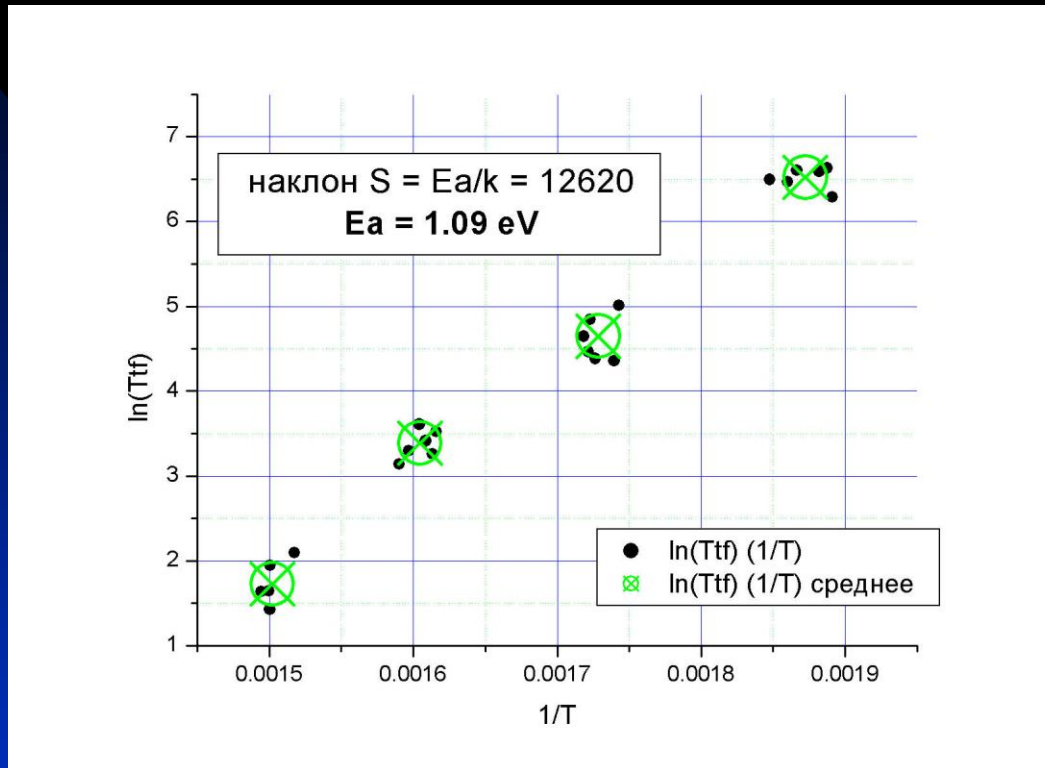


Результаты испытаний:



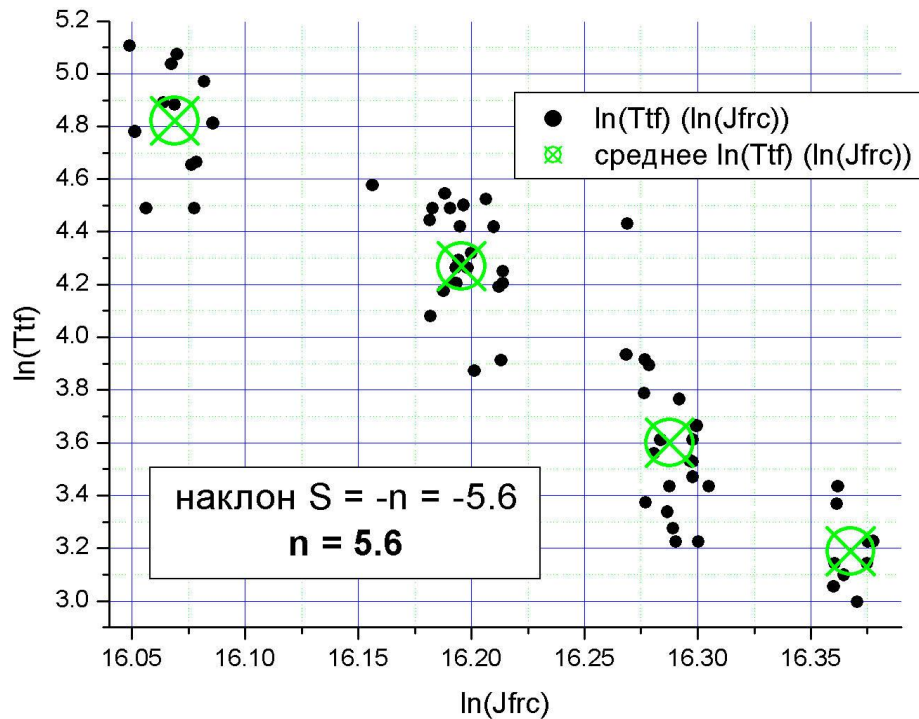
Зависимости сопротивления первого уровня металлизации с постоянной (1 мкм) шириной от подаваемого тока при различных температурах столика 25, 75, 125 и 175 0С

Результаты испытаний:



Результаты измерений времени до отказа на шине первого уровня металлизации при фиксированном уровне тока $I = 70 \text{ mA}$ и различных температурах столика - 25, 75, 125 и 175 C

Результаты испытаний:



Результаты измерений времени до отказа на шине первого уровня металлизации при различных температурах 25, 75, 125 и 175 0С и уровнях тока

Основные результаты квалификационной работы

Состав тестовых структур на кристалле обеспечивает проведение исследований на пластине:

- - процесса электромиграции в токоведущих шинах, контактах и переходных контактах всех уровней;
- - процесса деградации МОП-транзисторов под влиянием горячих носителей заряда и ионно-дрейфовых эффектов в подзатворном диэлектрике;
- - процесса времязависимого пробоя подзатворного диэлектрика в центральной области транзистора и на границах затвора и активных областей;
- - параметров проводящих и диэлектрических слоев, диодов, транзисторов и высокоомных резисторов.

Основные результаты квалификационной работы

- Обеспечивают возможность разработки физических моделей отказов элементов СБИС
- Дают возможность выдать рекомендации по уточнению правил проектирования КМОП СБИС, изготавливаемых в НИИСИ РАН, с учетом требований к их долговечности и безотказности для базовых технологических процессов КМОП с проектными нормами 0,5 мкм и 0,35 мкм.