



**РАЗРАБОТКА СПЕЦИАЛЬНОГО ВЫЧИСЛИТЕЛЬНОГО
БЛОКА RISC ПРОЦЕССОРА ДЛЯ РЕШЕНИЯ
ТЕЛЕКОММУНИКАЦИОННЫХ ЗАДАЧ**

Магистрант:

Лейбова М.А.

Научный руководитель:

Кузнецов А. С.

Цель работы

Разработка расширенного набора команд, позволяющего снизить вычислительные ресурсы, для RISC процессора при обработке речевого сигнала.

- ❖ **CISC** (Complex Instruction Set Computer) — вычисления со сложным набором команд.
- ❖ **RISC** (Reduced Instruction Set Computing) — вычисления с сокращённым набором команд.
- ❖ **DSP** (Digital Signal Processor) — специализированный микропроцессор, предназначенный для цифровой обработки сигналов

Схемы построения мобильных устройств

Первоначальная схема построения мобильных устройств:

- микроконтроллер для поддержки клавиатуры, экрана и приложений
- БИС для обработки сигнала, работающая под управлением микроконтроллера.

Выпуск двуядерных процессоров:

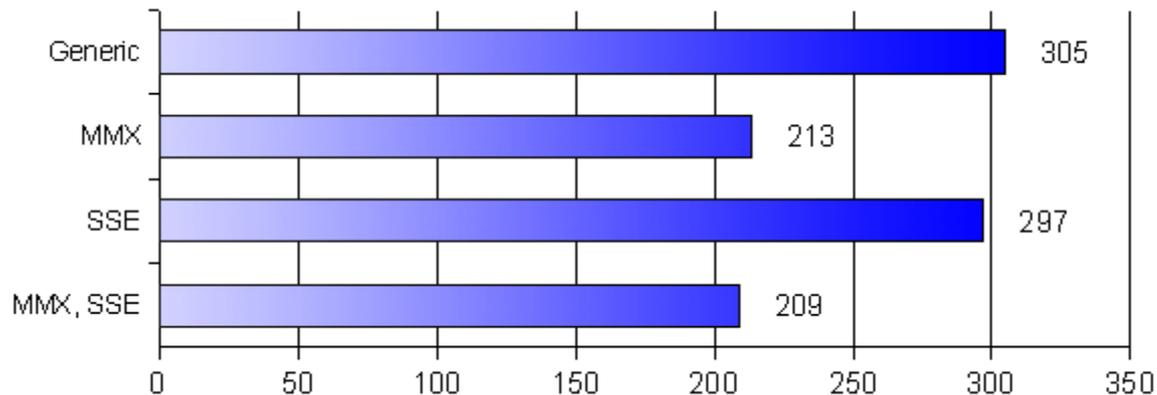
- *первое ядро* — RISC процессор, для работы операционной системы и обработки пользовательских запросов
- *второе ядро* — цифровой сигнальный процессор DSP, осуществляющий обработку речевого и видео сигналов.

Расширение набора команд процессора

Использование RISC-процессора с расширенным набором команд

Расширенные наборы команд

- ❖ **MMX**—дополнительный набор инструкций, выполняющих поддержку приложений, ориентированных на работу с большими массивами данных целого типа, над которыми выполняются одинаковые операции.
- ❖ **SSE** — набор инструкций увеличивающий производительность в том случае, когда необходимо произвести одну и ту же последовательность действий над разными данными.



Прирост быстродействия при тестирования речевого кодака с использованием инструкции расширения и без них

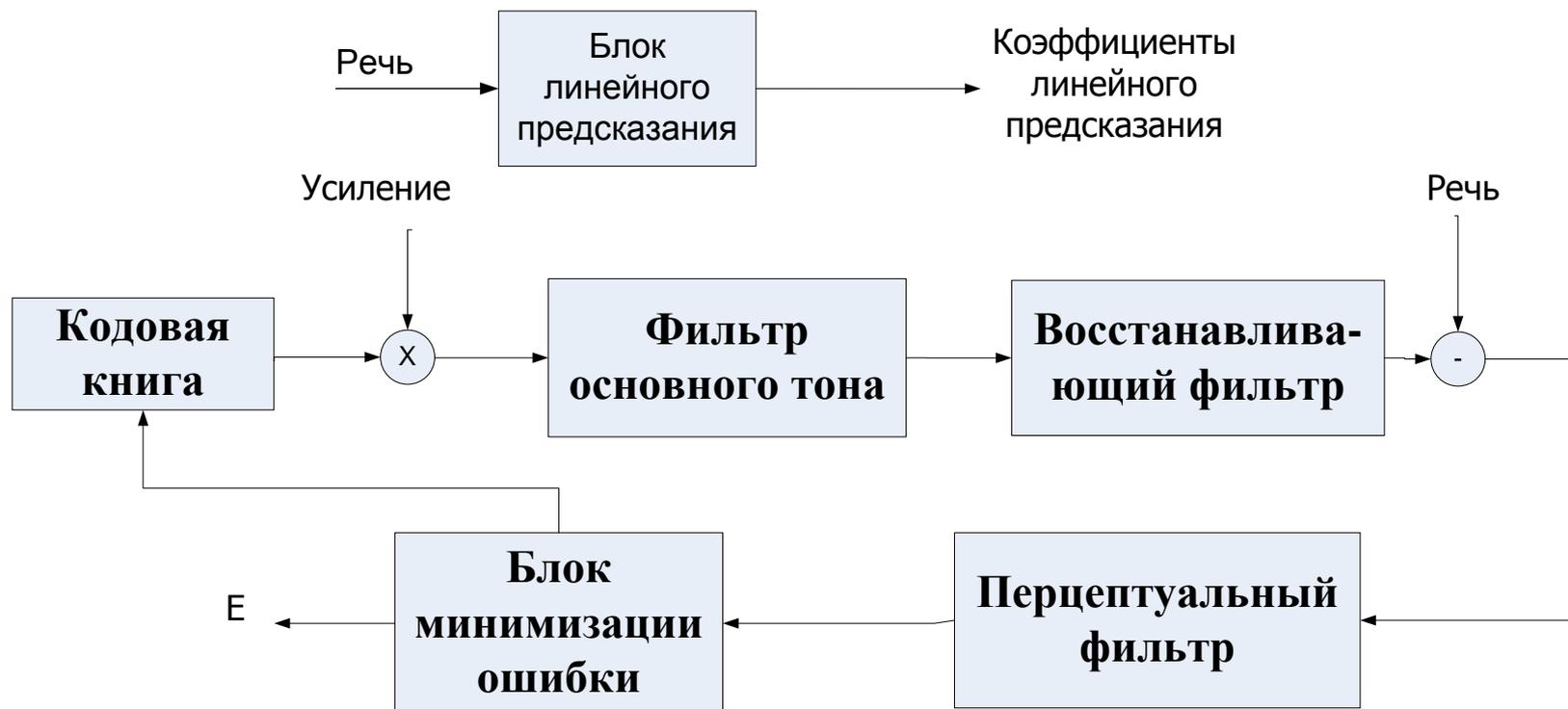
CELP-алгоритм

Линейное предсказание с мультикодовым управлением

Алгоритм CELP базируется на:

- ❖ Использование модели источника-фильтра для воспроизведения речи на основе линейного предсказания (ЛП);
- ❖ Использование кодовых таблиц в качестве базы для модели линейного предсказания;

Разработка вокодера



Выбор квазиоптимального набора команд

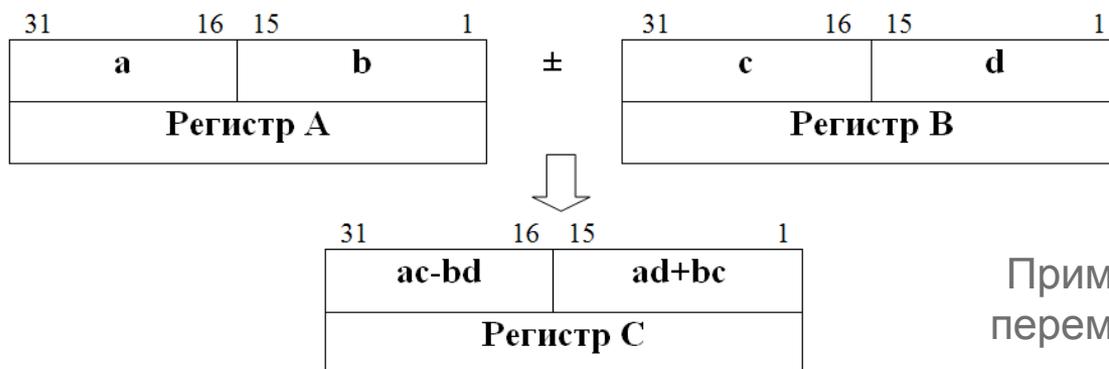
Критерии выбора:

- Высокая частота использования операции в алгоритмах.
- Содержание базовых арифметических и логических действий в операции.
- Относительная простота схемотехнической реализации.

Реализация расширенного набора команд

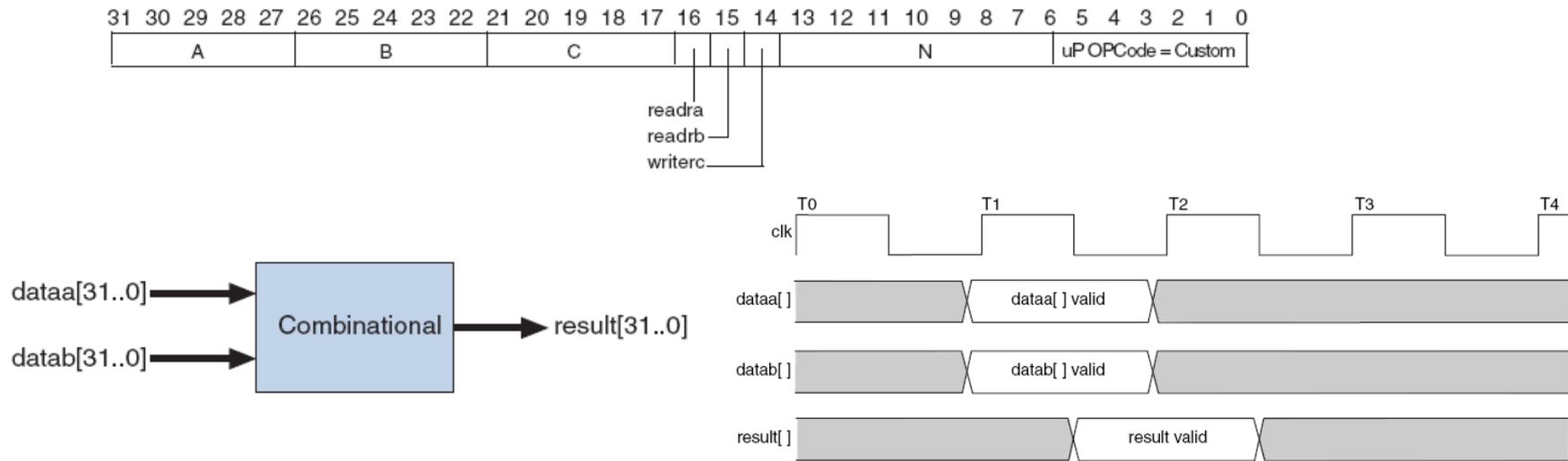
На основании критериев сформированы 3 группы схожих по исполнению команд:

- группировка данных в регистры
- комбинированные арифметические операции
- операции с комплексными числами



Пример реализации операции
перемножения 2-х комплексных
чисел

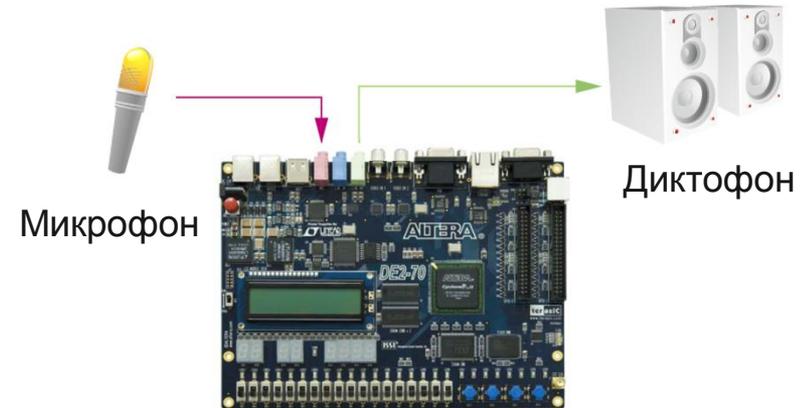
ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ НА БАЗЕ ЯДРА NIOS



```
entity mac_instr is
PORT(
  signal dataa: IN STD_LOGIC_VECTOR (31 DOWNTO 0); -- operand A
  signal datab: IN STD_LOGIC_VECTOR (31 DOWNTO 0); -- operand B
  signal result : OUT STD_LOGIC_VECTOR (31 DOWNTO 0) – result
);
end entity mac_instr;
architecture a of mac_instr is
begin
  result <= SIGNED(dataa)+SIGNED(datab(15 downto 0))*SIGNED(datab(31 downto 16));
end architecture a;
```

ЭКСПЕРИМЕНТАЛЬНЫЙ ОБРАЗЕЦ

Схема конфигурирования RISC-процессора и добавления инструкций



Микрофон

Диктофон

Экспериментальный образец, состоящий из отладочного модуля, динамика и микрофона

Target

Device Family: Cyclone II

Clock Settings

Name	Source	MHz
clk_50	External	50.0
pll_c0_cpu	pll_c0	100.0
pll_c1_memory	pll_c1	100.0
pll_c2_audio	pll_c2	18.51

Use	Connections	Module Name	Description	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		cpu	Nios II Processor				
<input checked="" type="checkbox"/>		instruction_master	Avalon Memory Mapped Master	pll_c0_cpu			IRQ 0
<input checked="" type="checkbox"/>		data_master	Avalon Memory Mapped Master		0x09408800	0x09408fff	IRQ 31
<input checked="" type="checkbox"/>		flag_debug_module	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		pio_led	PIO (Parallel I/O)	pll_c0_cpu	0x094090c0	0x094090cf	
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		timer	Interval Timer	pll_c0_cpu	0x09409000	0x0940901f	
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		timer_stamp	Interval Timer	pll_c0_cpu	0x09409020	0x0940903f	
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		sysid	System ID Peripheral	pll_c0_cpu	0x09409120	0x09409127	
<input checked="" type="checkbox"/>		control_slave	Avalon Memory Mapped Slave				
<input checked="" type="checkbox"/>		pll	PLL	clk_50	0x09409040	0x0940905f	
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave				

Nios II Processor - cpu

Nios II Processor

Parameter Settings

Core Nios II > Caches and Memory Interfaces > Advanced Features > MMU and MPU Settings > JTAG Debug Module > Custom Instructions

Name	Clock Cycles	N Port	Opcode Extension
pack_instruction_inst	Combinatorial	-	00000000 0
mac_instruction_inst	Combinatorial	-	00000001 1
fpoint	Variable	N[1:0]	111111xx 252-255

Эффективность

Результаты тестирования системы без расширенного набора команд

Операция	% от общего времени	Время на операцию
<u>iir</u> (БИХ-фильтр)	4.21	4.49
<u>fir</u> (КИХ-фильтр)	4.12	4.39
<u>xcorr</u> (взаимная корреляция)	3.50	3.94
<u>levinson</u> (алгоритм Левинсона-Дарбина)	0.37	0.40
Весь алгоритм	12.2	13.22

Результаты тестирования системы с расширенным набором команд

Операция	% от общего времени	Время на операцию
<u>iir</u> (БИХ-фильтр)	3.37	4.14
<u>fir</u> (КИХ-фильтр)	3.29	4.04
<u>xcorr</u> (взаимная корреляция)	3.04	3.74
<u>levinson</u> (алгоритм Левинсона-Дарбина)	0.26	0.32
Весь алгоритм	9.96	12.24

РЕЗУЛЬТАТЫ РАБОТЫ.

- ❖ Предложенный расширенный набор команд для RISC ядра может быть использован в системах телекоммуникаций и связи для повышения быстродействия при обработке потоков данных.
- ❖ Использованная методика и принципы выявления и построения расширенного набора команд могут быть применены для создания специализированных RISC процессоров в узкоспециализированных областях цифровой обработки сигналов.



Спасибо!

Ваши вопросы