



Транзисторы с трёхмерной структурой затвора - FinFET

Студент: Якимец Д.В. (гр. ИУ4-125М)

Научный руководитель: к.т.н., доцент Власов А.И.

МГТУ им. Н.Э. Баумана,
кафедра «Проектирование и технология производства ЭВА»

Москва, 2012

Цель работы и решаемые задачи

Цель работы:

Разработка компактной модели транзистора с трёхмерной структурой затвора, учитывающей внешние источники механического напряжения в канале.

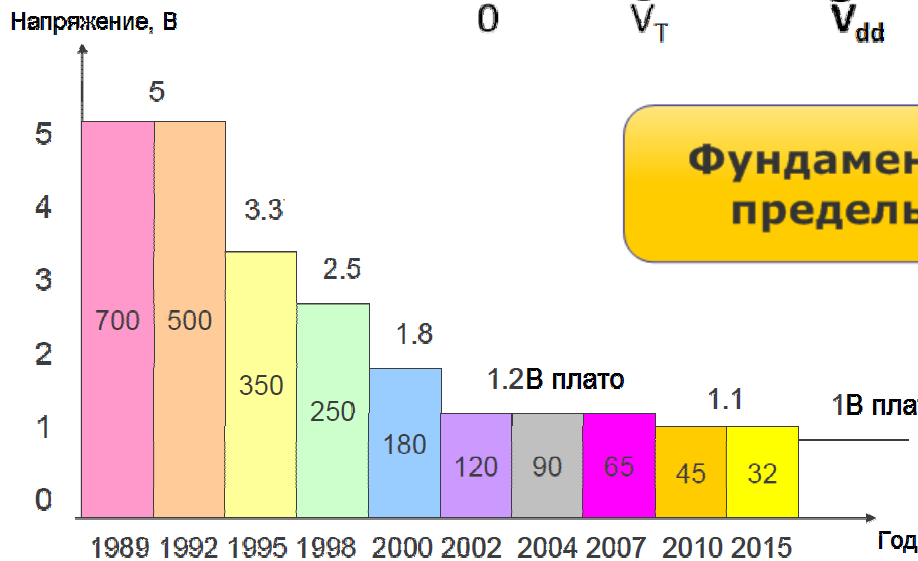
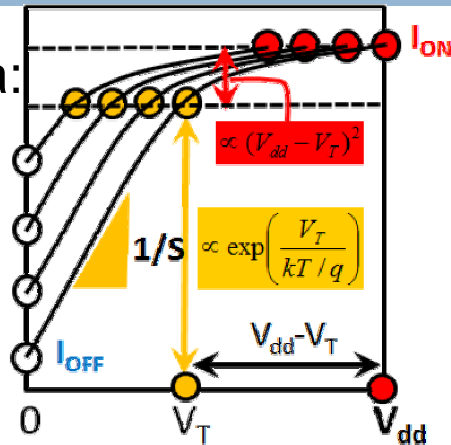
Решаемые задачи:

- Классификация проблем короткоканальных планарных транзисторов, обоснование необходимости их замены на более совершенные технологии.
- Систематизация и анализ существующих либо перспективных технологий, которые смогут впоследствии заменить планарные транзисторы.
- Математическое обоснование преимуществ транзисторов с трёхмерной структурой затвора над планарными транзисторами.
- Анализ недостатков существующей компактной модели BSIM.
- Исследование технологических особенностей проектирования транзисторов с упором на их учёт в компактной модели.
- Разработка компактной модели на основе модели BSIM.
- Проектирование тестовых топологий транзисторов, позволяющих проверить адекватности компактной модели.
- Анализ репрезентативности модели путём сверки с экспериментальными данными.

Проблемы проектирования КМОП

ВАХ транзистора:

$S_{мин} = 60 \text{ мВ/дек}$

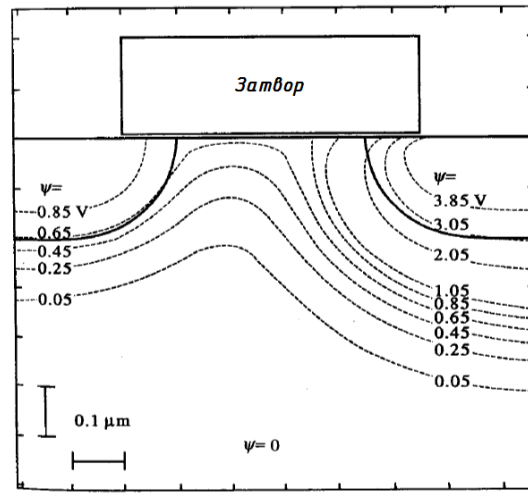
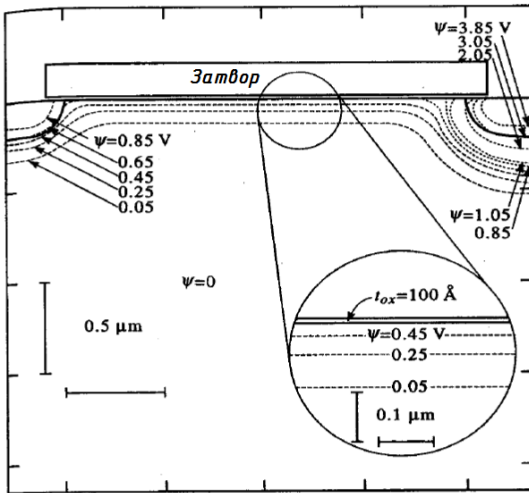


Снижение напряжения питания по годам

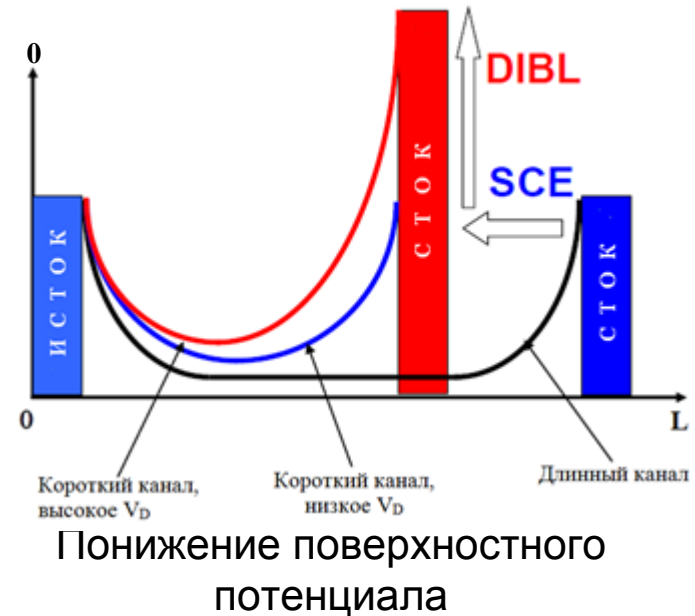
Фундаментальные пределы КМОП

- Короткоканальные эффекты
- Квантовые эффекты
- Повторяемость ТП
- Межсоединения
- Подпороговая крутизна
- Рассеиваемая мощность

Короткоканальные эффекты (КЭ)



Распределение потенциала в длинном и коротком каналах



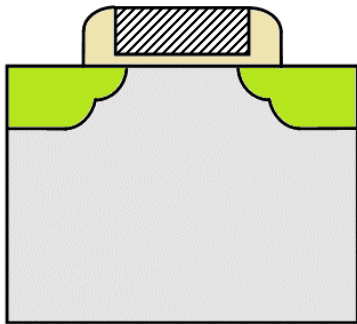
Понижение поверхностного потенциала

- Эффект короткого канала (*SCE, Short-Channel Effect*)
- Снижение потенциального барьера под затвором, вызванное напряжением на стоке (*DIBL, Drain Induced Barrier Lowering*)

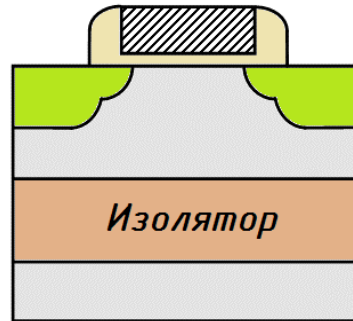
Уменьшение КЭ

Контроль ширины обеднённой зоны

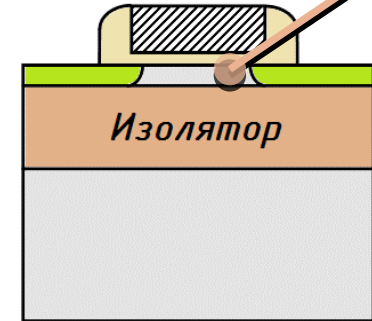
Полевые транзисторы с одним затвором:



на цельной подложке



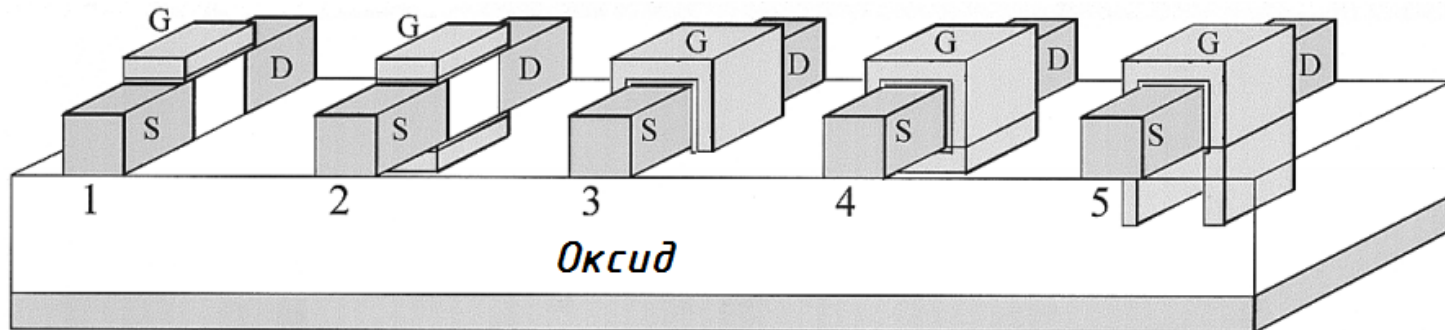
на частично
обеднённом КНИ



на полностью
обеднённом КНИ

С несколькими затворами:

Структура, наиболее близкая к FinFET

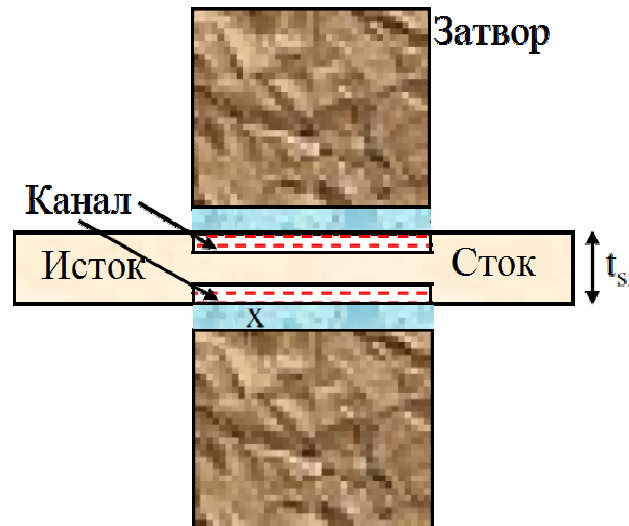
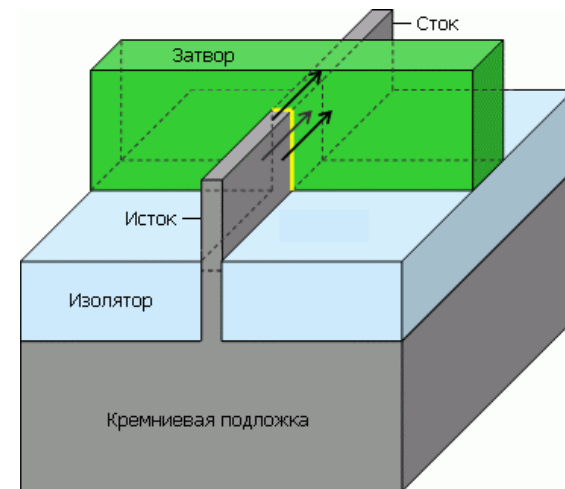


Преимущества FinFET

Характерная электростатическая
длина:

$$l = \sqrt{\frac{\epsilon_S \cdot X_{dep} \cdot t_{ox}}{\epsilon_{ox} \eta}}$$

Определяет границу появления КЭ



Для FinFET l
минимум в 2 раза
меньше, чем для
планарного тр-ра

Компактные модели

Основное требование – вычислительная простота

Стандартизированы:

Семейство BSIM (*Berkeley Short-channel IGFET Model*)

Модель короткоканальных полевых транзисторов университета Беркли

Минимальная длина канала **не ограничена**

PSP (*Penn State-Philips*)

Модель университета штата Пенсильвания и компании Philips

Минимальная длина канала – 65нм

Крупнейшие фабрики используют BSIM

(*TSMC, Global Foundries, ST Microelectronics*)

Проблемы BSIM

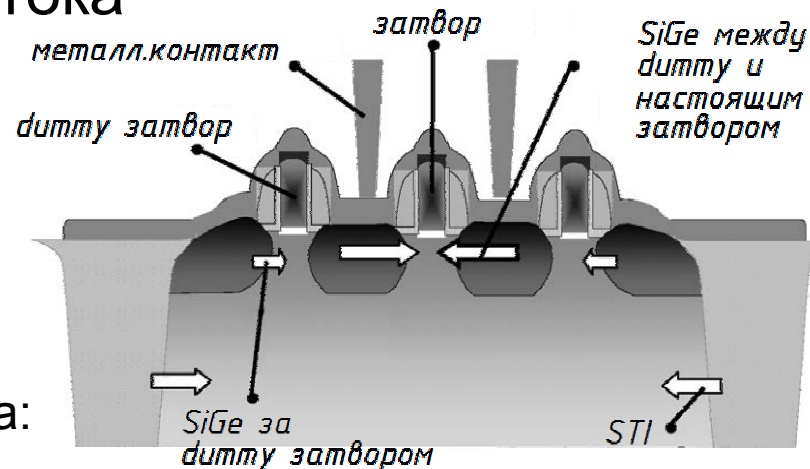
Фундаментальные:

В основе лежит пороговое напряжение, каждая область работы транзистора просчитывается отдельно, а затем используются сглаживающие функции

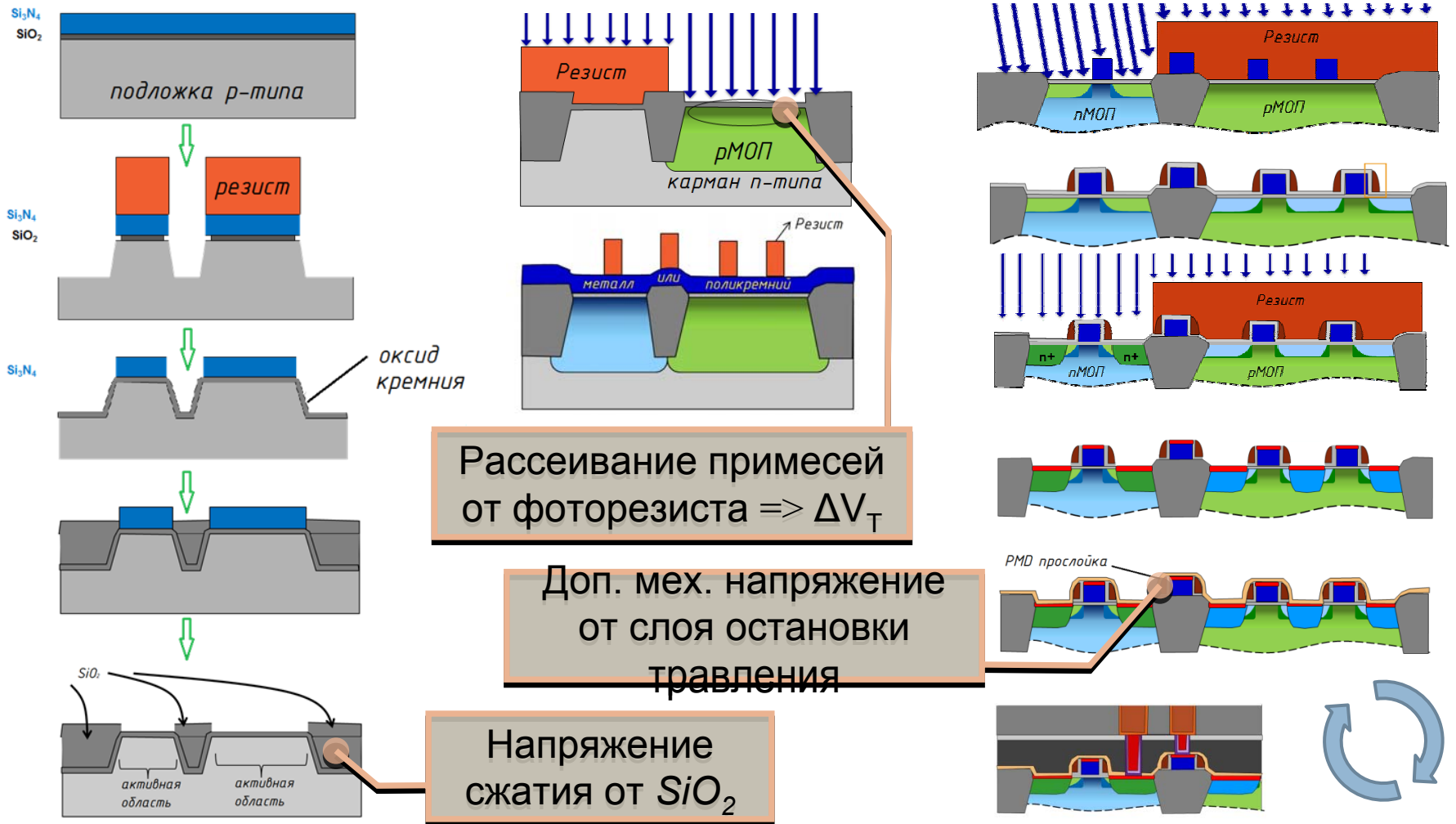
Не учитывается множество важных эффектов:

- Дополнительное механическое напряжение в канале от эпитаксиальных $SiGe$ стока/истока
- Изменения характеристик транзистора в зависимости от окружающей его топологии

Разрез транзистора:



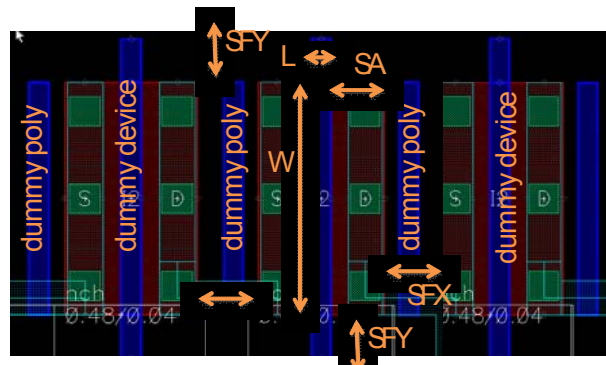
Типовой ТП производства транзистора



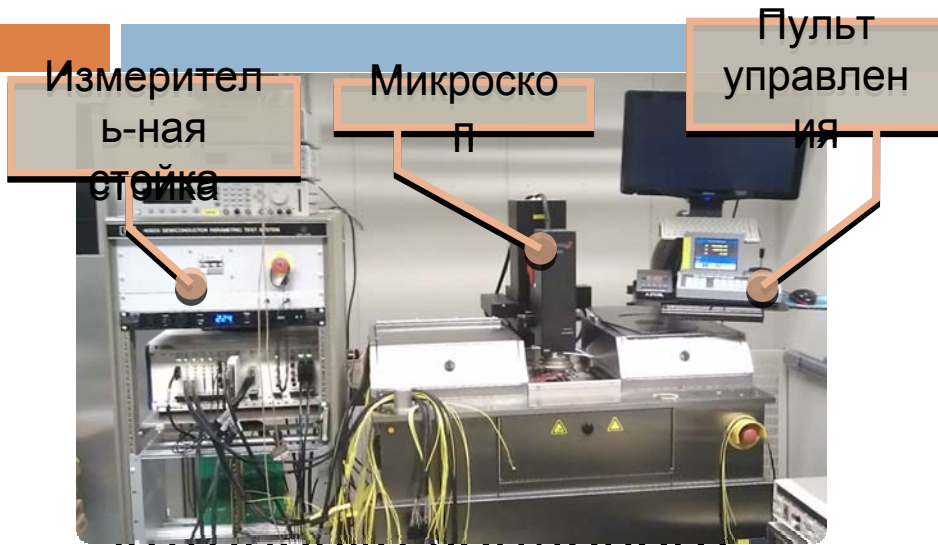
Тестовые структуры

Возможность исследовать зависимости характеристик тр-ра от:

- Длины канала (параметр L)
- Ширины канала (параметр W)
- Расстояния до границы активной области транзистора в направлении протекания тока (параметр S_A)
- Ширины изоляционных канавок (параметр S_{FX})

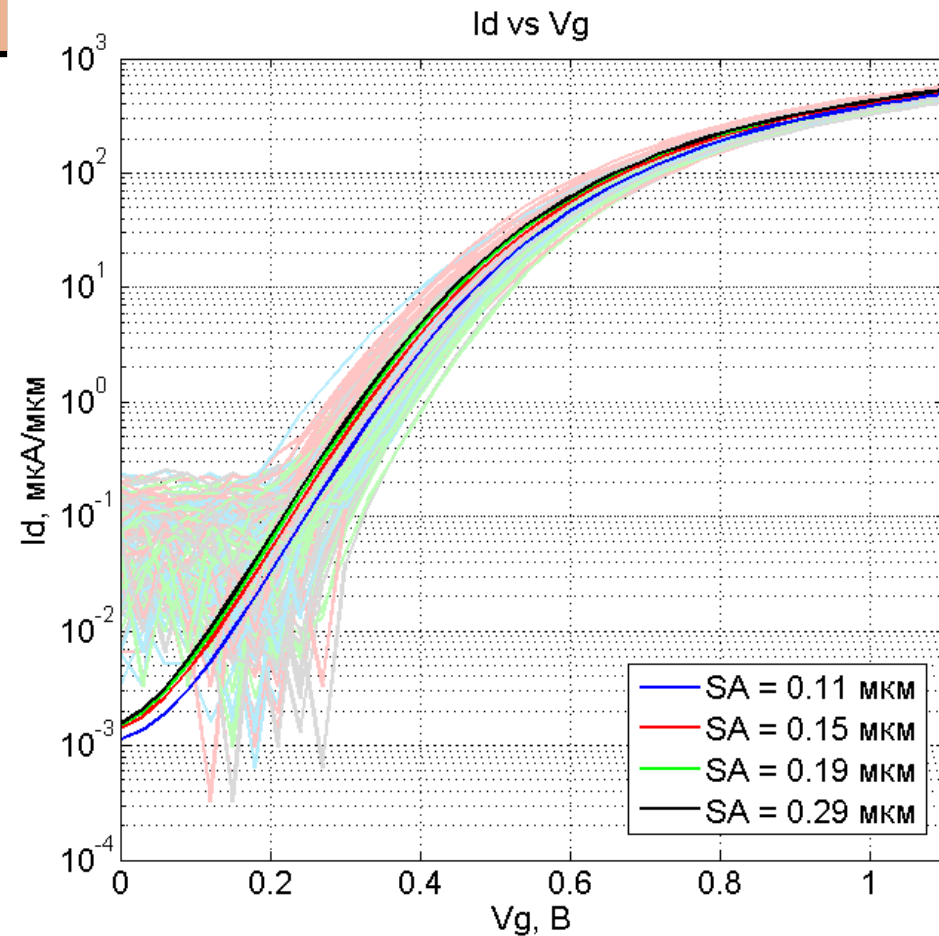
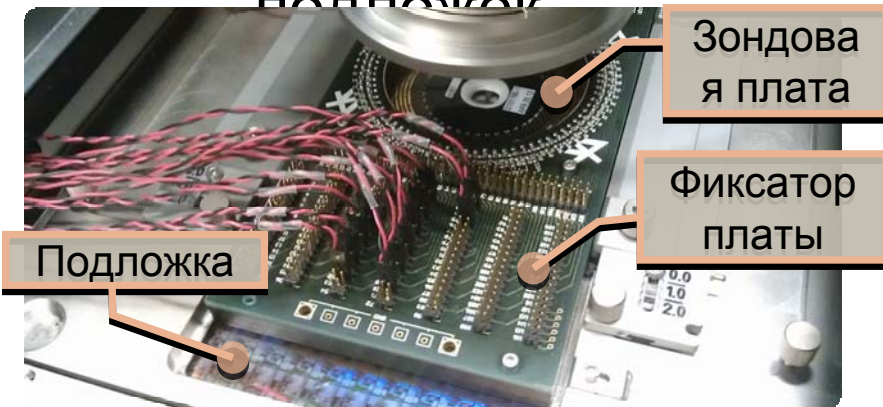


Проведение эксперимента



Установка зондового контроля для 300мм подложек

Подложка

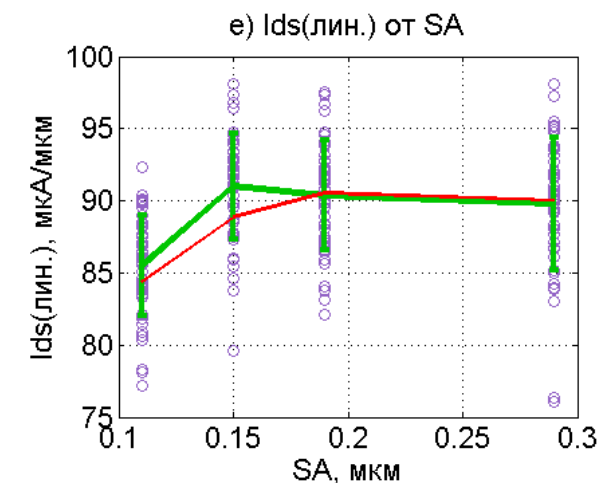
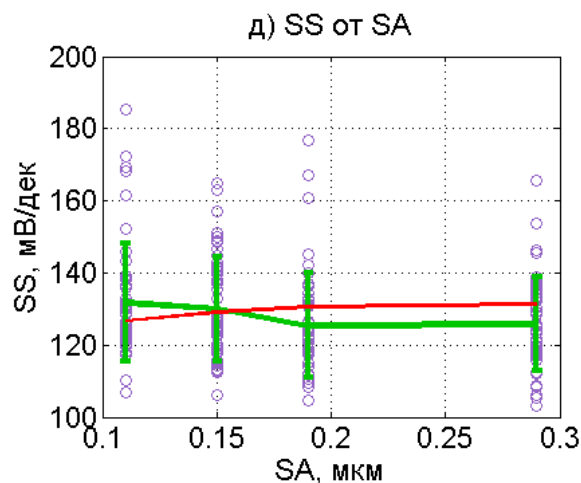
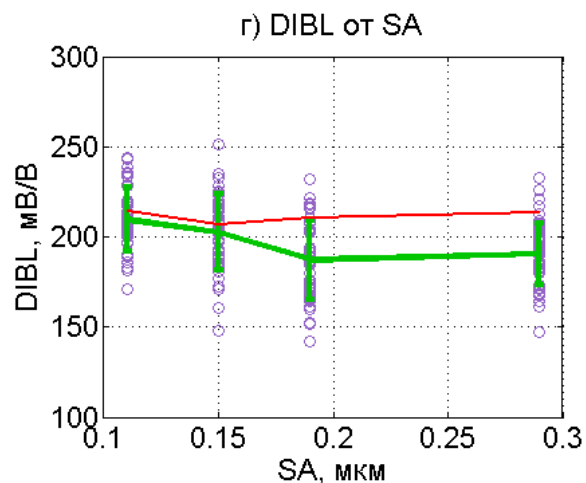
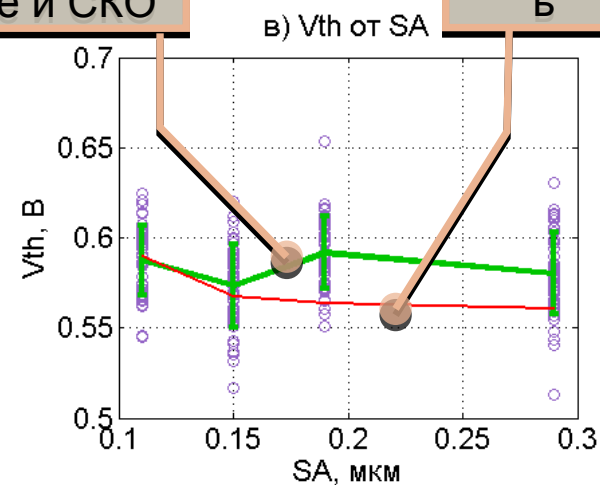
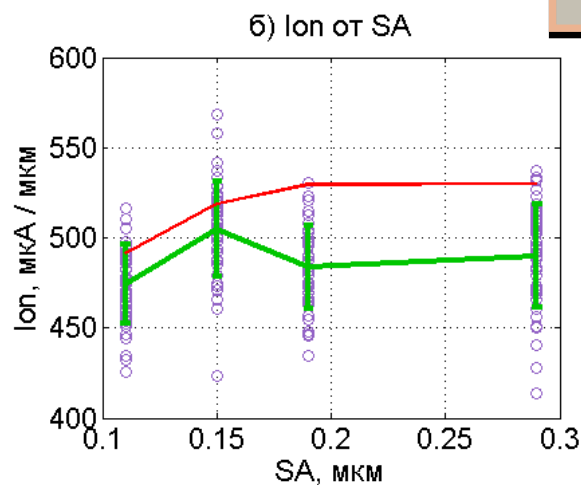
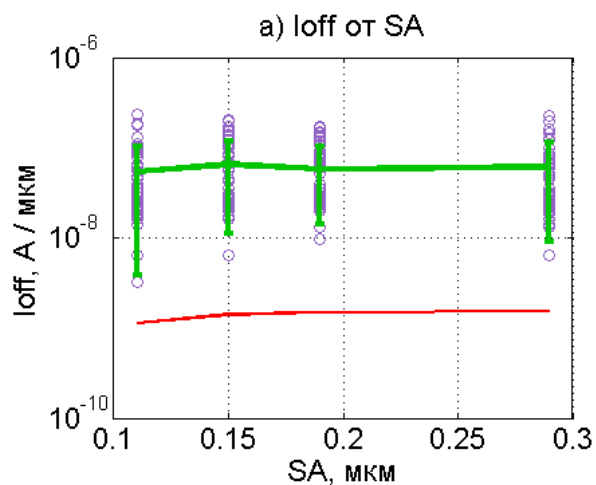


Получаемые ВАХ транзисторов

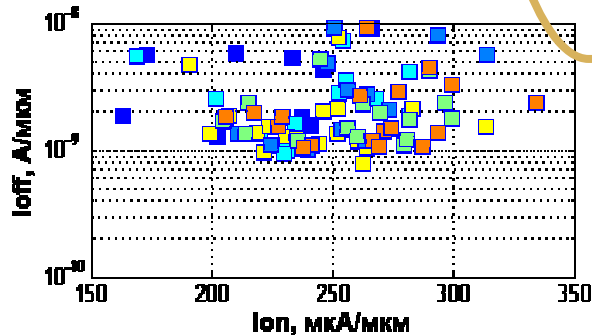
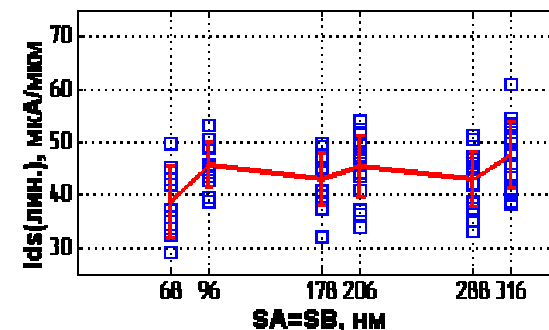
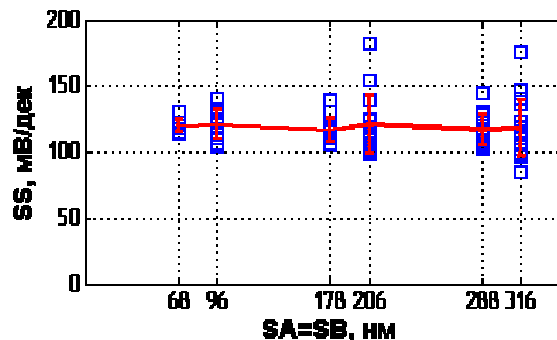
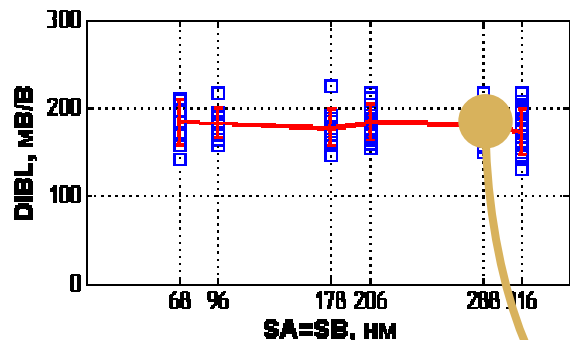
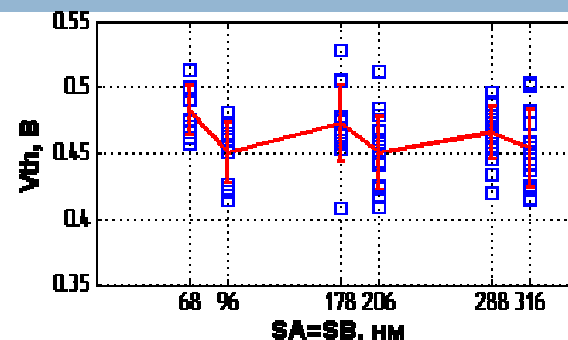
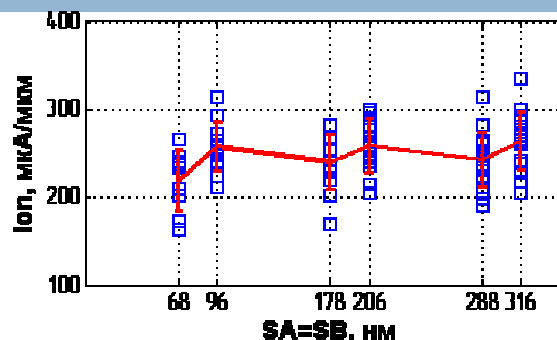
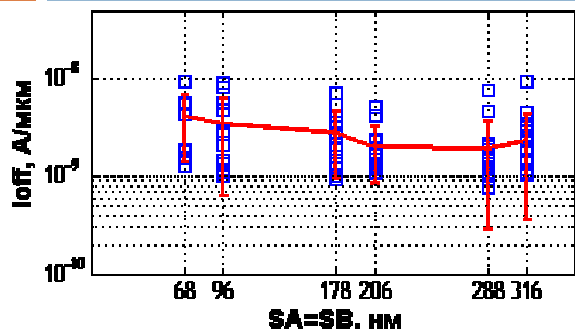
Влияние активной области (40нм)

Средне
е и СКО

Модел
ь

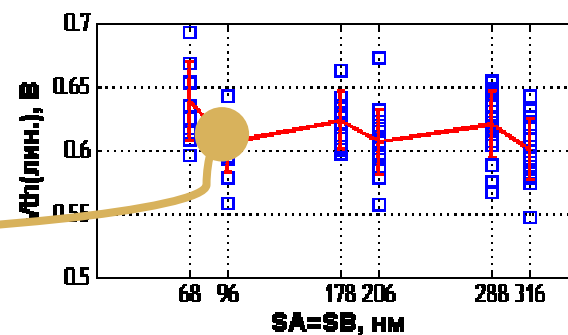


Влияние активной области (28нм)

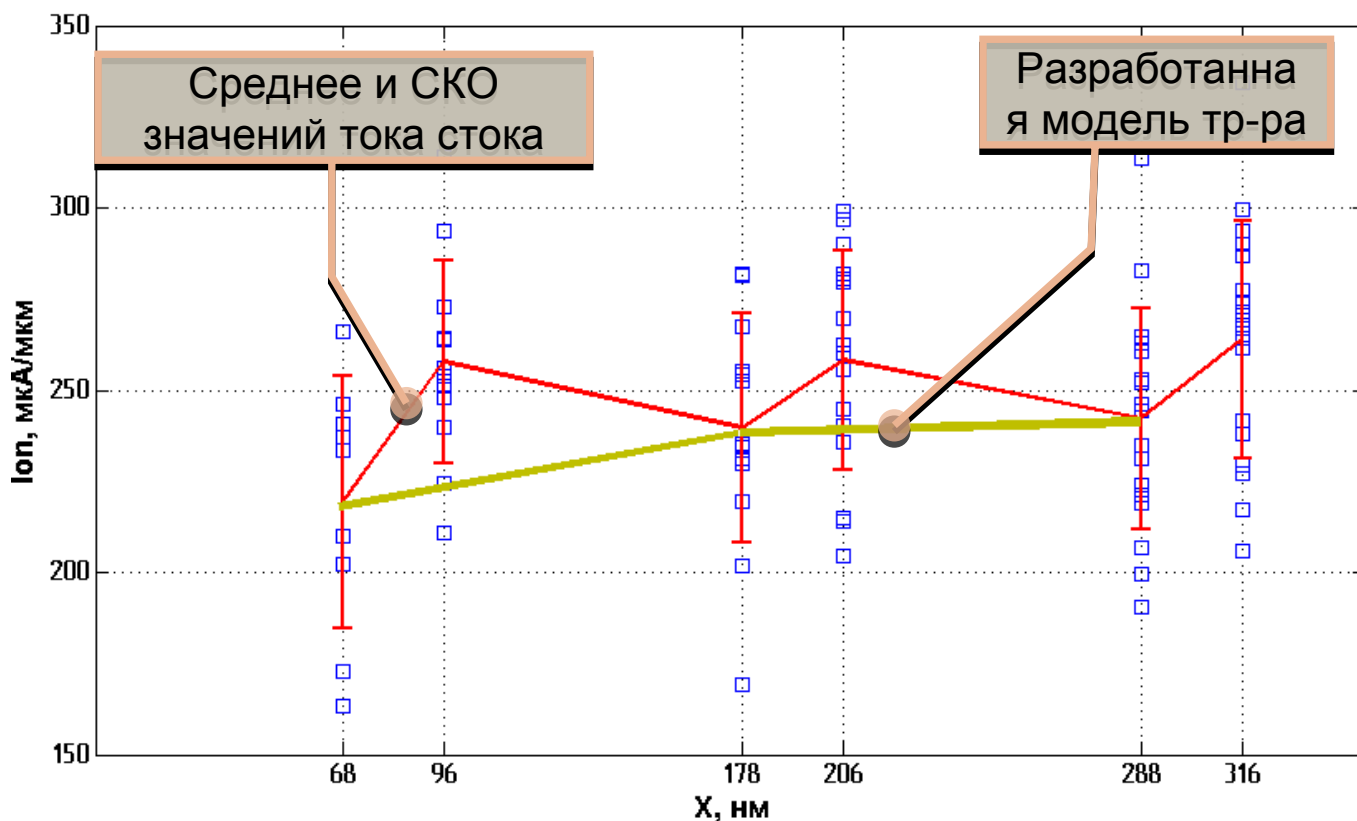


Левые точки в группах –
dummy в активной обл.

Правые точки в группах –
dummy на границе STI




Разработанная модель тр-ра



Расхождение составляет менее 2%,
что удовлетворяет требованиям к компактным моделям

Выводы по работе

- Проклассифицированы проблемы короткоканальных планарных транзисторов
- Произведён обзор технологий альтернативных планарных транзисторам и на его основе математически обоснован выбор транзистора с трёхмерной структурой затвора
- Исследованы технологические особенности изготовления транзисторов с упором на их учёт в компактной модели
- Разработана надстройка для модели BSIM, учитывающая влияние соседних структур на характеристики тр-ра
- Достоверность модели проверена на экспериментальных данных для 40нм и 28нм транзисторов



**Благодарю за
внимание!**