

Московский Государственный Технический Университет

им. Н. Э. Баумана

На правах рукописи

Якимец Дмитрий Вадимович

УДК: 621.37

**ТРАНЗИСТОРЫ С ТРЁХМЕРНОЙ СТРУКТУРОЙ
ЗАТВОРА (FinFET)**

А в т о р е ф е р а т

Диссертации магистра по направлению 210200

Проектирование и технология электронных средств

Москва – 2012

Работа выполнена в Московском Государственном Техническом Университете
им.Н.Э.Баумана и Центре IMEC (Лёвен, Бельгия)

Научный руководитель:

Кандидат технических наук, доцент Власов А.И.

Научные консультанты:

Dr. Maria Garcia (IMEC, Лёвен, Бельгия)

Ведущее предприятие:

IMEC, Лёвен, Бельгия

Защита квалификационной работы магистра состоится 15 июня 2012 года на заседании Государственной аттестационной комиссии по направлению 210200: «Проектирование и технология электронных средств» в Московском Государственном Техническом Университете им. Н.Э.Баумана (ауд.278).

Ваши отзывы в двух экземплярах просьба высылать по адресу: 105005, г.Москва,
2-ая Бауманская ул., д.5, стр.1., ИУ-4.

Автореферат разослан «___» _____ 2012 г.

Ученый секретарь Государственной аттестационной комиссии по направлению 210200:
«Проектирование и технология электронных средств»
доцент, кандидат технических наук Лавров А.В.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность

В 1965г. Гордон Мур сформулировал закон развития микроэлектронных технологий, согласно которому количество транзисторов, размещаемых на кристалле интегральной схемы, удваивается каждые 18 месяцев. Однако при переходе к технологическим нормам порядка 100 нм стало понятно, что дальнейшее следование закону Мура затруднительно. Это сопряжено в первую очередь с появлением негативных короткоканальных эффектов в транзисторах.

Данное положение обуславливает состояние - “*End of happy scaling*” – конец периода непринуждённого масштабирования транзисторов. Возможным решением проблемы масштабирования транзисторов является принципиально иной подход к их проектированию, например, переход от планарной технологии к транзисторам с трёхмерной структурой затвора. В зарубежной литературе используют термин FinFET (Field Effect Transistor with Fin, полевой транзистор с «плавником»). Такое название этот транзистор получил за канал между стоком и истоком, который в сечении напоминает плавник (рисунок 1, изображение из базы Корейского Центра Нанотехнологий).

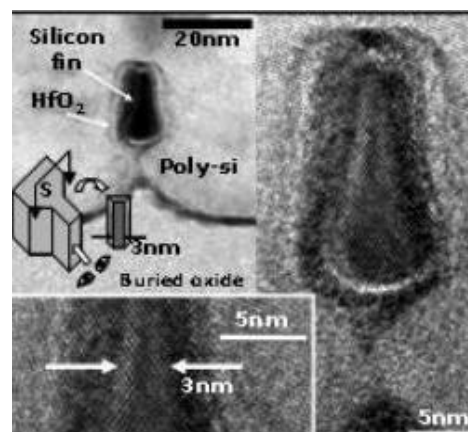


Рисунок 1 – Сечение FinFET [база изображений Корейского Центра Нанотехнологий]

Ведущие компании рынка полупроводниковой индустрии работают в направлении создания транзисторов с трёхмерной структурой затвора. По прогнозам международной дорожной карты развития полупроводниковой индустрии FinFET сможет обеспечивать масштабирование вплоть до технологической нормы 10 нм в связи с меньшим проявлением негативных короткоканальных эффектов. В конце апреля 2012 года корпорация Intel выпустила на рынок микропроцессоры, изготовленные по технологическим нормам 22 нм с применением транзисторов с трёхмерной структурой затвора. При этом Intel объясняет переход к FinFET невозможностью дальнейшего использования планарных транзисторов при столь малых размерах канала.

Intel не единственная компания в мире, которая разработала транзистор с трёхмерной структурой затвора. Самый крупный производитель интегральных схем в мире, TSMC (*Taiwan Semiconductor Manufacturing Company*, тайваньская компания по производству полупроводниковых устройств), имеет мощности для производства FinFET. Однако пока что практически все микросхемы на базе транзисторов с трёхмерной структурой затвора TSMC производит для отладки технологических процессов. Во многом это обусловлено отсутствием стабильной, масштабируемой компактной модели транзистора с трёхмерной структурой затвора.

Компактные модели используются в составе систем схемотехнического моделирования для решения следующих задач:

- проверки функционирования, анализа чувствительности к изменению параметров элементов, прогнозирования характеристик при изменении техпроцесса и размеров элементов – на этапе проектирования электрической схемы;
- оптимизации параметров элементов, расчета статистических характеристик при известных статистических характеристиках транзисторов – после того, как принципиальная схема уже разработана;
- верификации проекта с учетом паразитных элементов перед передачей его в кремниевую мастерскую;

- оценки стабильности техпроцесса, разработки новых транзисторов, прогнозирования характеристик ИС при изменении техпроцесса и размеров элементов – в кремниевой мастерской;

- переноса информации о техпроцессе между кремниевой мастерской и проектировщиками ИС.

Таким образом, компактная модель является связующим звеном между проектировщиками интегральных схем и фабрикой.

В декабре 1995 года в рамках альянса предприятий полупроводниковой промышленности (Electronic Industry Alliance – EIA) был создан совет по компактным моделям транзисторов (Compact Model Council – CMC), в который вошли лидирующие предприятия полупроводниковой индустрии: AMD (Advanced Micro Devices), Analog Devices, Cadence Design System, Hewlett Packard, Hitachi, Motorola, IBM, Intel, NEC, Philips System, Texas Instruments, TSMC и др. Цель деятельности совета – стандартизация и решение проблем качества моделей. Ближайшим кандидатом на стандартную модель МОП-транзистора была выбрана BSIM (Berkeley Short-channel IGFET Model, Короткоканальная модель полевого транзистора с изолированным затвором, разработанная в университете Беркли, США), и к настоящему времени она стала первой стандартизированной моделью МОП-транзистора.

В России ведутся работы по проектированию компактных моделей полевых транзисторов. Авторами предлагаются как оригинальные методики составления моделей (полунатурным методом), так и варианты улучшения существующих моделей. Это связано с тем, что BSIM не идеальна, в неё не включены или описаны не совсем корректно некоторые эффекты: дополнительное механическое напряжение от эпитаксиальных SiGe стока и истока влияет на характеристики транзисторов, влияние окружающей топологии и др. Для технологических норм менее 100 нм это недопустимо. В том случае, если разработчик не хочет вносить дополнительное напряжение в канал, он всё равно не может его избежать в силу особенностей технологических процессов.

TSMC, имея возможность производить тестовые структуры в больших количествах, решает проблему моделирования внешнего напряжения в канале путём построения эмпирических надстроек к BSIM. Такой подход плох тем, что не позволяет видеть ясной физической связи между характеристиками транзистора и теми или иными его конструктивно-технологическими параметрами. Это затрудняет для конечного пользователя, заказчика интегральной схемы у TSMC, проектирование интегральной схемы.

Суммируя всё вышесказанное, можно сделать вывод о необходимости разработки компактной модели полевого транзистора, которая будет учитывать топологию вокруг него (это не реализовано в BSIM) и может быть масштабируема и применена как к планарным транзисторам, так и к транзисторам с трёхмерной структурой затвора, т.к. именно они являются подходящим инструментом для построения интегральных схем по технологическим нормам менее 30 нм.

Цель работы – разработка компактной модели транзистора с трёхмерной структурой затвора, учитывающей внешние источники механического напряжения в канале и базирующиеся на теории деформационных потенциалов, связывающих механическое напряжение с основными входными параметрами модели BSIM: подвижностью носителей, пороговым напряжением и пр.

Для достижения указанной цели в работе решен следующий комплекс **научно-технических задач**:

1. Проведена классификация проблем короткоканальных планарных транзисторов, обоснование необходимости их замены на более совершенные технологии.
2. Систематизация и анализ существующих либо перспективных технологий, которые смогут впоследствии заменить планарные транзисторы.

3. Математическое обоснование преимуществ транзисторов с трёхмерной структурой затвора над планарными транзисторами.
4. Анализ недостатков существующей компактной модели BSIM.
5. Исследование технологических особенностей проектирования FinFET с упором на их учёт в компактной модели.
6. Разработка компактной модели на основе модели BSIM.
7. Проектирование тестовых топологий транзисторов, позволяющих проверить адекватности компактной модели.
8. Анализ репрезентативности модели путём сверки с экспериментальными данными.

При решении поставленных задач **использованы методы** решения задач физики твёрдого тела, сопротивления материалов, электротехники, используется теория проведения экспериментов и обработки данных.

Научная новизна работы заключается в том, что созданная компактная аналитическая модель, учитывающие влияние механического напряжения в канале транзистора от внешних факторов, построена на теории деформационных потенциалов и единственной аппроксимацией является профиль распределения механического напряжения в канале. Аналоги таких моделей известны, но они построены на основе экспериментальных данных, что существенно ограничивает их область применения. Разработанная модель может применяться для разных технологических норм, так как физическая основа влияния механического напряжения на параметры транзистора не изменяется при масштабировании.

Достоверность полученных научных результатов, выводов и рекомендаций работы подтверждена экспериментом. Расхождение модели с экспериментальными данными составляет менее 2%. Тестовые структуры были изготовлены по нормам 40нм и 28нм, что подтверждает масштабируемость разработанной модели.

Положения, выносимые на защиту:

1. Транзисторы с трёхмерной структурой затвора (FinFET) могут использоваться для проектирования цифровых ИС по технологическим нормам менее 40нм.
2. Негативные короткоканальные эффекты в транзисторах с трёхмерной структурой затвора выражены менее явно, чем в планарных структурах.
3. При проектировании транзисторов по технологическим нормам менее 40 нм должны быть учтены путём анализа топологии кристалла внешние механические напряжения в каналах.
4. Механические напряжения в канале, вызванные внешними факторами, учтены в компактной модели транзистора с использованием теории деформационных потенциалов.

Практическая ценность работы: Проведение данной работы и её развитие в будущем имеет практическую ценность при проектировании интегральных схем по нормам 100нм и менее как с использованием планарных полевых транзисторов, так и с использованием транзисторов с трёхмерной структурой затвора.

Реализация результатов: Работа выполнена на базе бельгийского центра микроэлектроники IMEC (<http://www.imec.be>) по заказу японской корпорации Sony. Передовое технологическое оборудование в IMEC позволяет изготавливать транзисторы по нормам вплоть до 10 нм (FinFET). Разработанная компактная модель была протестирована на экспериментальных структурах, изготовленных по технологическим нормам 40 нм и 28 нм.

Структура и объем работы

Магистерская работа состоит из введения, четырех глав, заключения, списка литературы. Общий объем работы 70 страниц, 73 рисунка, 4 таблицы, список используемых источников из 41 наименования.

КРАТКОЕ СОДЕРЖАНИЕ ДИССЕРТАЦИИ

Во введении обоснована актуальность решения задач проектирования транзисторов с трёхмерной структурой затвора (FinFET), изложена проблема использования стандартной компактной модели BSIM для проектов, выполненных по нормам менее 100нм, сформулированы цель и задачи исследования, изложена структура диссертации.

В первой главе приводится классификация активных структур элементной базы микроэлектроники, произведён обзор проблем, возникающих при проектировании полевых транзисторов, составлены карты противоречий микроминиатюризации при проектировании элементной базы микроэлектроники. На основе изложенной информации поставлены задачи разработки и производства транзисторов с трёхмерной структурой затвора.

На рис. 2 представлена схема операционного противоречия, возникающая при проектировании транзисторов по технологическим нормам менее 200 нм.

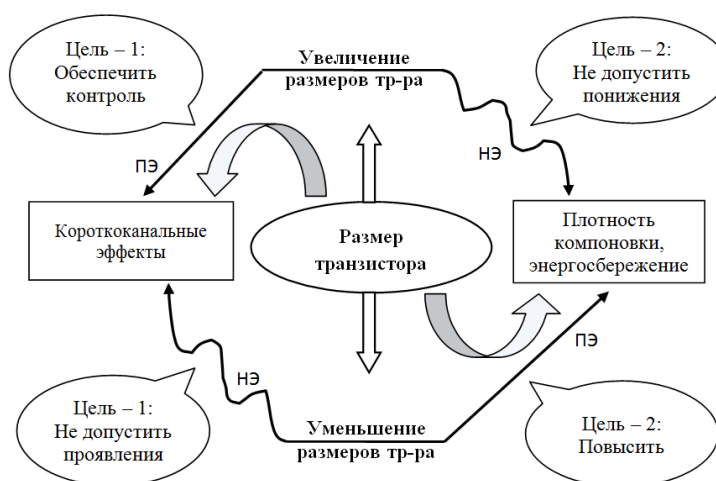


Рисунок 2 – Схема операционного противоречия при проектировании полевых транзисторов по технологическим нормам менее 200нм (ПЭ – положительный эффект, НЭ – нежелательный эффект)

Проблемы, возникающие при проектировании микроминиатюрных полевых транзисторов, включают в себя повышенную рассеиваемую мощность, ограниченную подпороговую крутизну, короткоканальные эффекты и пр.

Наиболее эффективным решением проблемы повышенной рассеиваемой мощности является снижение напряжения питания. Проблема снижения напряжения заключается в снижении производительности ИС при понижении напряжения питания: понижается ток сток-исток. Его можно повысить путём понижения порогового напряжения, что приведёт к повышению потребления энергии в выключенном состоянии. Таким образом, необходимо искать компромисс между напряжением питания и пороговым напряжением. По данным международной дорожной карты развития полупроводниковой индустрии в случае дальнейшего использования КМОП технологии напряжение питания будет оставаться ~0.9 В ещё в течение десяти лет.

Для обеспечения уменьшения подпорогового тока утечки необходимо, чтобы после уменьшения напряжения на затворе ниже порогового ток спадал как можно быстрее. Для

оценки того, как эффективно транзистор переключается, используют показатель S (подпороговая крутизна). Данный коэффициент показывает, на сколько нужно уменьшить напряжение на затворе, чтобы ток упал в 10 раз [мВ/декада]. В идеальных условиях и при комнатной температуре S имеет значение 60 мВ/дек. Типичные же значения для стандартных КМОП технологий могут колебаться от 70 до 120 мВ/декада.

Основная проблема возникновения короткоканальных эффектов (*Short Channel Effects*) связана с принципиально иным распределением электрического потенциала в канале транзистора (рис. 3).

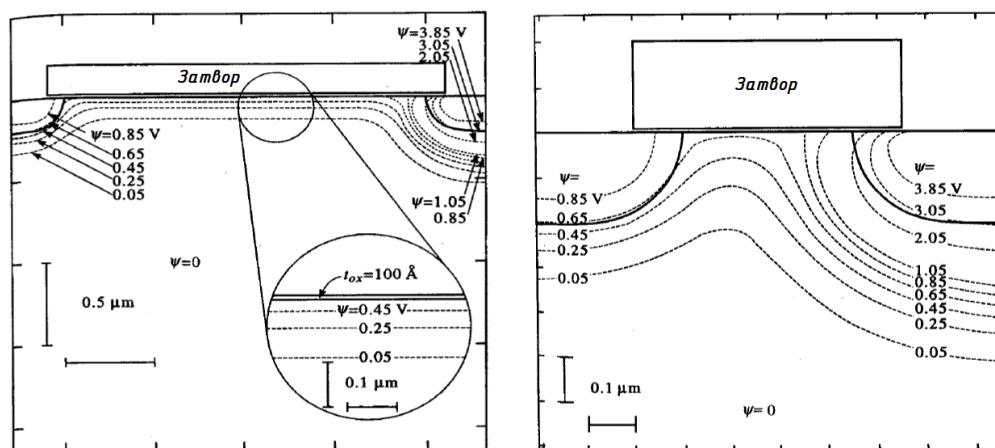


Рисунок 3 – Распределение электрического потенциала в длинном (слева) канале и коротком (справа) канале транзистора

В транзисторе с длинным каналом распределение преимущественно одномерное, в то время как в короткоканальном транзисторе оно становится двумерным. Несмотря на обилие короткоканальных эффектов, рассмотрим лишь основные.

В длинноканальных транзисторах величина порогового напряжения не зависит от длины канала. С уменьшением длины канала изменяется конфигурация двумерного электрического поля объемного заряда в подложке за счет сближения областей пространственного заряда истока и стока, при этом увеличивается средняя напряженность поля под затвором. Это приводит к увеличению модуля поверхностного потенциала и, следовательно, снижению порогового напряжения при уменьшении длины канала. Этот эффект называется эффектом короткого канала.

Вследствие того, что область пространственного заряда стокового $p-n$ перехода с ростом напряжения на стоке приближается к истоку, увеличение напряжения на стоке приводит к увеличению среднего значения вертикальной составляющей напряженности поля под затвором. Это эквивалентно уменьшению порогового напряжения и приводит к уменьшению дифференциального сопротивления стока в области насыщения (DIBL-эффект — *Drain Induced Barrier Lowering*). DIBL-эффект снижает также потенциальный барьер $p-n$ перехода истока, увеличивая тем самым ток инжекции электронов из истока в подпороговой области. Ток утечки может возрасти на четыре порядка при изменении напряжения на стоке с 50 мВ до 3 В при нулевом напряжении на затворе.

Когда напряжение сток-исток длинноканального транзистора становится равным напряжению насыщения, происходит отсечка канала, и ток стока перестает зависеть от напряжения. Однако вследствие увеличения области пространственного заряда стока длина канала уменьшается, что приводит к увеличению тока стока (рис. 4).

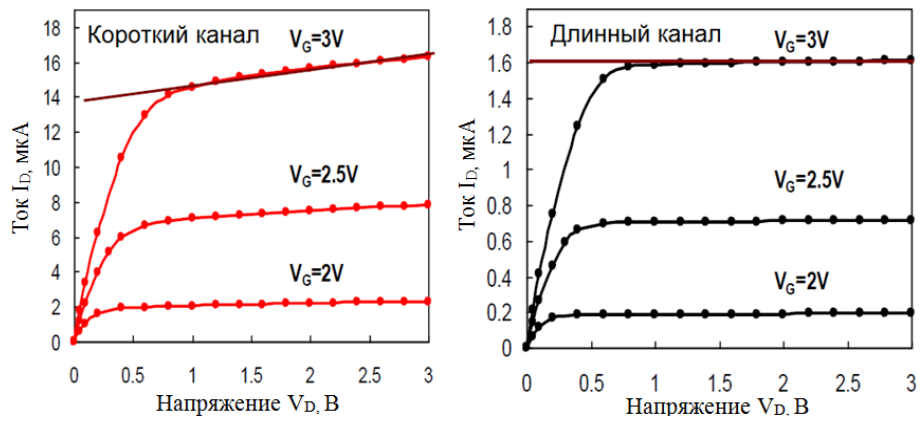


Рисунок 4 – Влияние эффекта модуляции длины канала для короткоканального транзистора (слева) и длинноканального (справа)

Ток в транзисторе продолжает расти после достижения режима насыщения. В зарубежной литературе этот эффект называют Channel Length Modulation (CLM).

Вследствие уменьшения длины канала его сопротивление становится малым, поэтому на его фоне становится заметным влияние омических сопротивлений истока и стока. Эти сопротивления приводят к увеличению напряжения на стоке насыщенного транзистора при больших токах стока.

Основной альтернативой транзисторам на монолитной подложке является КНИ (кремний на изоляторе (SOI)) КМОП технологии. Существует множество вариантов реализации КНИ, технология давно и хорошо отлажена. Выделяют два типа МОП транзисторов: выполненным по технологиям частично или полностью обеднённого КНИ (Partially depleted SOI / Fully depleted SOI) (рис. 5).

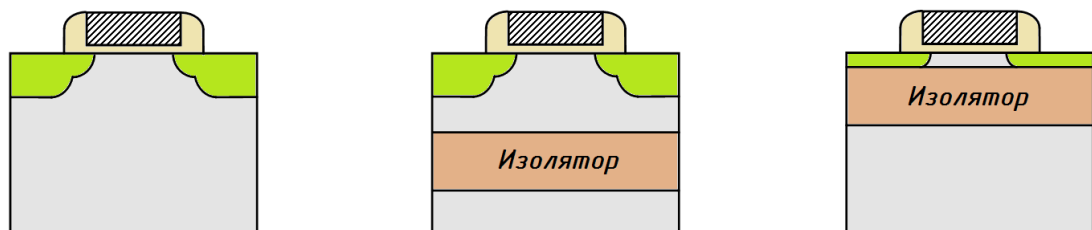


Рисунок 5 – Полевой транзистор на цельной подложке (слева), на частично обеднённом КНИ (по центру) и полностью обеднённом КНИ (справа)

Преимущества КНИ КМОП над обычной КМОП технологий в более компактной топологии, следовательно, меньших ёмкостях сток-исток, однако в случае с частично обеднённым КНИ появляются эффекты «плавающего тела».

Транзистор на цельной подложке имеет утечку тока из канала, когда в нём полем затвора формируется инверсионный слой. Подложка (даже если она заземлена) вытягивает часть носителей заряда в обеднённый слой. Уменьшить утечки можно технологией КНИ, в данном случае — частично обеднённой. Тут изолятор отсекает подложку, но остаточный слой под каналом («плавающее тело») всё ещё приводит к утечкам. Эта технология широко используется из-за относительной дешевизны. Лучшее — полностью обеднённый КНИ. Тут исток, сток и область канала истончаются так, что плавающему телу не остаётся места. Проблема утечки решается, но с 10-процентным увеличением цены чипа, поэтому её не используют широко.

Транзисторы с двумя и более затворами. Применение нескольких затворов позволяет уменьшить короткоканальные эффекты, улучшает подпороговую крутизну, но не решает проблем с рассеиваемой динамической мощностью и повторяемостью ТП. По результатам компьютерного моделирования с ростом количества затворов улучшается DIBL-эффект и эффект короткого канала (спад порогового напряжения), особенно, для транзисторов с коротким каналом. В четверном затворе («затвор со всех сторон», Gate all around (GAA)) появляются некоторые побочные эффекты, такие как резкое увеличение числа зарядов в углах канала, что приводит к усложнению контроля работы транзистора. Производство такого транзистора также сопряжено с рядом технологических трудностей.

При использовании узкого канала разница в характеристиках между двойным и тройным затворами невелика. В тройном затворе также появляются паразитные «угловые эффекты», поэтому в этой работе будет разработан транзистор с затвором-«плавником» (FinFET), относящийся к классу транзисторов с двойным затвором (рис. 6). За счёт вертикального размещения каналов их может быть несколько для увеличения площади между затвором и каналами.

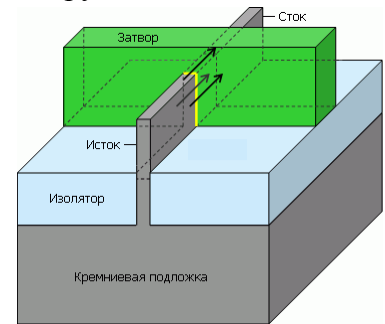


Рисунок 6 – Структура FinFET

Во второй главе на основе дрейфово-диффузионной модели описывается работа полевых транзисторов. На её основе обоснован выбор транзисторов с трёхмерной структурой затвора как решение, позволяющее снизить короткоканальные эффекты. Обоснована необходимость использования компактных моделей при проектировании СБИС и проанализирована наиболее популярная компактная модель BSIM.

Аналитическая модель расчёта тока стока в полевом транзисторе построена на диффузионно-дрейфовом формализме. По сути, это упрощение от кинетического уравнения Больцмана, действительное для малых электрических полей и процессов, близких к равновесным. В рамках диффузионно-дрейфовой модели плотность тока, обеспеченного электронами (или дырками) складывается из двух составляющих: диффузии (пропорциональна градиенту концентрации) и дрейфа (пропорционален электрическому полю).

$$\vec{j}_n = -e(n \cdot \mu_n \cdot \text{grad}(V) - \frac{kT}{e} \mu_n \cdot \text{grad}(n)) \quad , \quad \text{где} \quad (1)$$

n – концентрация электронов ;

μ_n – подвижность электронов;

V – электростатический потенциал.

Для получения аналитического решения описывающего ток в канале транзистора необходимо ввести допущение о том, что ток течёт только в направлении исток-сток (в зарубежной литературе это называется *Gradual Channel Approximation*). Второе упрощение связано с предположением о малой толщине инвертированного заряда, создающего канал (*Charge sheet approximation*). Это позволяет выразить ток стока через формулу (2).

$$I_d = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot (V_{GS} - V_t) \cdot V_d - \frac{V_d^2}{2} \quad (2)$$

Данное выражение (2) действительно, если напряжение на затворе превышает пороговое напряжение и напряжение стока меньше напряжения насыщения.

Линейная зависимость между скоростью носителей и величиной электрического поля (понятие подвижности зарядов) верно только при малых значениях электрического поля (менее 10^4 В/см). Было замечено, что скорость носителей асимптотически стремится к пределу (примерно 10^5 м/с). Точное значение зависит как от материала, окружающей температуры.

Для учёта эффекта насыщения скорости была разработана модель эффективной подвижности зарядов, выражающаяся формулой:

$$\mu_{eff} = \frac{\mu_0}{1 + \mu_0 \frac{E_1}{v_{sat}}} \quad (4)$$

Формула для тока стока (2) по-прежнему справедлива, однако, с учётом зависимости (4) конечные формулы становятся несколько иными.

$$I_d = \frac{I_{d0}}{1 + KV_d}, \text{ где } K = \frac{\mu_0}{v_{sat} \cdot L} \quad (5)$$

Коэффициент К введёт как для удобства представления формул, так и для анализа наличия короткоканальных эффектов. В том случае, если $K > 1$, эффект насыщения скорости ярко выражен и его необходимо учитывать. Так, результаты моделирования транзисторов с коротким каналом серьёзно отличаются от аналогичного моделирования транзисторов с длинным каналом (рис. 9). Красным цветом обозначена модель, не принимающая во внимание эффект насыщения скорости, а синим – наоборот. Следует обратить внимание на параметры транзистора при моделировании:

$t_{ox} = 4$ нм, $N_a = 10^{17}$ см⁻³, $W = 1$ мкм, $L = 0.1$ мкм, $\mu_0 = 300$ см²В⁻¹с⁻¹, $v_{sat} = 10^5$ м/с. То есть длина канала составляет всего 100 нм, что влечет за собой появление эффекта насыщения скорости.

Учёт короткоканальных эффектов (SCE, DIBL) значительно более сложен с математической точки зрения, тем не менее, необходимо привести основные формулы для дальнейшего понимания принципов работы транзисторов с трёхмерной структурой затвора. Хорошо описывает короткоканальный эффект модель Лиу.

Основной параметр, который можно извлечь из неё – характерная электростатическая длина (6).

$$l = \sqrt{\frac{\epsilon_s \cdot X_{dep} \cdot t_{ox}}{\epsilon_{ox} \eta}} \quad (6)$$

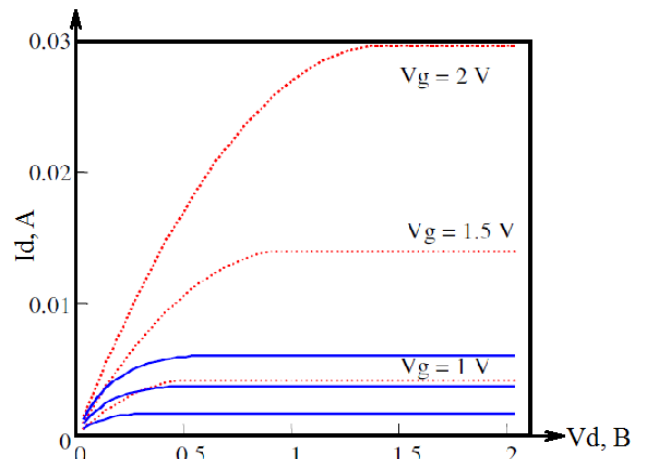


Рисунок 7 – Промоделированные ВАХ транзистора

С ней напрямую связано изменение порогового напряжения.

$$\Delta V_T = V_T - V_{TL} = \frac{2\psi_B - V_{bi}}{ch(L/2l) - 1} \quad (7)$$

Данная формула (7) является исключительно важной, так как позволяет оценить влияние короткого канала на величину порогового напряжения. Кроме того в ней фигурирует характерная длина l . В первом приближении можно сказать, что, если $l \ll L$, то короткоканальные эффекты не играют большой роли. Однако если длина канала и характерная длина сопоставимы, то учитывать эти эффекты просто необходимо.

Рассмотрим теперь как можно уменьшить негативный эффект от короткоканальных транзисторов путём отказа от стандартной планарной структуры транзистора и переходом к транзисторам с трёхмерной структурой затвора. Для этого обратимся к понятию характерной длины (6) и рассмотрим рис.8.

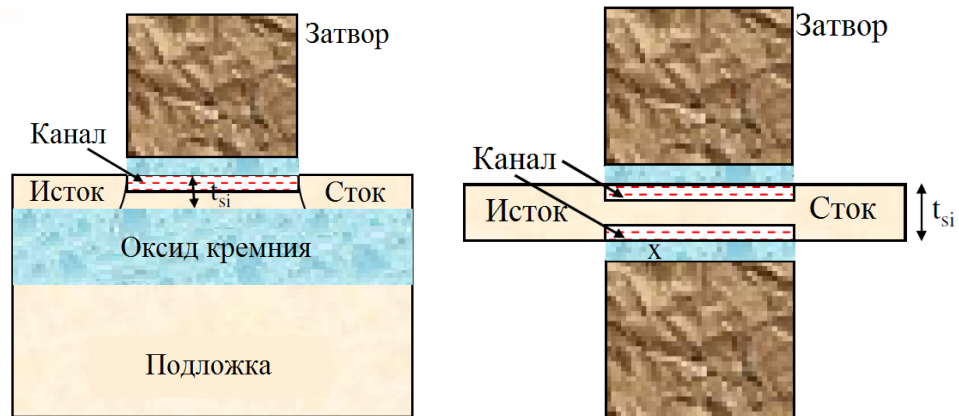


Рисунок 8 – Влияние типа транзистора на характерную длину (слева – транзистор, в основе которого КНИ, справа транзистор с двойным затвором)

Влияние КНИ состоит в том, что понятие глубины обеднённого слоя исчезает (X_{dep}) и заменяется толщиной кремния (t_{Si}). Это позволяет отказаться от сверхвысокого уровня легирования канала, что в свою очередь ведёт к увеличению подвижности зарядов в канале. В случае с двойным затвором ситуация ещё лучше, так как можно сказать, что толщина кремния в два раза меньше, выразив это формулой (8):

$$l = \sqrt{\frac{\epsilon_s \cdot t_{Si} \cdot t_{ox}}{2\epsilon_{ox}\eta}} \quad (8)$$

Теперь, математически пояснив базовые преимущества транзисторов с трёхмерной структурой затвора, ясны преимущества разрабатываемых FinFET транзисторов. Однако необходимо сказать, что рассматриваемая диффузионно-дрейфовая модель не учитывает целого ряда эффектов, которые, к сожалению, имеют место в самых современных транзисторах.

Даже относительно простая диффузионно-дрейфовая математическая модель не пригодна для проведения расчётов на компьютере. Она была приведена именно для наглядной демонстрации преимуществ FinFET транзисторов.

Пригодность модели для замещения компонента электрической цепи с целью её машинного моделирования является главным отличительным признаком компактных моделей. Основным противоречием, которое преодолевается при разработке компактной модели, является противоречие между точностью и сложностью. Термин «компактная модель» является общепризнанным в зарубежной литературе и отражает основное требование к таким моделям — требование вычислительной простоты (компактности).

Существует два типа компактных моделей: физические и эмпирические. Несмотря на множество упрощающих предположений, физические модели сохраняют физический смысл своих параметров и часто позволяют установить связь этих параметров с основными параметрами технологического процесса.

В отличие от физических, формальные модели (эмпирические) строятся на основе формального сходства между поведением модели и объекта относительно внешних выводов. При этом уравнения модели выводятся не из физических представлений о работе прибора, а путём экспертного подбора функциональных зависимостей для наилучшей аппроксимации вольт-амперных и вольт-фарадных характеристик. Для получения таких моделей широко используются методы среднеквадратической подгонки параметров уравнений с целью минимизации погрешности моделирования.

В практике схемотехнического моделирования долгое время использовались как формальные, так и физические модели, однако, последние 10 лет и в настоящее время подавляющее большинство разработчиков СБИС применяют исключительно физические модели, поскольку только они позволяют прогнозировать поведение транзистора при изменении его геометрии и электрофизических параметров.

Модель BSIM является, по сути, стандартом, так как её используют практически все лидирующие предприятия полупроводниковой индустрии. Тем не менее, она не идеальна: в частности она плохо описывает столь важные эффекты, как влияние механического стресса на электрические характеристики транзистора. Известно, что сжимающее напряжение в 1 ГПа внутри канала увеличивает подвижность носителей до 70%.

Проектирование современного FinFET транзистора невозможно без учёта этих эффектов, поэтому лидирующие компании используют эмпирические модели, базируясь на огромном количестве экспериментальных данных.

Одна из целей данной работы – составить физическую надстройку к BSIM. Для этого необходимо оценить степень важности каждого из источников стресса и понять, как можно описать их влияние на транзистор.

В третьей главе рассматриваются технологические этапы изготовления полевых транзисторов. Отдельное внимание уделяется источникам возникновения механических напряжений в канале, появляющихся после проведения очередной технологической операции.

Любой технологический процесс можно разбить на две части: *Front End* и *Back End*: начало и окончание процесса. В случае с производством транзисторов под началом понимают непосредственно формирование транзисторов в кремнии. Операции по созданию металлических межсоединений между транзисторами и окончательное корпусирование микросхемы относятся к *Back End*. Рассмотрим сначала все типовые операции, связанные с формированием транзисторов.

Формирование активной области транзистора (рис. 9) связано с созданием изоляционных канавок, заполненных SiO_2 , который создаёт внешнее механическое напряжение сжатия в канале транзисторов. Это влияет на мобильность носителей. В модели BSIM этот эффект практически не учитывается, поэтому его изучение – одна из задач данной работы.

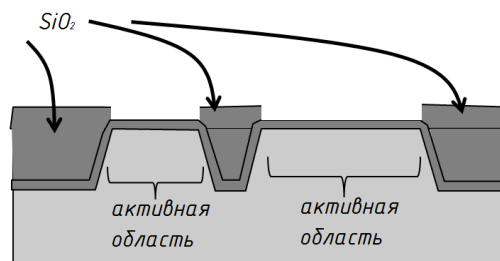


Рисунок 9 – Активные области транзисторов

Процедура легирования канала состоит из двух этапов: сначала имплантируются примеси на большой энергии с тем, чтобы определить границы кармана и увеличить пороговое напряжение паразитных транзисторов. Затем идёт имплантация моноэнергетических атомов с целью оптимизации порогового напряжения в изготавливаемом транзисторе. Процедура одинакова для nМОП и для рМОП. Разница лишь в типе используемой примеси. Для формирования рМОП используют фосфор, а для nМОП – бор.

У этой операции есть побочный эффект. Проблема в рассеянии примесей от фоторезиста (рис. 10). Этот эффект называется эффектом близости кармана (*WPE, Well Proximity Effect*). Если транзистор находится слишком близко (менее 1мкм) к границе кармана, то его пороговое напряжение отличается от запланированного. В модели BSIM это учитывается стандартизированной методикой. Поэтому данный эффект, не будет отдельно рассматриваться в компактной модели

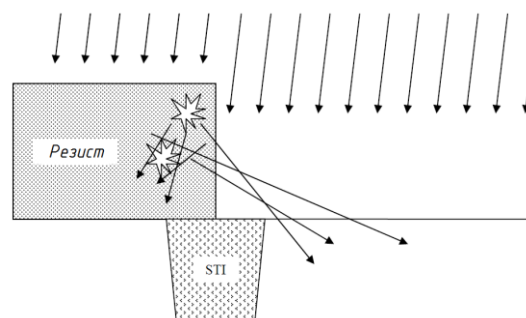


Рисунок 10 – Эффект близости кармана

Первая операция при формировании затвора – удаление оксида в плавиковой кислоте. В этот момент помимо прочего очищает поверхность кремния от возможных загрязнений. Затем формируется подзатворный диэлектрик. В технологиях 90нм и более используется просто термически выращенный оксид кремния, в то время как в более совершенных технологиях используются диэлектрики с высокой диэлектрической проницаемостью (*high-k* диэлектрики).

Затем с помощью осаждения из газовой среды при низком давлении осаждается поликремний или, в новых технологиях, металл, который и будет будущим затвором. Затем, после нанесения резиста, лишний металл стравливается. Надо сказать, что литографический шаг по формированию резиста исключительно важен. Так как именно в этот момент определяется длина канала будущего транзистора.

Формирование стока и истока можно разбить на два этапа: *halo*-имплантация и имплантация непосредственно для формирования зон стока и истока. *Halo*-имплантацию используют для уменьшения короткоканальных эффектов. Она повышает концентрацию примесей непосредственно на границе зон стока и истока. Это влечёт создание резкого *p-n* перехода, что фиксирует эффективную длину канала. Тем самым достигается лучший контроль короткоканальных эффектов.

Следующий шаг – создание прокладок. Цель – защитить попадание примесей под область затвора во время имплантации стока и истока. Вторая функция – защита от КЗ между электродом затвора и силицидом в областях стока и истока. Получение прокладки состоит всего из трёх шагов: сначала наносится слой оксида кремния, который будет играть роль ограничителя травления. Затем осаждается нитрид кремния. В связи с топологией количество нитрида в области затвора будет больше, чем на остальной поверхности подложки. Последняя операция – анизотропное сухое травление. В итоге получается структура, изображенная на рис. 11.

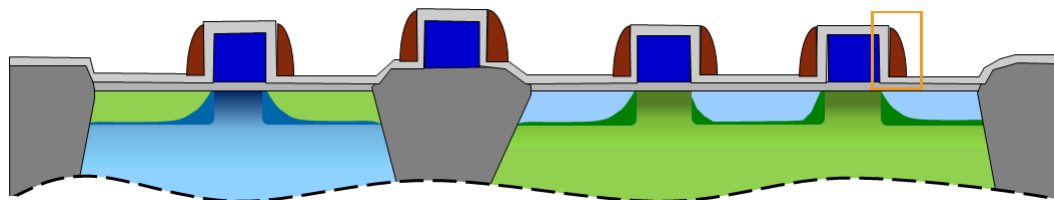


Рисунок 11 – Изоляционные прокладки (*Spacers*)

Одна из изоляционных прокладок на рис. 16 выделена оранжевым прямоугольником.

Формирование n+/p+ областей стока и истока идёт путём ввода примесей ионной имплантации. Изоляционные прокладки, созданные на прошлом этапе, защищают канал от ненужного легирования. После имплантации примеси находятся вне узлов кристаллической решётки кремния и, по сути, не активированы. Для активации необходимо провести операцию отжига. В случае с nМОП транзисторами используется специальный термошкаф. Для pМОП транзисторов необходимо производить быстрый отжиг, так как атома бора меньше атомов фосфора или мышьяка и при повышенной температуре могут легко диффундировать в подложку или канал.

Важно отметить, что n+/p+ области могут вызывать дополнительно механическое напряжение в канале из-за изменённой кристаллической решетки, поэтому их влияние необходимо учесть в разрабатываемой компактной модели.

Последний этап Front End – формирование силицида. Силицид (соединение кремния с металлом (Ti, Co, Ni и др.)) снижает последовательное сопротивление стока и истока, обеспечивает равномерное протекание тока через всю контактную площадку: по умолчанию распределение тока не гомогенно в области контакта со стоком и/или истоком.

Первый этап Back End of Line – создание PMD прослойки. Она выполняет три основные функции:

- защита транзистора от повреждений на следующих операциях;
- индикатор окончания травления;
- вводит дополнительное механическое напряжение, чтобы увеличить подвижность зарядов в канале.

Из-за последней особенности потребовалось дать пояснения по поводу Back end стадии, так как этим механическим напряжением нельзя пренебрегать и его необходимо включить в компактную модель (в BSIM этот эффект не учтён).

В четвёртой главе приведена методика проведения эксперимента, описаны подготовленные экспериментальные образцы, изготовленные по технологическим нормам 40нм и 28нм, приведено сравнение экспериментальных данных и результатов моделирования.

В ПО Cadence Virtuoso, с использованием моделей от TSMC, была создана матрица

тестовых структур, в столбцах которой менялся один из параметров, перечисленных ниже, в то время как остальные параметры оставались неизменными:

- длина канала (параметр L);
- ширина канала (параметр W);
- расстояние до границы активной области (параметр SA);
- ширина изоляционных канавок, ограничивающих активную область транзистора в направлении протекания тока (параметр SFX).

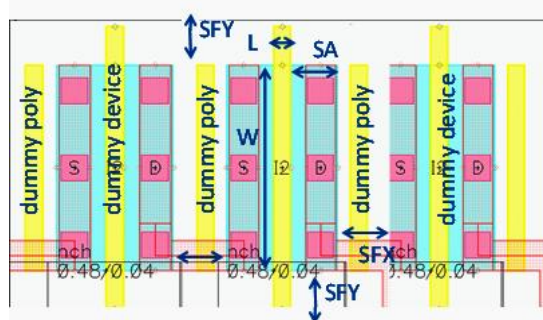


Рисунок 12 – Геометрические параметры тестовых структур

Ещё один неизменный параметр – SFY. Он указывает ширину изоляционной канавки в направлении, перпендикулярном протеканию тока в транзисторе. Все параметры графически изображены на рис. 12.

300мм подложки устанавливались в полуавтоматическую установку зондового контроля. После ручного позиционирования зондовой платы над исследуемым модулем можно запустить на выполнение заранее написанную программу, управляющую как источниками питания, измерительным оборудованием, так и установкой зондового контроля.

Разработанная тестовая структура позволяет проверить оценить влияние короткоканальных эффектов, которые должны быть ярко выражены для технологической нормы 40нм. Был измерен ток стока при напряжении на затворе равном напряжению питания (измерялся пМОП транзистор). Результаты представлены на рис. 13.

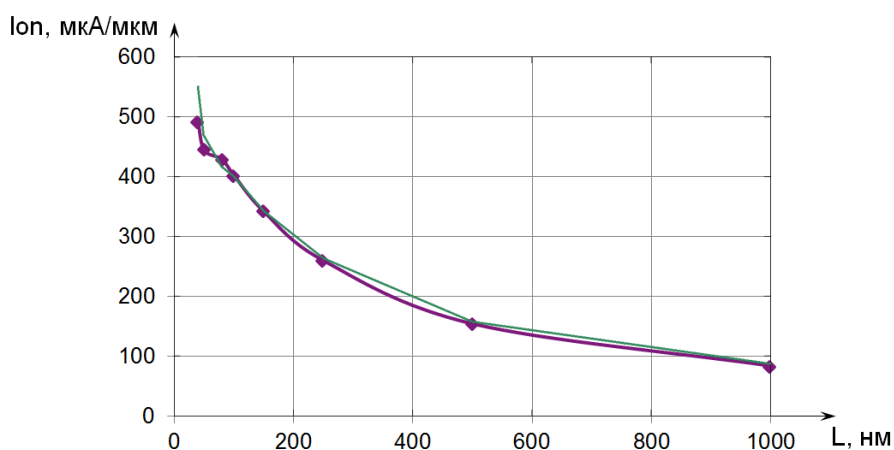


Рисунок 13 – Зависимость тока стока от длины канала. Фиолетовая кривая – экспериментальные данные, зелёная - модель

Фиолетовая кривая (квадраты) показывает усреднённые значения токов стока по результатам всех произведённых измерений. Зелёной же кривой показаны результаты моделирования транзисторов. На длинах канала более 100нм разница отсутствует, на

предельной длине 40нм относительная погрешность составляет около 8%, что может быть объяснено методикой проведения моделирования.

В случае с величиной активной области транзистора необходимо понять, как она влияет на механические напряжения в канале. Нужно установить связь механического напряжения с характеристиками транзистора. Распределения напряжения относительно центра канала из-за изоляции канавками показано на рис. 14.

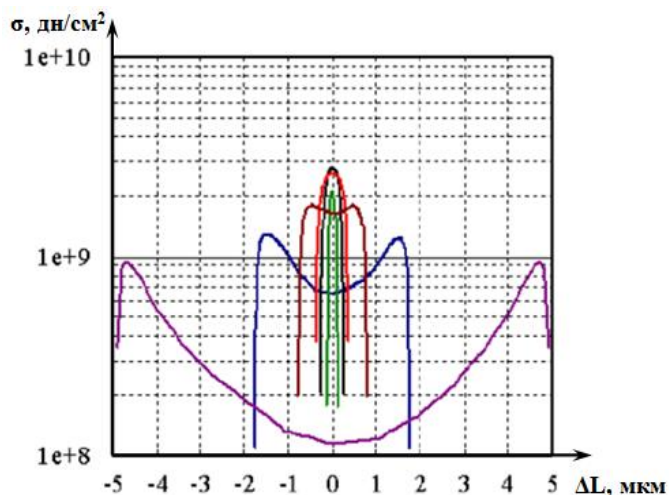


Рисунок 14 – Распределение напряжения относительно центра канала

Существует, по крайней мере, два механизма влияния механического напряжения на характеристики транзистора. Первый влияет на изменение подвижности носителей из-за модификации зонной структуры. Второй связан с изменением профиля легирования и, поэтому влияет на пороговое напряжение.

На рис. 15 изображены зависимости основных характеристик nМОП транзистора от его активной области.

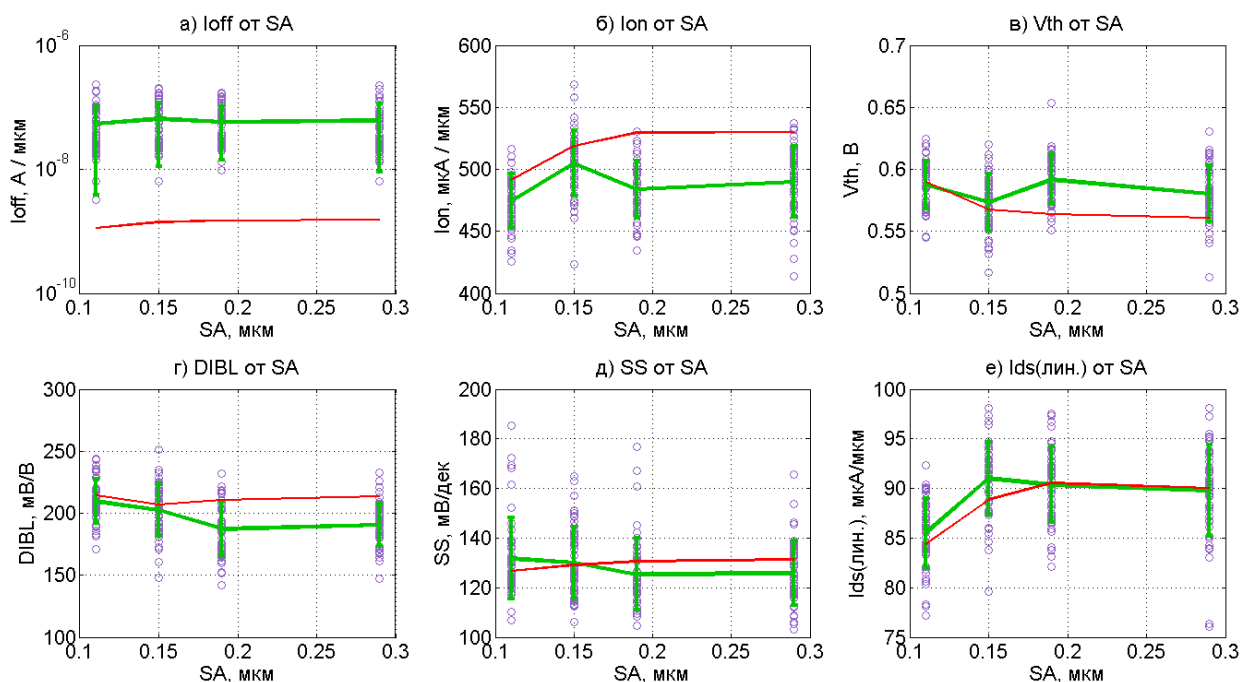


Рисунок 15 – Зависимость параметров nМОП транзисторов от его активной области

Данные рисунка 15 извлекаются из Id-Vg характеристик. Набор таких кривых приведён на рисунке 16 для nМОП транзисторов с разной величиной активной области. На графиках рисунка 17 представлено два набора данных: для размеров SA равных 68нм, 178нм, 288нм и 96нм, 206нм, 316нм. Разница в топологии кристаллов. В первом случае фиктивные затворы расположены в пределах активной зоны 28нм транзистора, во втором случае они расположены на границе активной области. Исходя из полученных данных, можно сделать вывод, что размещение фиктивных затворов над изоляционной канавки нивелирует побочное механическое напряжение в канале от канавок. Этот вывод является интересным, но он должен быть обоснован TCAD моделированием.

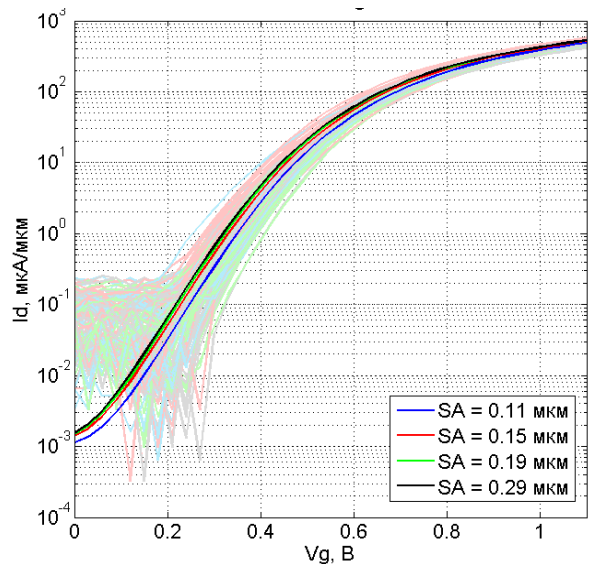


Рисунок 16 – Id-Vg характеристики nМОП транзисторов в зависимости от его активной области: блёклые кривые - измерения, насыщенные - модель

Для стандартного расположения затворов была разработана компактная модель. Она построена в первую очередь на анализе влияния механического напряжения на подвижность носителей зарядов в канале. Так, для nМОП транзисторов под действием механического напряжения идёт расщепление зоны проводимости. Обычно ориентация канала <110>. В таком случае в первую очередь смещаются две подзоны (из шести), находящиеся в плоскости перпендикулярной приложенному напряжению, что ведёт к перераспределению электронов по осям.

Так как отношение эффективной массы электронов расположенных в продольных подзонах к массе электронов из поперечных подзон составляет 4.81, а подвижность напрямую связана с эффективной массой, то общая подвижность носителей в канале изменяется. Это приводит к изменению величины тока стока, как это показано на рис.17.

Расхождение модели и экспериментальных данных составляет менее 1.5% для тока стока. Аналогичные результаты получены и для остальных параметров транзистора, что говорит о достоверности разработанной модели. Более того, модель была протестирована на транзисторах, изготовленных по технологическим нормам 40 нм, и расхождение составило менее 2%, что говорит о масштабируемости разработанной модели и её возможном применении для транзисторов с трёхмерной структурой затвора.

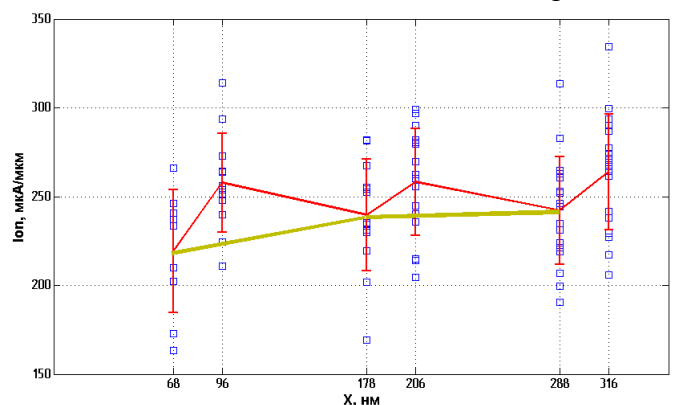


Рисунок 17 – Результаты моделирования (жёлтая линия) тока стока транзистора в зависимости от его размеров активной области

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

1. Формализовано техническое противоречие при проектировании полевых транзисторов по технологическим нормам менее 100 нм: увеличение размеров транзисторов позволяет обеспечить контроль над негативными короткоканальными эффектами, в то время как малые размеры позволяют повысить плотность компоновки логических элементов, снизить энергопотребление и, следовательно, тепловыделение.

2. Проанализированы возможные варианты улучшения полевых транзисторов, на основе чего сделан вывод, что транзисторы с трёхмерной структурой затвора являются лучшим решением для технологических норм вплоть до 10 нм.

3. На основе диффузионно-дрейфовой модели введен параметр (характерная электростатическая длина), позволяющий определить наличие короткоканальных эффектов в транзисторе. Для транзисторов с трёхмерной структурой затвора его значение уменьшается, по крайней мере, вдвое, что позволяет проектировать вдвое меньшие транзисторы при том же уровне паразитных короткоканальных эффектов.

4. Обоснована необходимость использования компактных моделей транзисторов при проектировании СБИС и проанализирована наиболее распространённая – BSIM. Анализ выявил в модели BSIM недостаточный учёт механического напряжения от внешних источников: принимается во внимание лишь симметричный размер активной области транзистора.

5. Проанализированы основные этапы производства полевых транзисторов с точки зрения возможного появления источников механического напряжения, которые были учтены в компактной модели.

6. На основе изготовленных экспериментальных структур сделан вывод об адекватности модели (относительная погрешность тока стока менее 1.5%), что позволяет использовать её при проектировании транзисторов по технологиям 40 нм и менее.

Публикации по диссертации

1. Якимец Д.В. Система микродозирования жидкостей // Сборник докладов 12 международной научно-технической конференции "Наукоемкие технологии и интеллектуальные системы 2010". - М: МГТУ им. Баумана, 2010.

2. Якимец Д.В. Интеллектуальные управляемые фильтры на основе многослойных наноструктур с адаптивно изменяемой светопропускной способностью // Всероссийская конференция молодых учёных и специалистов «Будущее машиностроения России». – Сборник трудов. Москва, 2008. - С.161-162.

