



МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

имени Н.Э. БАУМАНА

Учебное пособие

Методические указания

по выполнению домашних заданий по единому

комплексному заданию по блоку дисциплины

«Схемотехническое проектирование электронных средств»

МГТУ имени Н.Э. Баумана

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

имени Н.Э. БАУМАНА

Методические указания
по выполнению домашних заданий по единому
комплексному заданию по блоку дисциплины
«Схемотехническое проектирование электронных средств»

Москва

МГТУ имени Н.Э. Баумана

2012

УДК 681.3.06(075.8)

ББК 32.973-018

И201

Методические указания по выполнению домашних заданий по единому комплексному заданию по блоку дисциплины «Схемотехническое проектирование электронных средств» / Коллектив авторов – М.: МГТУ им. Н.Э. Баумана, 2012. – 70 с.: ил.

В методических указаниях были рассмотрены основные этапы выполнения домашнего задания по курсу «Схемотехническое проектирование электронных средств».

Ил. 39. Табл. 5. Библиогр. 7 назв.

УДК 681.3.06(075.8)

АННОТАЦИЯ

В методическом пособии рассмотрены основные темы курса «Схемотехническое проектирование электронных средств» такие как: реализация логических схем на транзисторно- транзисторной логике, основные параметры биполярных транзисторов, потенциалы напряжений, соответствующих логической единице и логическому нулю, основные характеристики полевых и биполярных транзисторов и сравнения их по базовым параметрам, изучения понятия «ключ» и его реализации в электрических принципиальных схемах.

ANNOTATION

The course of lectures addressed the main themes of the course "schematic design of electronic media" such as the implementation of logic circuits on the transistor-transistor logic, the main parameters of bipolar transistors, voltage potentials which correspond to logical one and logical zero, the main characteristics of bipolar transistors and field and compare them basic parameters, the study of the concept of "key" and its implementation in the electrical schematic.

1. Исследуемая схема:

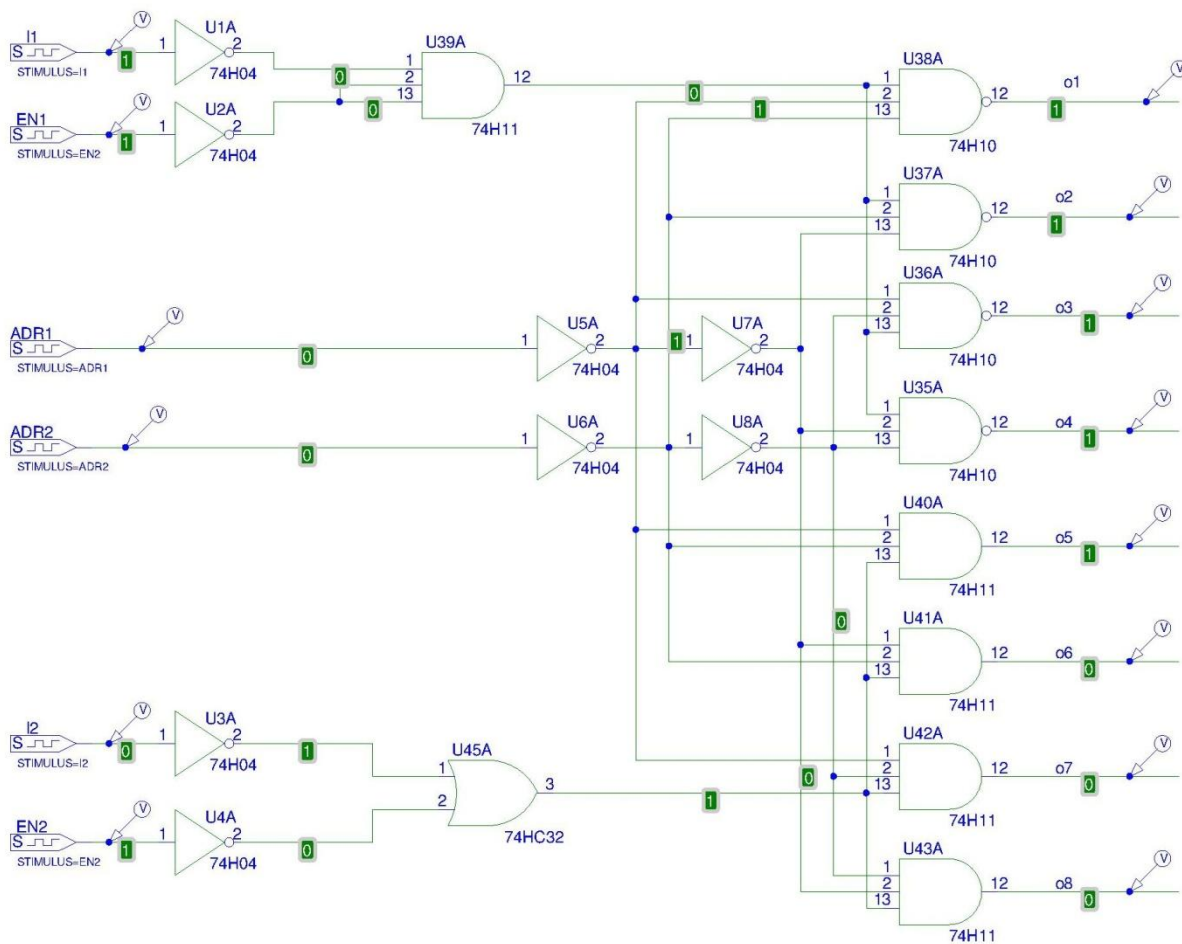


Рис.1 – Принципиальная схема устройства

Данное устройство имеет 6 входов и 8 выходов:

- 1) I1, I2 – информационные входы;
- 2) EN1, EN2 – входы запрещения/разрешения работы;
- 3) ADR1, ADR2 – адресные входы;
- 4) O1...O2 – информационные выходы.

2.2 Работа «нижней» схемы

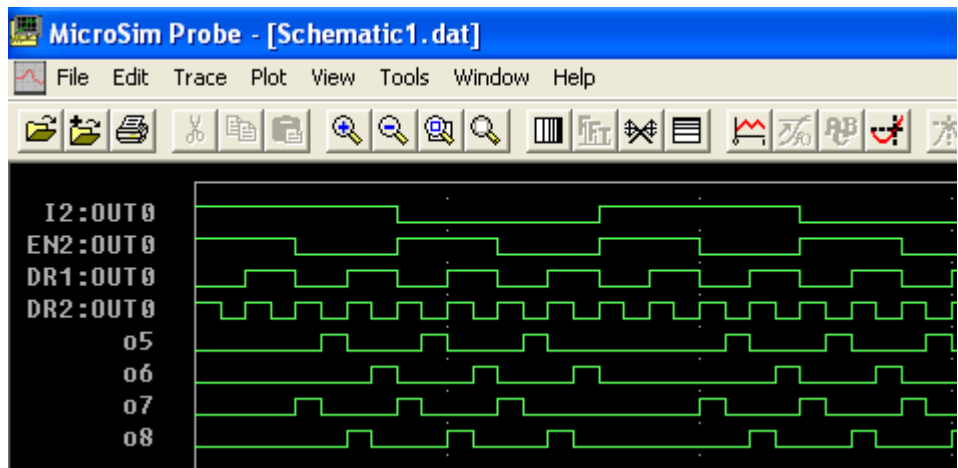


Рисунок 3 – временная диаграмма «нижней» схемы

Таблица 2 – таблица истинности для нижней схемы

I2	EN2	ADR1	ADR2	O5	O6	O7	O8
0	0	0	0	1	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	0	0	1
0	1	0	0	1	0	0	0
0	1	0	1	0	0	1	0
0	1	1	0	0	1	0	0
0	1	1	1	0	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	0	0	1
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0

3 Активный уровень входных сигналов.

Активный уровень для всех входных сигналов, кроме I2 и EN2 – уровень логической единицы. Для I2 и EN2 – уровень логического нуля.

4 Принцип работы схемы.

Схема представляет собой сдвоенный демультиплексор с общими адресными входами. Условно обозначим демультиплексор с выходами O1-O4 как первый (1), а с выходами O5-O8 как второй (2).

Для 1-го демультиплексора двоичное двухразрядное число на общих адресных входах ADR1, ADR2 определяет номер выходного порта O1..O4, на котором будет присутствовать сигнал с информационного входа I1. (см. рис. 1). При EN1=1 при любом сочетании адресных сигналов на выходах O1-O4 будет присутствовать логическая единица (см. рис. 1).

Схема 2 также имеет два режима работы. При EN2=0 сигнал I2 игнорируется и схема работает в режиме дешифратора – на выходах O5..O8 присутствует логическая единица в зависимости от комбинации сигналов на адресных входах (см. рис. 2). При EN2=1 схема работает в режиме демультиплексора: в зависимости от комбинации сигналов на адресных входах на соответствующем выходе O5..O8 будет присутствовать инвертированный сигнал со входа I2.

5 Возможное обозначение.

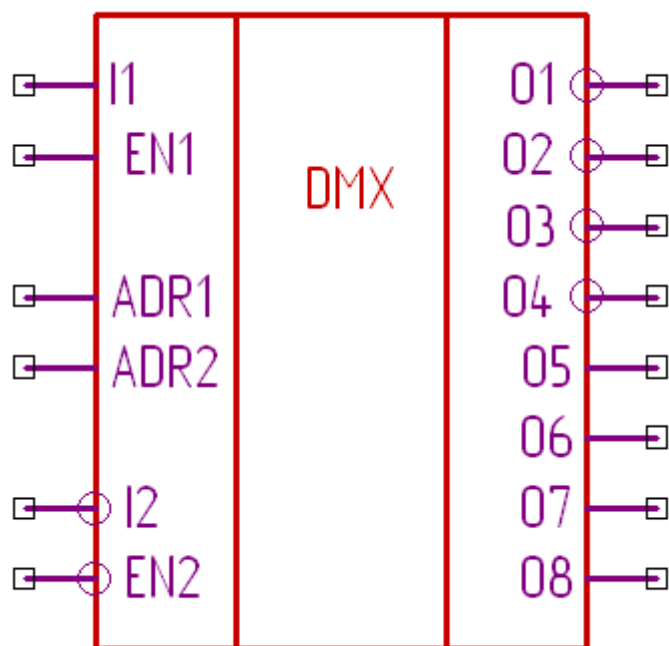


Рисунок 4 – Возможное УГО данного устройства

1) Постановка задачи

На основе интегральной микросхемы 4-х разрядного синхронного двоичного счетчика 74х163 разработать 8-разрядный двоичный счетчик со следующими характеристиками: начальное состояние $N_{\text{нач}} = 64$, модуль счета $M = 182$.

Вычислим конечное состояние счетчика:

$$N_{\text{кон}} = N_{\text{нач}} + M - 1 = 64 + 182 - 1 = 245.$$

$$N_{\text{нач}} = 64 = 0100\ 0000_2$$

$$N_{\text{кон}} = 245 = 1111\ 0101_2$$

Поскольку конечное состояние описывается восьмиразрядным числом для построения схемы необходимо использовать два счетчика 74х163.

2) Схема электрическая принципиальная.

Разработанная схема представлена в ПРИЛОЖЕНИИ.

3) Моделирование схемы

Схема моделирования представлена на рис.1.

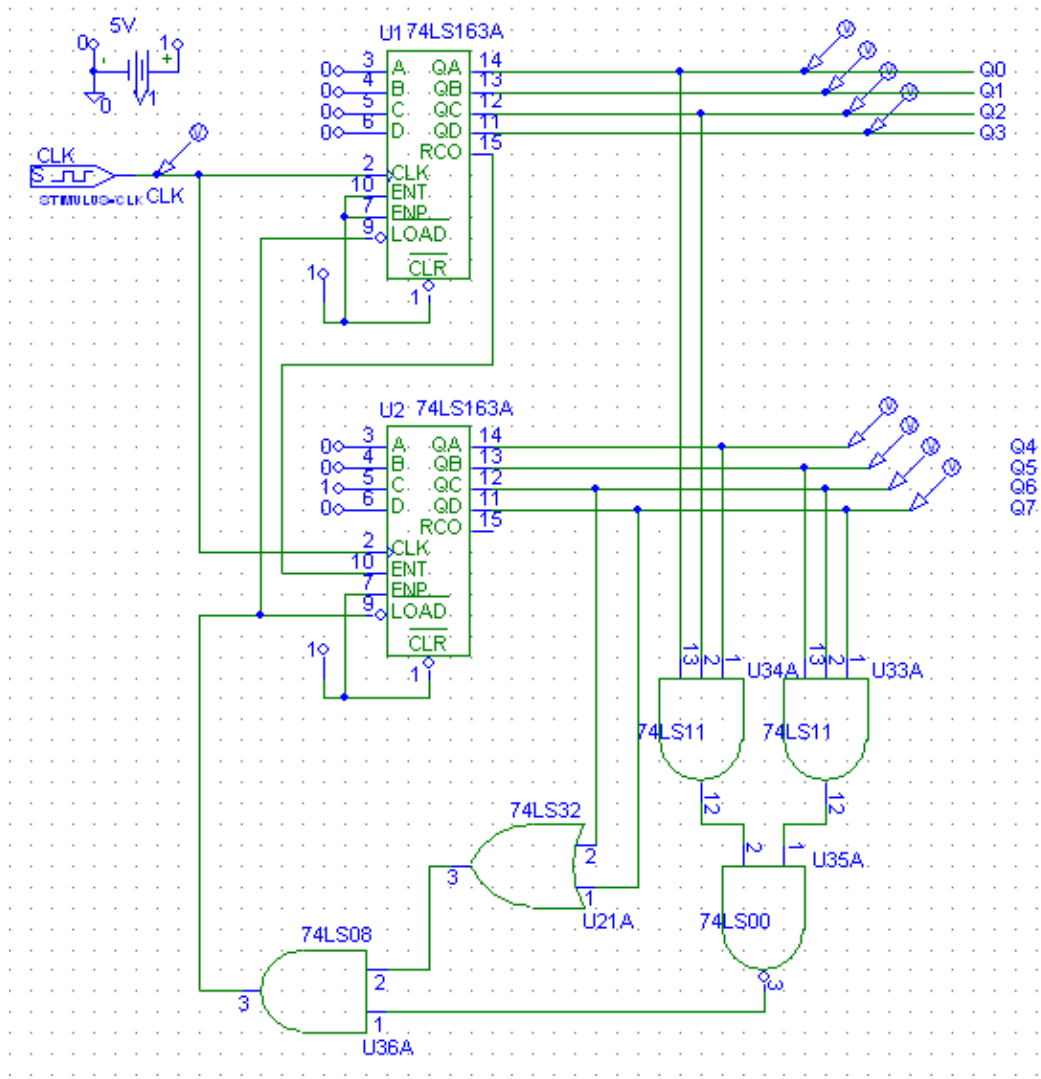


Рисунок 1 – Схема моделирования

4) Подтверждение правильности работы схемы.

Временная диаграмма счетчика показана на рис.2.

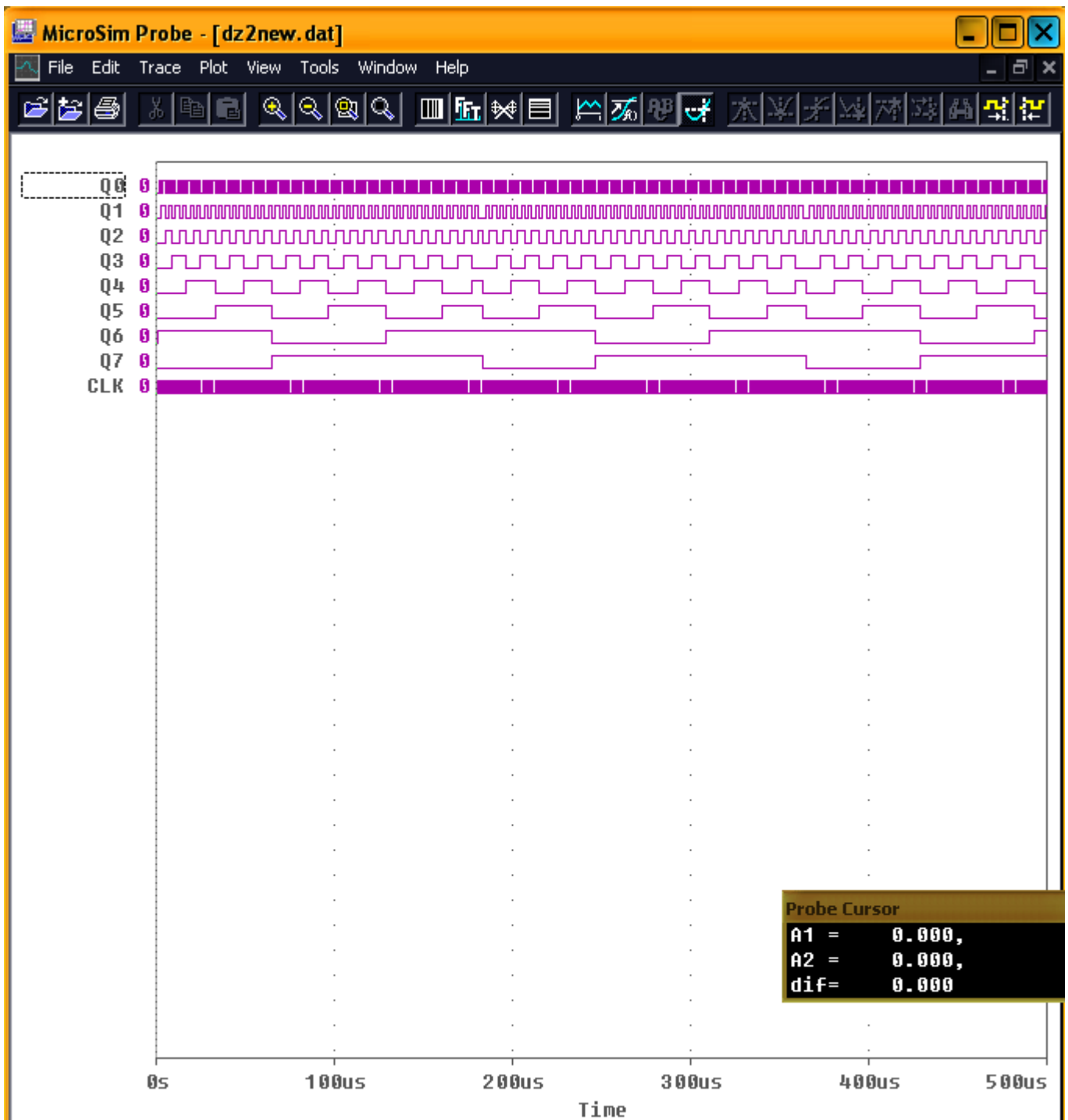


Рисунок 2 - Общий вид временной диаграммы.

Покажем с помощью временных диаграмм, что конечное и начальное состояния счетчика соответствуют заданным.

На рис. 3 представлено конечное состояние счетчика.

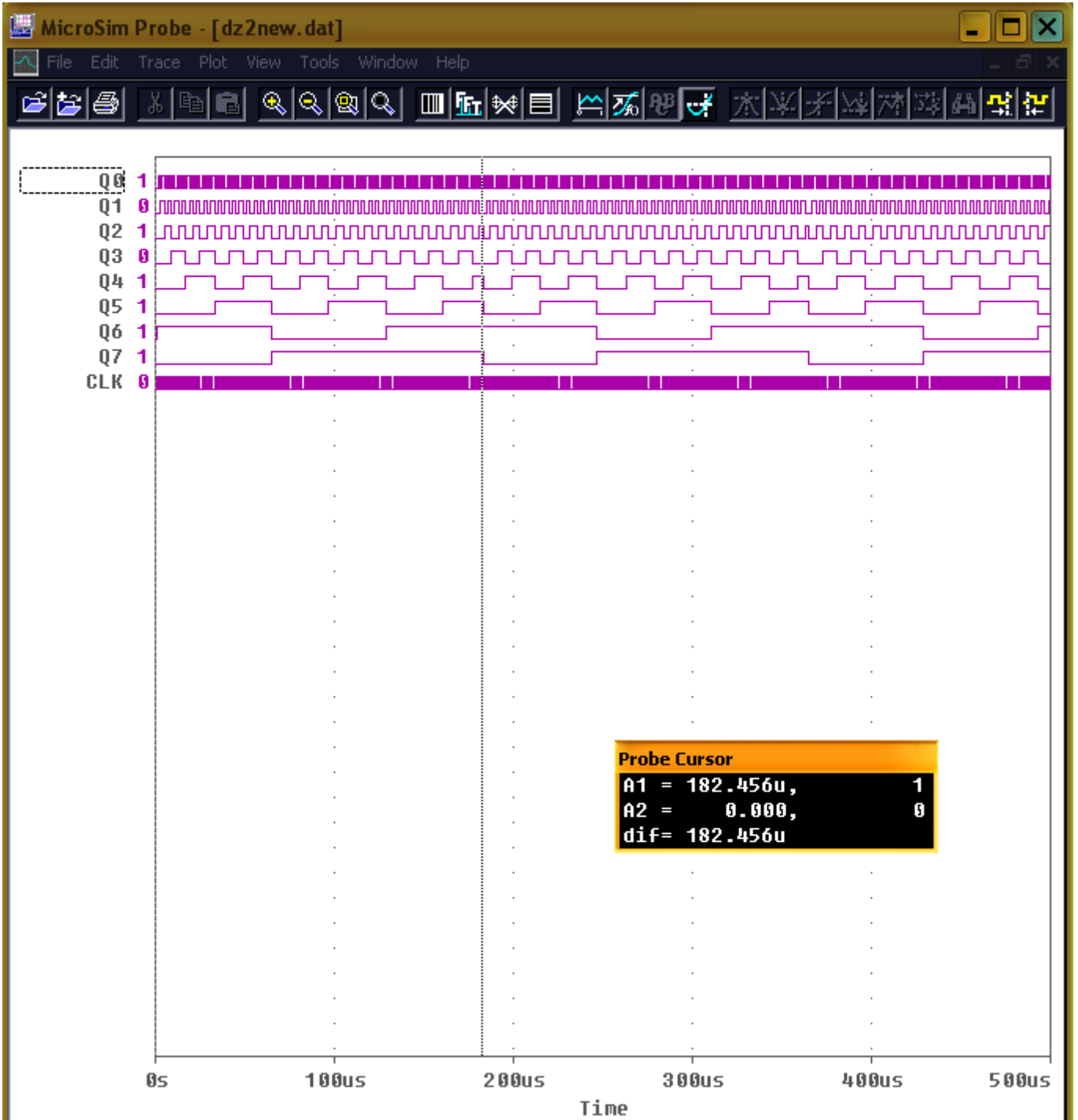


Рисунок 3 - Конечное состояние счетчика.

Конечное состояние счетчика достигается, когда появляется сигнал загрузки $LOAD=0$. Запишем приведенные на рисунке 3 значения разрядов Q0-Q7 в этот момент времени:

1	1	1	1	0	1	0	1	245 ₁₀
Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	

На рис.4 представлено начальное состояние счетчика.

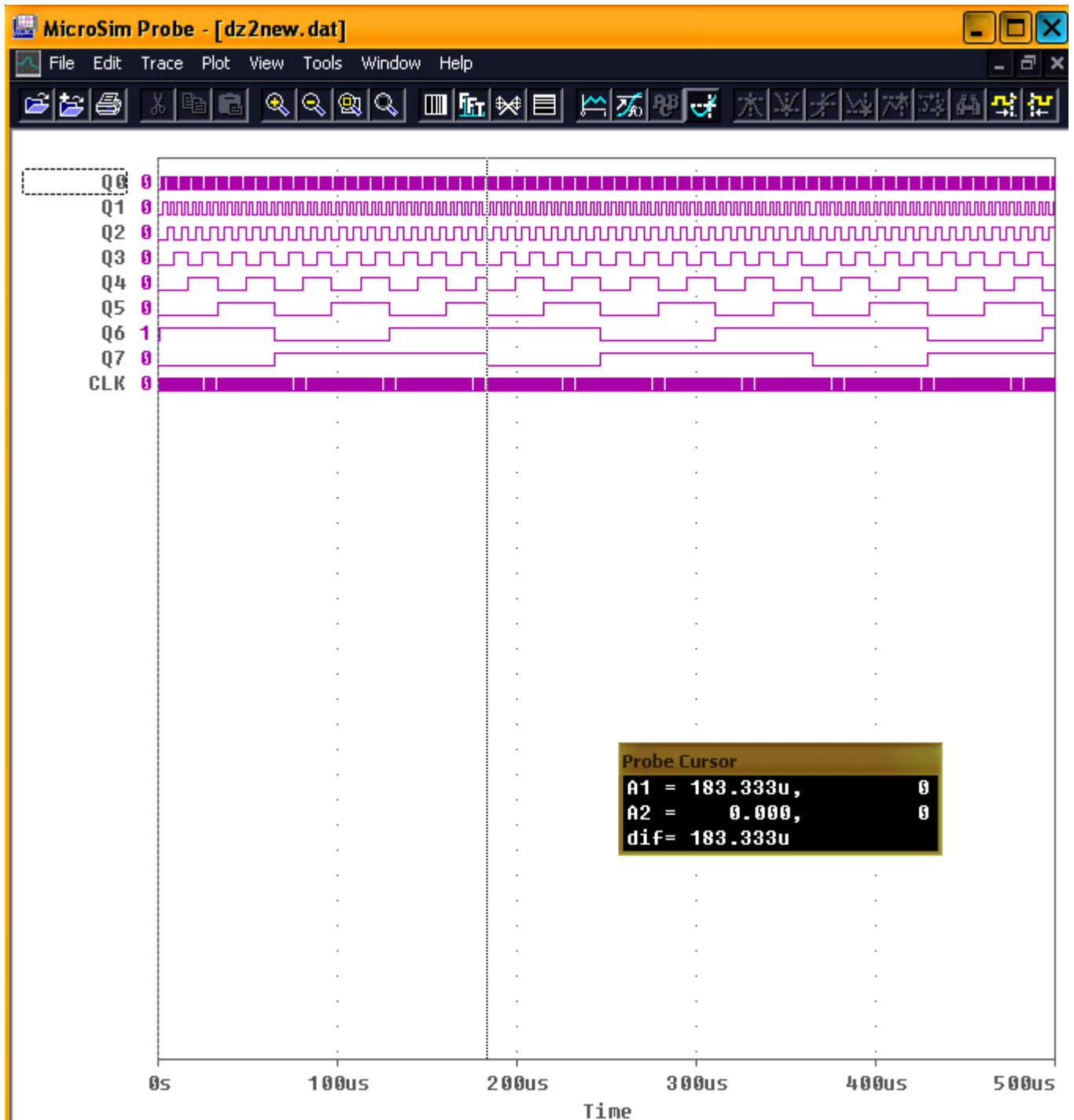


Рисунок 4 - Начальное состояние счетчика.

Начальное состояние следует непосредственно за конечным. Запишем значения разрядов в этот момент времени:

0	1	0	0	0	0	0	0	64 ₁₀
Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	

5) Принцип работы схемы.

Главная часть схемы состоит из двух каскадно соединенных счетчиков 74х163 (DD1 и DD2). С четырьмя младшими разрядами работает счетчик DD1, с четырьмя старшими – счетчик DD2. Каскадирование осуществляется за счет подсоединения выхода RCO схемы DD1 к входу ENT схемы DD2, тогда если на всех выходах Q0-Q3 счетчика DD1 присутствует уровень логической единицы, разрешается функционирование второго счетчика, и он включается в работу.

Чтобы счетчик начинал считать с $64_{10} = 0100\ 0000_2$, необходимо задать это состояние на входах А,В,С,Д обоих счетчиков следующим образом: на вход С счетчика DD2 подать высокий уровень сигнала, а на оставшиеся входы – низкий. С помощью элемента «ИЛИ»(DD6), подключенному к выходам QC и QD счетчика DD2, обеспечивается первоначальная загрузка числа $64_{10} = 0100\ 0000_2$ в счетчик DD2. Во время запуска схемы (на выходах QC и QD счетчика DD2 логические «0») на выходе элемента «ИЛИ»(DD6) формируется логический «0», который поступает на вход элемента «И»(DD7), с другой стороны с выхода элемента «И-НЕ»(DD5) на вход элемента «И»(DD7) также поступает логический «0», это приводит к возникновению на выходе элемента «И»(DD7) логического «0», который активирует вход LOAD счетчиков DD1 и DD2.

В результате первоначальной загрузки числа $64_{10} = 0100\ 0000_2$ в счетчики и дальнейшей работы схемы на выходах QC и QD счетчика DD2 всегда будет хотя бы одна логическая «1», что приводит к постоянному формированию на выходе элемента «ИЛИ»(DD6) логической «1». Отсюда не сложно сделать вывод, что после первоначальной загрузки числа $64_{10} = 0100\ 0000_2$, логический ноль на выходе элемента «И»(DD7), будет только тогда, когда на выходе элемента «И-НЕ»(DD5) ,будет логический «0»(это состояние соответствует достижению на выходах счетчика конечного числа $245_{10}=1111\ 0101_2$).

