



МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
имени Н.Э. БАУМАНА

Учебное пособие

Курс лекций

«Схемотехническое проектирование электронных средств»

МГТУ имени Н.Э. Баумана

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
имени Н.Э. БАУМАНА

Курс лекций

«Схемотехническое проектирование электронных средств»

Москва
МГТУ имени Н.Э. Баумана

2012

УДК 681.3.06(075.8)
ББК 32.973-018
И201

Курс лекций «Схемотехническое проектирование электронных средств» /
Коллектив авторов –
М.: МГТУ им. Н.Э. Баумана, 2012. – 70 с.: ил.

В курсе лекций были рассмотрены основные этапы курса «Схемотехническое проектирование электронных средств».

Ил. 39. Табл. 5. Библиогр. 7 назв.

УДК 681.3.06(075.8)

© МГТУ им. Н.Э. Баумана, 2012

АННОТАЦИЯ

В курсе лекций рассмотрены основные темы курса «Схемотехническое проектирование электронных средств» такие как: реализация логических схем на транзисторно- транзисторной логике, основные параметры биполярных транзисторов, потенциалы напряжений, соответствующих логической единице и логическому нулю, основные характеристики полевых и биполярных транзисторов и сравнения их по базовым параметрам, изучения понятия «ключ» и его реализации в электрических принципиальных схемах.

ANNOTATION

The course of lectures addressed the main themes of the course "schematic design of electronic media" such as the implementation of logic circuits on the transistor-transistor logic, the main parameters of bipolar transistors, voltage potentials which correspond to logical one and logical zero, the main characteristics of bipolar transistors and field and compare them basic parameters, the study of the concept of "key" and its implementation in the electrical schematic.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	5
1 ЛЕКЦИОННЫЕ МАТЕРИАЛЫ ПО КУРСУ ФИЗИЧЕСКИЕ ОСНОВЫ МИКРОЭЛЕКТРОНИКИ.....	6
1.1 Лекция 1.....	6
1.2 Лекция 2.....	11
1.3 Лекция 3.....	18
1.4 Лекция 4.....	23
1.5 Лекция 5.....	29
1.6 Лекция 6.....	34
1.7 Лекция 7.....	39
1.8 Лекция 8.....	43
1.9 Лекция 9.....	48
1.10 Лекция 10.....	53
1.11 Лекция 11.....	56
1.12 Лекция 12.....	58
1.13 Лекция 13.....	60
1.14 Лекция 14.....	62
ВЫВОДЫ.....	69
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ.....	70

ВВЕДЕНИЕ

Данный конспект лекций составлен на основе лекционного курса, читаемого в МГТУ им. Н.Э. Баумана на кафедре иу4 преподавателем Макарчуком В. В. Курс лекций рекомендован к выполнению текущих аттестационных мероприятий и подготовки к экзамену по предмету «Схемотехническое проектирование электронных средств».

ЛЕКЦИОННЫЕ МАТЕРИАЛЫ ПО КУРСУ СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ЭЛЕКТРОННЫХ СРЕДСТВ

Лекция №1

11.02.1

- Роберт Хаймана
- 1) PSPICE "Моделирование электронных схем"
 - 2) "Проектирование цифровых устройств" 2 том.
Д.Ф. Эйкерви.
 - 3) Землик 1988. Просто и понятно написано.
"Цифровые лог. схемы в цифр. цифровой технике"
 - 4) Конспект лекций, издательство МГТУ им. Баумана.

Экзакмен.

Основы теории цифровых устройств.

Математ. анализ, опис- действия
рисун. устр-в базис. на алгебре логики
или как ее еще наз. булевой алгебре,
называется в честь англ. матем. Джорджа Буля.

Дж. Буль 1815-1864 - англ. математик,
рожден в семье торговца.
основатель алгебра логики, самоучка.

В конце карьеры проф. математики
Этель ^{Войкин} ~~Вайн~~ "Овор"

В 1938 г. (1916-2001) амер. ученый Кларк Уелсон
применил Б.А. для эк-х цепей с контактным
выключателем. Электротехника и математика.

В 1940 году защитил в МТУ докторскую
диссертацию в которой доказал, что работу
переключ. и реле в эк-х схемах можно
представить посредством Б.А.

которые принимают след. условия:

$x = 1$, если $x \neq 0$

$x = 0$, если $x \neq 1$.

В основе БА лежит переключател. ф-ция:

$$f(x_1, x_2, \dots, x_n) = \begin{cases} 0 \\ 1 \end{cases}$$

$$x_1, x_2, \dots = \begin{cases} 0 \\ 1 \end{cases}$$

Сама БФ может быть задана 3-ми способами:

- 1) словесной.
- 2) алгебраическим выражением.
- 3) таблицей истинности.

Между обычной алг. и БА имеются сущ. различия как в отношении характера операции.

Действие над р-циями перем. в БА произр. по крат. алг.-опер.

Существ. 3 базовых алг. операции:

- 1) отрицание не "не"
- 2) лог. умнож. конъюнкция "и"
- 3) лог. сложение дизъюнкция "или".

Все р-ции более слож. операции можно свести к трем. основным.

Используя только 3 элем. можно построить сист. любых сложностей.

- 1) Операция не выполняется над одним

$y = \dots$, или $\dots$, $y = \dots$, или $\dots$.
Обычно обозначается $y = \bar{x}$.

2) Операция лог. умножения или операция "и"

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Обозначается: $y = x_1 \wedge x_2$; $y = x_1 \cdot x_2$

3) Операция или

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Обозначается $y = x_1 \vee x_2$; $y = x_1 + x_2$

Совокупность разн. знач. перем. в БА называется набором.

Булева ф-ия от n аргументов может иметь $M = 2^n$ наборов.

Так ф-ия принимает только 2 знач.,
поэтому число булевых ф-ий $Z = 2^{2^n}$.

$n=1$

$$y=0 ; y=\bar{x} ; y=x, y=1.$$

 $n=2$

$$Z=16$$

Аргументы					Функции	наименование операции	
x_1	0	0	1	1			
x_2	0	1	0	1			
0	0	0	0	0	$y=0$	константа "0"	
0	0	0	1	1	$y=x_1 \cdot x_2$	конъюнкция, опер. "и"	
0	0	1	0	0	$y=x_1 \cdot \bar{x}_2 = x_1 \rightarrow x_2$	запрет по x_2	
0	0	1	1	1	$y=x_1$	тождественность x_1	
0	1	0	0	0	$y=\bar{x}_1 \cdot x_2 = x_2 \rightarrow x_1$	запрет по x_1	1
0	1	0	1	1	$y=x_2$	тождественность x_2	2
0	1	1	0	0	$y=x_1 \cdot \bar{x}_2 \vee \bar{x}_1 \cdot x_2$	исключающее "или" (отрицание равнозначности, сумма по модулю 2)	3
0	1	1	1	1	$y=x_1 \vee x_2 = x_1 + x_2$	дизъюнкция, опер. "или"	4
1	0	0	0	0	$y=\overline{x_1 \cdot x_2} = x_1 \downarrow x_2$	операция "ни-не", стрелка Пирса.	5
1	0	0	1	1	$y=x_1 \cdot x_2 \vee \bar{x}_1 \cdot \bar{x}_2 = x_1 \sim x_2$	равнозначность, эквивал.	6
1	0	1	0	0	$y=\bar{x}_2$	инверсия x_2	7
1	0	1	1	1	$y=x_1 \vee \bar{x}_2 = x_2 \rightarrow x_1$	импликация от x_2 к x_1	8
1	1	0	0	0	$y=\bar{x}_1$	инверсия x_1	9
1	1	0	1	1	$y=\bar{x}_1 \vee x_2 = x_1 \rightarrow x_2$	импликация от x_1 к x_2	10
1	1	1	0	0	$y=\overline{x_1 \cdot x_2} = x_1 / x_2$	операция "и-не" штрих Шеффера	11
1	1	1	1	1	$y=1$	константа "1"	12

1. Аксиома операции отрицания.

$$\bar{0} = 1, \quad \bar{1} = 0.$$

2. конъюнкция

1. $0 \cdot 0 = 0$

2. $1 \cdot 0 = 0 \cdot 1 = 0$

3. $1 \cdot 1 = 1$

дизъюнкция

$$1 \vee 1 = 1$$

~~$1 \vee 0 = 0 \vee 1 = 1 \vee 0 = 1.$~~

$$0 \vee 0 = 0.$$

Законы булевой алгебры.

Закон	Конъюнктивная форма	Дизъюнктивная форма.
1. Переместит.	$x_1 \cdot x_2 = x_2 \cdot x_1$	$x_1 \vee x_2 = x_2 \vee x_1$
2. Сочетательная	$x_1 (x_2 \cdot x_3) = (x_1 \cdot x_2) x_3 = x_1 x_2 x_3$	$x_1 \vee (x_2 \vee x_3) = (x_1 \vee x_2) \vee x_3 = x_1 \vee x_2 \vee x_3.$
3. Повторение	$x \cdot x = x$	$x \vee x = x$
4. Обращение	Если $x_1 = x_2$, то $\bar{x}_1 = \bar{x}_2$	
5. 3-к двойная инверсия	$\bar{\bar{x}} = x$	
6. 3-к нулевого множителя	$x \cdot 0 = 0$	$x \vee 0 = x.$
7. 3-к универс. множителя	$x \cdot 1 = x$	$x \vee 1 = 1$
8. 3-к дополнит.	$x \cdot \bar{x} = 0$	$x \vee \bar{x} = 1$
9. Распредел. 3-к	$x_1 \cdot (x_2 \vee x_3) = x_1 x_2 \vee x_1 x_3$	$x_1 \vee (x_2 \cdot x_3) = (x_1 \vee x_2) \cdot (x_1 \vee x_3)$
10. 3-к поглощения	$x_1 \vee x_1 x_2 = x_1$	$x_1 \cdot (x_1 \vee x_2) = x_1.$
11. Склеивание	$(x_1 \vee x_2) \cdot (x_1 \vee \bar{x}_2) = x_1$	$(x_1 \cdot x_2) \vee (x_1 \cdot \bar{x}_2) = x_1$
12. Инверсия закон Де Моргана	$\overline{x_1 \cdot x_2} = \bar{x}_1 \vee \bar{x}_2$	$\overline{x_1 \vee x_2} = \bar{x}_1 \cdot \bar{x}_2$

Взаимное соответствие булевых ф-ий и логических схем.

Двоичные пер-ые, возр. в лог. ур-е можно представить в виде ур-е лог. схем. Путем преобр. этих сигналов получают тот же сам. сигнала $\Rightarrow$ рез-т операции

Имея данные булевых ф-ий:

$y = f(x_1, x_2, \dots, x_n)$ Всегда можно составить ~~результат~~ лог. схему, которая будет преобраз. $x_1, x_2, \dots, x_n$ согласно указанной ф-ии.

Устройства, выполняющие в лог. аппар. логич. операции наз. лог. элем.

Эти лог. элем. различаются между собой: 1) характером realiz. ф-ии

2) числом входов.

3) — и — видом и др.

Однако работа их оценивается только с точки зрения алг. логики без учета практ. выполн.

Вкл. и выкл. ^{в лог. эл.} в завис. от уровня сигнала, при котором восприн. или выработ. опред. знач. переменной разл. времени и интервале.

На время входе (выходе) р-зультат переменной имеет знач. лог. ед-и,

имеет значение, принимает значение 1 .

На втором входе (вх2) равнозначен уровню сигнала перв. имеет знач. 1 , когда имеет значение принимает значение 0 .

На лог. входе лог. эл-т можно показать сигн. лог. ур-ня 0 и 1 согласно законам универс. и нулевой ин-ва.

Входы, равнозначные в лог. относ., т.е. те, которые можно менять местами без ущерба для зап. ф-ии допускает объедин. по закону повторения и при этом от разн. или одн. вход.

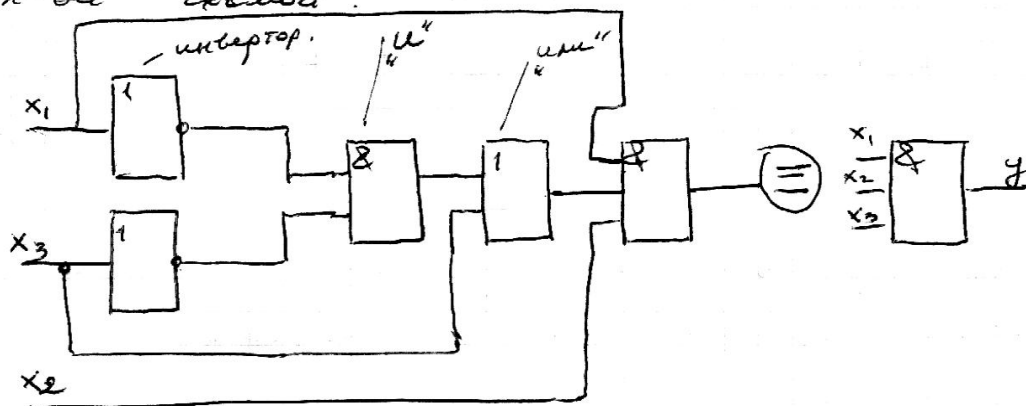
В каж-ве примере приводим свер. ф-ию.

$$y = x_1 \cdot x_2 \cdot (x_3 \vee \bar{x}_1 \cdot \bar{x}_3)$$
$$y = x_1 \cdot x_2 \cdot x_3 \vee \underbrace{x_1 \cdot x_2 \cdot \bar{x}_1 \cdot \bar{x}_3}_0$$

$$y = x_1 \cdot x_2 \cdot x_3 \vee 0 = x_1 \cdot x_2 \cdot x_3.$$

Эта ф-ия может быть реализована свер.

эл-ой схемой:



Положительная и отрицательная логика.

В совреш. цифр. устр., лог. состоянии представл. рбунг ур-ия ~~состояния~~ напряжения, потенциалом — высоким, близким к максимуму и низким — 0. Такая мет. представл. инф. наз. потенциал. Состояний присутствуют инф. и рбунг или характерна непосредств. связь между определенными этими сигналами.

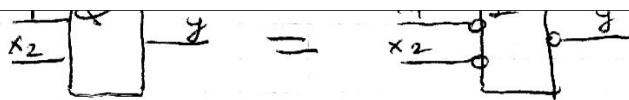
Достоинство потенц. сигн. оцуж. заключается в том, что сигнал информ., а переключательными элементами не зависит от одного ~~и~~ уровня и др. Два ур-ия невр., характеризующихся инф. определяются как более высокий: "H" high. и лог. уровень, "L" low.

Существует два рода лог. отношения в зависимости от того каким уровнем кодировать лог. 1 и лог. 0.

В соответствии положит. логике — "H" соотв. 1, а "L" — 0.

В соответствии отриц. логике — все наоборот. За ур-ия 1 — "L", 0 — "H".

Это приводит к тому, что лог. элемент можно считать как с позиции код. лог. так и отриц. При этом его функц. роль будет абсолютно различна.



лог. лог.

x_2	x_1	z
0	0	0
0	1	0
1	0	0
1	1	1

"и"

отр. лог.

x_2	x_1	z
1	1	1
1	0	1
0	1	1
0	0	0

"или"

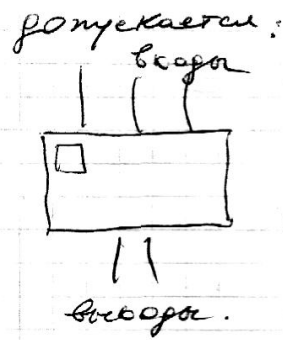
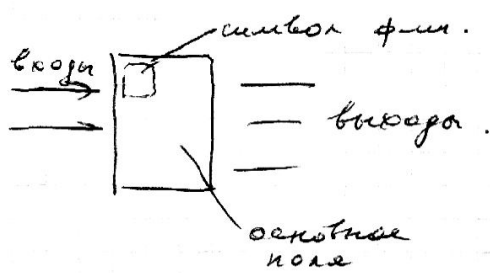
- С учетом сказанного, элемент, выпол. лог. ф-ии на разд.
- вот. в двух лог. формах.
- Или лог. элем., вю экв. форму можно получить, проведя след. преобр:
- 1) В основном поле изобр. лог. элем символ "и" заменить на "или".
 - 2) Все прямые входы заменить на инверсные, а инв - на прям.
 - 3) Все прямые выходы заменить на инверсные, а инв на прямые.

Составление логич. логич. имеет преимущество, т.к. во всех ^{справ.} '73' ^{этикетка} ф-ии ~~на~~ ИС решено рис. логич. логич.

Преобразование базовых лог. элем на принципиальной э-ой схеме.

В КД на принц. э-х схемах лог элем изобр. согл. ГОСТ 2.743-82.

"Обозначение условные графич. в схемах."



Интересное входы и выходы индикатора
лог. отношения безымянными кружочками.

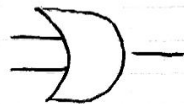
Линии земли - питание обмотки не показ.

На Западе стандарт МЭК 117-15А.

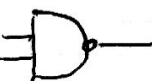
Почти соотв. ГОСТ.

США MilSpec. согласно этому станд.

"не" 

"или" 

"и" 

"и-не" 

"иск. или" 

Галс


В графическом представлении. Э. схемы циф.
уст. том. могут сверху-вниз, а сигналы
расп. слева направо.

	по шине	
	Положит.	Отрицат.
"не"		"не"
"и"		"и"
"или"		"или"
"и-не"		"или-не"
"или-не"		"и-не"

Классификация лог. элементов элементной базы и ее основные функции параметры.

В завис. от того во какой из
микрот. технолог. производств та или
иная МС и какие элементы сост.
ее основу, всю элем. базу цифр. устр.
можно классиф. след. образом.

Цифровые ИМС

Цифровые ИМС на бипол. транз.

- ① Схемы регуляторно-транзисторной логики (РТЛ)
- ② Схемы диодно-транзисторной логики (ДТЛ)

Цифровые ИМС на полевых тр-сторах

- ① Схемы на р-канальных МДП-транзисторах.
- ② Схемы на п-кан. МДП-транзисторах.
- ③ Схемы на комбинированных типах полевых транзисторов

Интегральные МС на инжекционной тр-ре (I²L)

1. Занимают мало места.
2. Работают при малейшем токе (1 нА, 0,1 нА)
3. Технологически схожи с интегр. диодами совмещен с бипол. технологией.

каскадная
логика

③ Схемы транзисторно-транзисторной логики (ТТЛ).

④ Схемы транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ).

не один
тр-р не
попарно
в режиме
насыщения

⑤ Схемы эмиттерно-связанной логики (ЭСЛ).

Лекция №3.

Основные функ. параметры лог. элементов.

К парам, характ. лог. и элементу лог. э.
относятся:

- 1. Реализуемые лог. ф-ции.
- 2. Нагрузочная способность ЛЭ, т.е. -
характериз. возм. подкл. к выводу
ЛЭ ^{опр. мин} ~~такую~~ же элементов без ущерба
устройства.
- 3. Коэф. обвязки по входу, т.е.
- 4. Средняя задержка прихода сигнала $t_{ср}$.
- 5. Предельная рабочая частота f_p .
- 6. Помехоустойчивость.
- 7. Потребляемая мощность (средняя)
- 8. Работа переключения. - Квантово-рел. квант
задержки, чтобы перевести из 1 в 0 или наоборот

① По виду реализуемых ф-ций все эти
могут быть разбиты на 2 класса:

1) Одноступенчатая логика

а) ЛЭ, реализующие и, или, не, ~~и~~

2) ФЭ многоступенчатой логики, которые

реализ. более слож. ф-ии и-ии, ии-и,
ке-и-ии; и-ии-ке; и-ии-и

② Коэф. рыв по выводу (нагруз. способ.)
кар-т нагруз. спос. ЛЭ и орг. то
лишь востр. ЛЭ, которые могут
быть подкл. к востр. раннего без уч.
различия всех функ. перам. этого
ЛЭ. Должны обеспеч.

- неискаж. передача 0 и 1 в
цифр. устройстве и зет и пропуск, ~~востр.~~
помер. числа ЛЭ при наибольшем совет
дестаби. факторов.

К релат. факторам относят:

- 1) изменение напр. тв.
- 2) длина тв.
- 3) число периметров компонентов.

Коэф. рыв по востр. востр. целым
полож. числом. Чем выше знак n ,
тем выше, лучше напр. способ. ЛЭ,
иначе его функ. возм. и менее затрат
на построение того или иного устр.

Парам с ростом тем. сжим. сужд. к
сжим. , уменьш. быстрот., ухудш. надежность,
увелич. потреб. мощность.

В состав каждой тв. серии ИМ
включают элемент режим напр. способ

Для сжим на бинар. пр. $n = 4 \div 10$.

В каждой серии имеются.

Буферные ЛЭ с увелич. напр. способ $n = 2 \div 50$.

Это означает, что более мелко проект.

ф.у. различия опт. показат. как по
потр. мощи, так и по темп. микрохем.

$(R_{\text{вх}} \sim 10^{12} \text{ Ом})$. в стат. режиме и

не обзавод и не забуд. ток из напр.

Умножит очень высокие $(n > 10)$.

Умножит и Умножение n огранич. только
длинами. парам. (парамет. индукции).

$$n = 10 \div 100.$$

Ко (3) m - коэффициент обертывания по входу.
характериз. темп. число ролик.

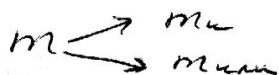
всего функ. в ЛЭ. с ↑ m расширяется
лог. возм. этого ЛЭ за счет входов.

всего ф-ии с большим числом аргументов
на одном типовом элем. и не инв.

с ↑ m усложняются тем ф. параметр
базис, поменяются.

с точки зрения возм-ти ↑ m, комп.
есть "и" и "или" сущ. стик.

др. ст. другая.



В ЛЭ, где ф-ии первого лог. ступ.
лог. перес. инвертирующ., увелич.

числа входов и требует ↑ S кристалл,

а где и на суп. $\sqrt{S}$ ↑ m

требует ↑ S кристалл, а это значит,
что ↑ это значение вызывает трудности.

Типовое знач. парам. m для ЛЭ "и"

$$m_и = 2 \div 6$$

$$m_{или} = 2 \div 6$$

Отметим, что $\uparrow$ меня. т. 1700000 об/с.

2) каждой серии ИМ эта логическая
меморизация, порождающая которого к асн. ИМ.
позв. $\uparrow$ та и т.м. до 10 и более раз.

В схематических БИС и СБИС исп.

интервал. лог. ф.м. по множеству.

лог. схеме (2 класс), потому что

в этом случае первые ступени имеют
меньше ~~т.м.~~ $n=1,2$, а вторую вот.

на интервале с высокой напр. способностью. (n)

Это позв. экономить ~~ф.м.~~ ирис. БИС

и СБИС и больше обес. востан.

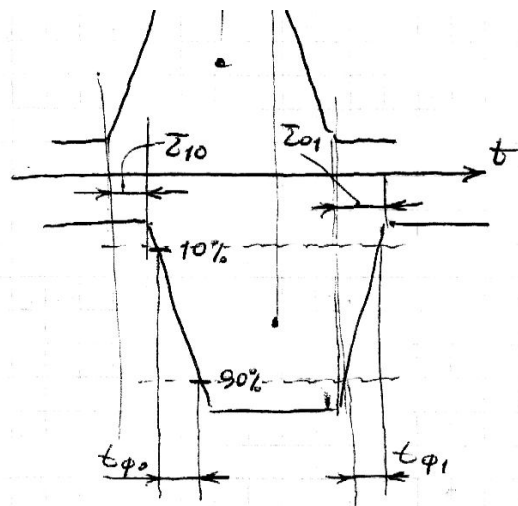
беспрерывности зас. свет. много. редуцирует.

с первой ступени и большой сн. напр.

④ Среднее задерживающ. сигнала. — относится
к динам. пар-м ЛЭ.

Нужно знать, чтобы вычислить:

- 1) $t_{ф1}$ — длительность фронты формирования уровня
логик. ~~состояния~~ единицы
- 2) $t_{ф0}$ — — — — нулю.
- 3) τ_{10} — время задержки перех. из
сост. "1" в сост. "0".
- 4) τ_{01} — — — — "0" $\rightarrow$ "1".
- 5) $\tau_{н}$ — длительность импульса
- 6) f_p — частота повторения.



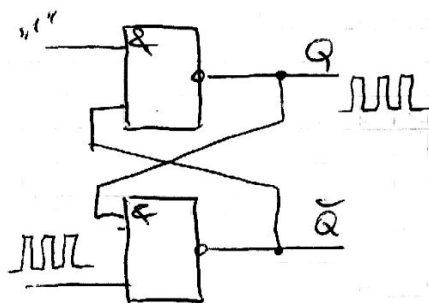
$\tau_{\text{ср}} -$ сред. задержка сигнала. ЛЭ

анализ удерж. парии, но кот. оцен. быстродр.
ЛЭ и
Успех. в расч. вр. характеристик многоэт. после. вел. МС.

$\tau_{\text{ср}}$ формирует вент. во все отсечки
той и той сф. ЛЭ.

⑤ Пред. риб. частота. $f_p -$

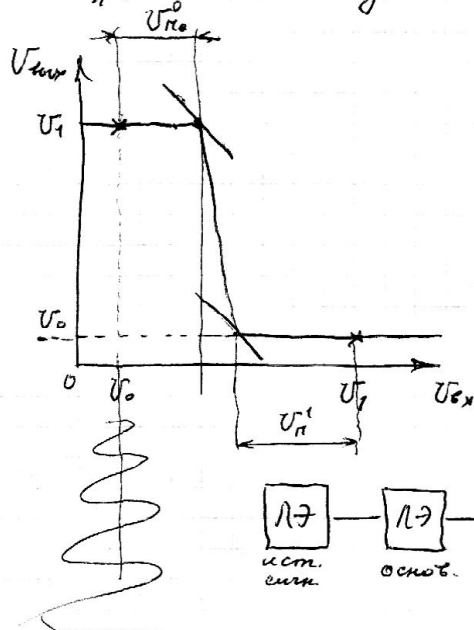
- пред. част. переключ. асинхр. RS триггера,
реализов. на базе этого ЛЭ.



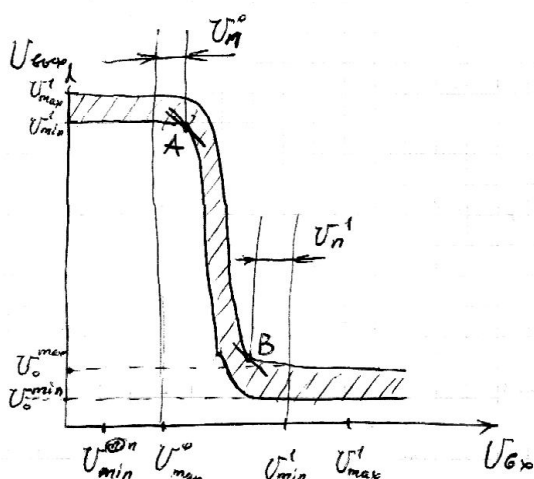
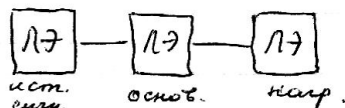
⑥ Помехоустойчивость.

ЛЭ в статич. режиме может находиться в 1-м и 2-м лог. сост. либо 0, либо 1, поэтому логич. стат. помехоуст. по уровню лог. 0 (U_n^0).

быть порою на ее вхор отк-но уровню «0» или «1» не вызывая ее ложного срабатывания



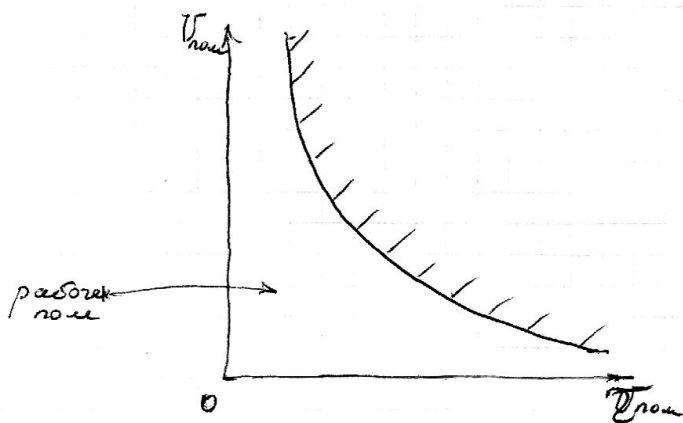
Рассмотрим сигнал. период. кар-ку инвертора



Существует еще явление помехоустойчивость. зависит от длины помех, формы п.

Высок стат. помехоуст не всегда опр. высок. рин. пф.

Анализ существа с помощью триггера, построенного на баз. элм. ~~опред~~ Определе знак помех, когда тригг. перехр получает критиче область ринан. помехует.



④ Потребл. уменьшается.

При работе в реал. устр. лампы ЛД может находиться в одном из сл. состоят:

- 1. Выходит.
- 2. Стадия включения.
- 3. Стадия выключения.
- 4. Стадия включения.

В режиме старения — ртутная лампа
Наиб. мощность — в ① и ③.

Существуют и такие, что так мощн. ②, ④.
Лог. элм., которые напр. макс. мощн.

В ① и ③ характеризуют средней потерей
мощностью.

$$P_{\text{ср}} = \frac{P_0 + P_1}{2}$$

Рассмотрим элм., которые макс. потер. в ② и ④
характер.

переход. Доп. устр. этот мощн. связан

с тем, что при перекр. $\rightarrow \uparrow$ ток и $\uparrow$ мощн.

КМОП хар-ки для парам.: факт

перекр. мощн. $P_{\Delta T}$

8) Работа переключателя.

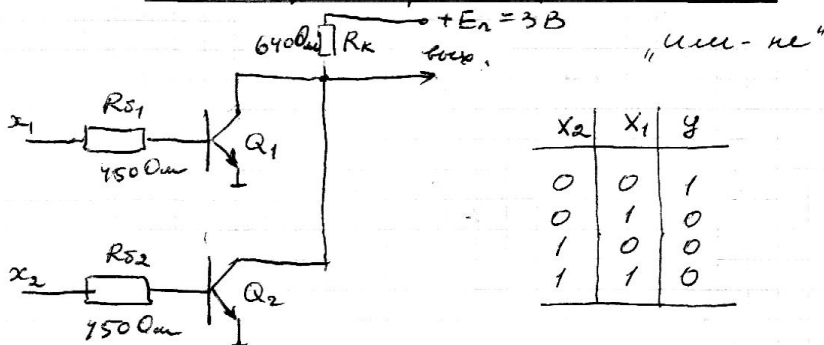
$$A = P_{cp} \cdot t_{зас.р}$$

→ чем $A \downarrow$, тем лучше.

Схемотехника логич. элементов на биполярных транзисторах.

Все в логике!

Резисторно-транзисторная логика.



x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

$$E_n = I R_K$$

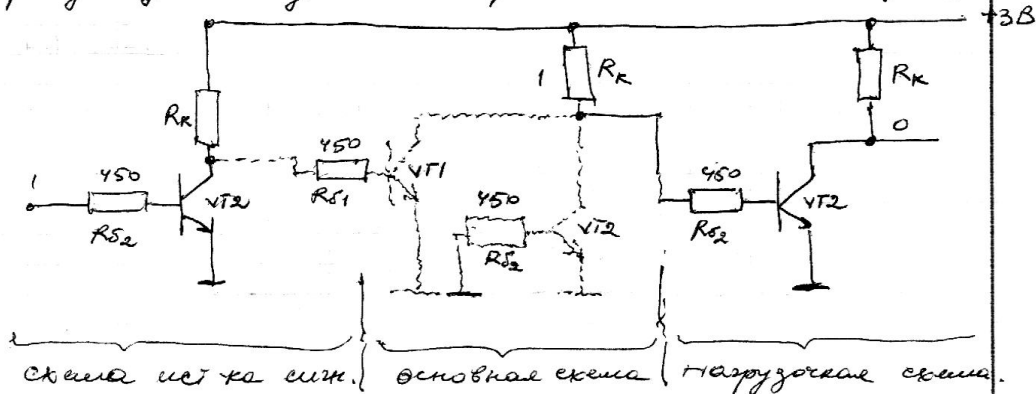
$$I = \frac{3V}{640 \Omega} \approx 0.004A$$

При $x_1, x_2 = 0$ оба тр-ра находятся в режиме отсечки, поэтому ток через R_K не протекает $\Rightarrow$

E_n оказывается на выходе "1".

Если хотя бы на одном входе присутствует высокий уровень ^{логич.} сигнала, то транзистор, подключенный базой к этому входу - открыт и находится в насыщении.

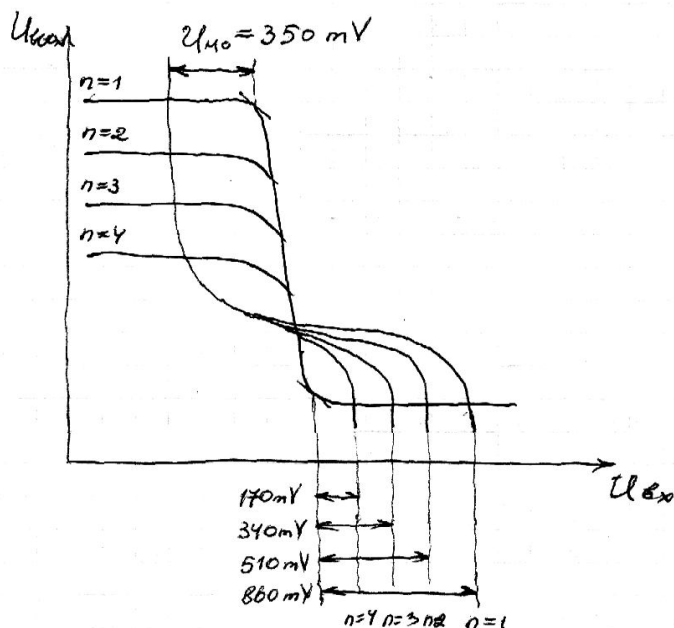
Коллекторный ток протекает через $R_K \Rightarrow$ на R_K присутствует падение напряжения $\Rightarrow$ на выходе "0".



↑ ?

схемы ЛТ работает в предположении, что ЛТ
получает сигнал от такого же элемента
и работает на такой же.

В случае порключения n нагрузочной схем
БТ РТЛ работает как показано на рисунке,
(фот)
В этом случае семейство статических передаточных
характеристик имеет вид:



Для нахождения рабочих точек менают незначе-
лем и находят пересечение где ~~срещаются~~ есть.
передой. хар-к.

Можно показать, что РТЛ ЛТ при ~~нагружении~~
на n элементов имеет напряжение на коллек-
те выходного транзистора:

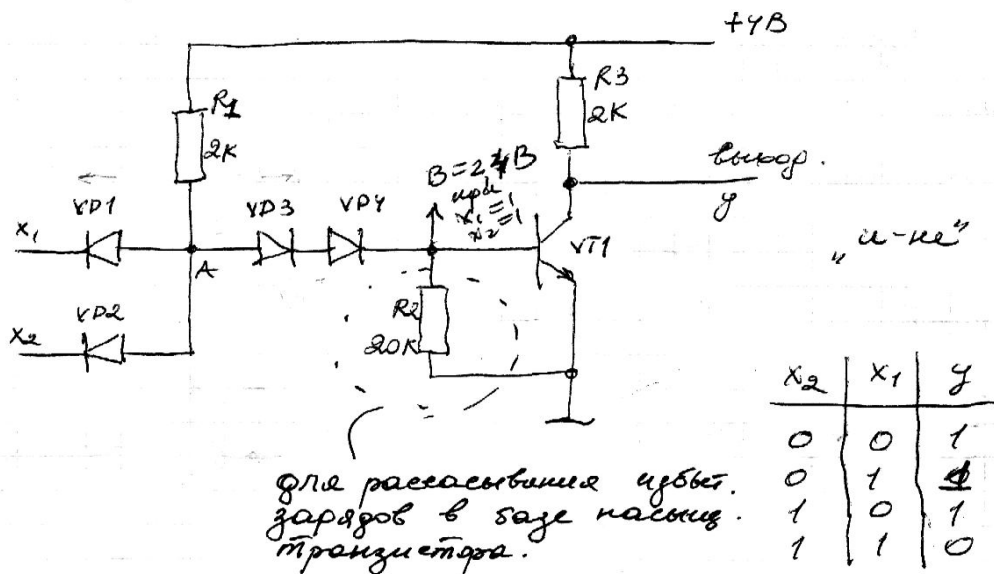
$$U_{вых} = U_{кз} + \frac{(E_n - U_{кз}) \frac{R_5}{n}}{R_k + \frac{R_5}{n}};$$

Для схем РТЛ при увеличении ЛТ порождают
к выходу значения помехоустойчивости $\approx 0^*$ приме-

- зав-ть уровень "1" от числа напр. схем n .
- уменьшение запаса стат. помехоуст-ти по отрицательной полярности при увеличении числа лог-р схем.

Сейчас РТЛ не делают!

Двухно-транзисторная логика (ДТЛ).



для рассеивания избыт. зарядов в базе каскада транзистора.

$VD1, VD2$ - входные диодные сборки.

$VD3, VD4$ - диоды шенкеля.

R_1 - токоогранич. диод.

R_3 - нагрузочный резистор.

R_2 - рассеивает излишний заряд в базе.

ДТЛ как и РТЛ относят к классу насыщенных ЛЭ $\Rightarrow VT1$ работает или в режиме отсечки или в режиме насыщения. В состоянии насыщения рассеивание зарядов идет через $p-p$ R_2 :

$VT1$ база - R_2 - земля - $VT1$ эмиттер.

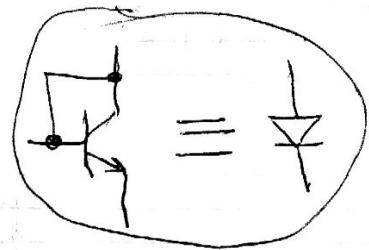
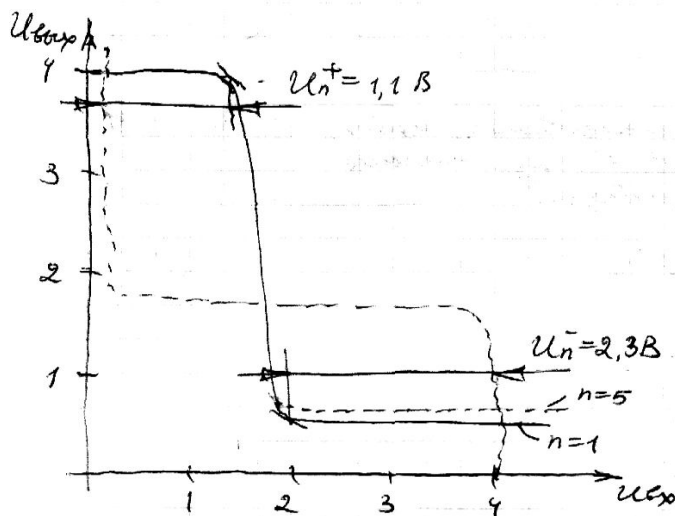
$X_1 \wedge X_2$

присутствует низкий уровень, то ток от источника течет через резистор R_1 и диод(ы) течет в коллектор насыщенного транзистора предвудущей схемы. В этом случае:

$$U_A = U_{KЭ \text{ насыт. схемы ист. сигнала}} + U_{VD1} = 0,3 + 0,7 = 1B.$$

В результате тр-р закрыт, ток через R_3 не течет $\Rightarrow$ на выходе лог. "1".

Если на обоих входах "1", ток течет через $VD3$ и $VD4$ течет в базу тр-ра (немного течет в R_2) $\Rightarrow$ на выходе "0".



$VD3, VD4$ обеспечивают статич. пер. кар-ки (добавление диода сместит график)

$$U_n = U_{БЭ \text{ VT2}} + VD3 + VD4 - VD1 = 2,1 - 0,7 = 1,4B.$$

В таком виде АТЛ не выпускают.

Недостатки:

- наличие высокоомного резистора R_2 из-за большого $r_{ра}$
- схема имеет высокое вых-ое сопр-ие $\Rightarrow$

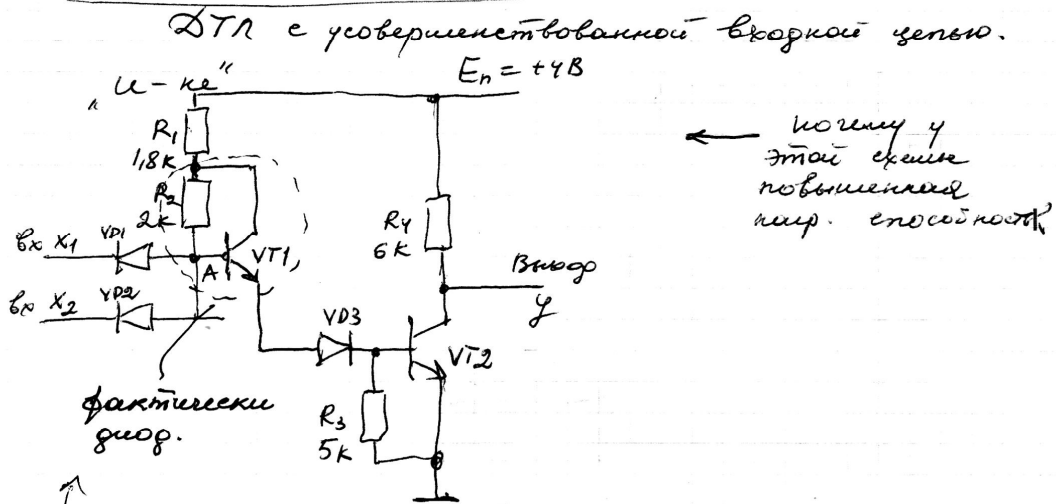
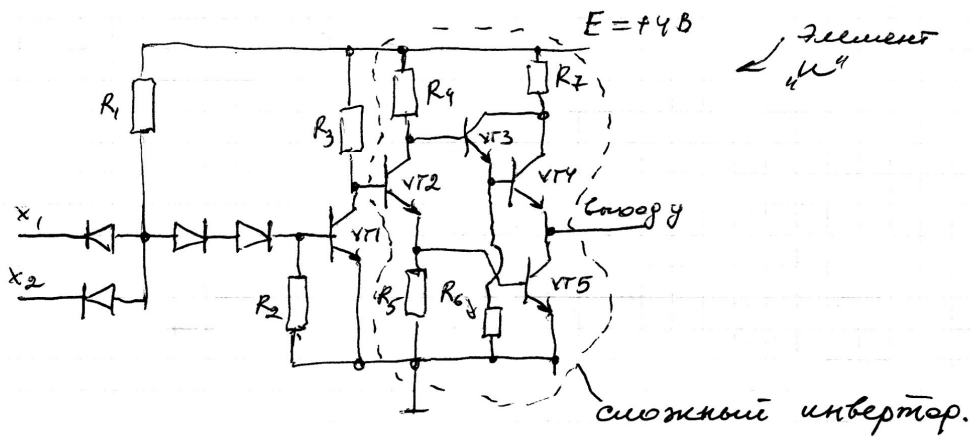
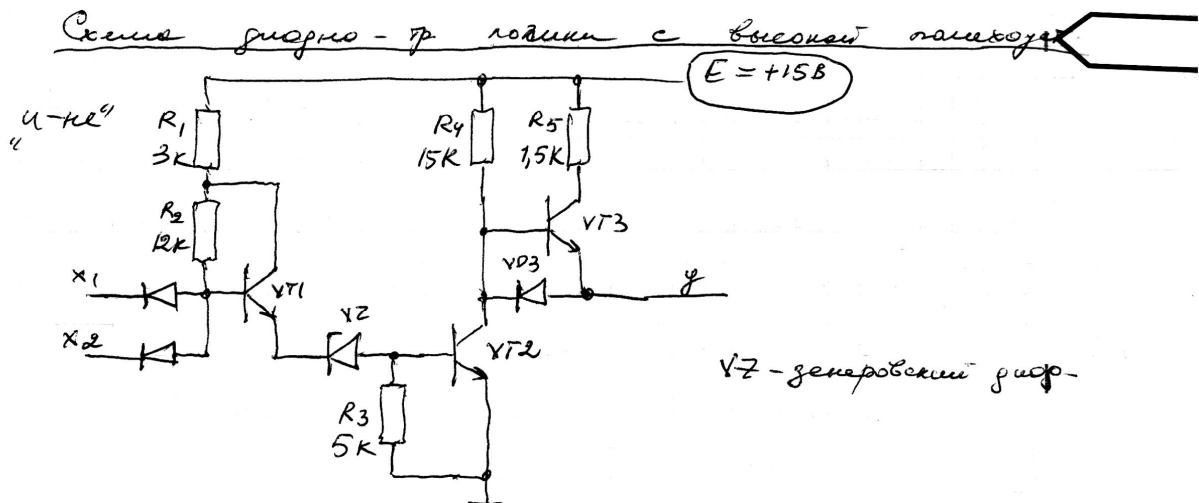
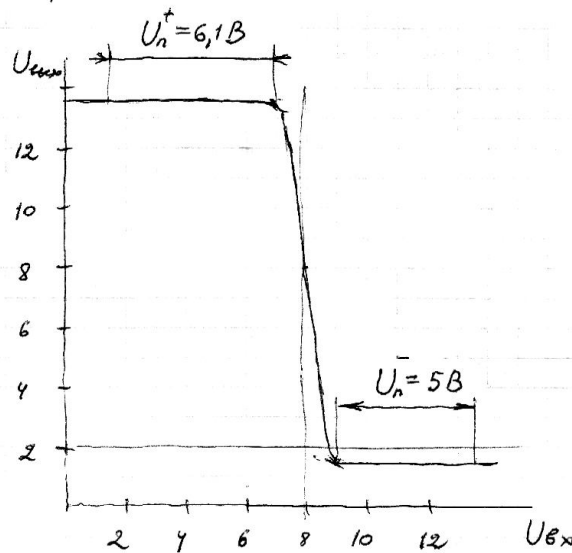
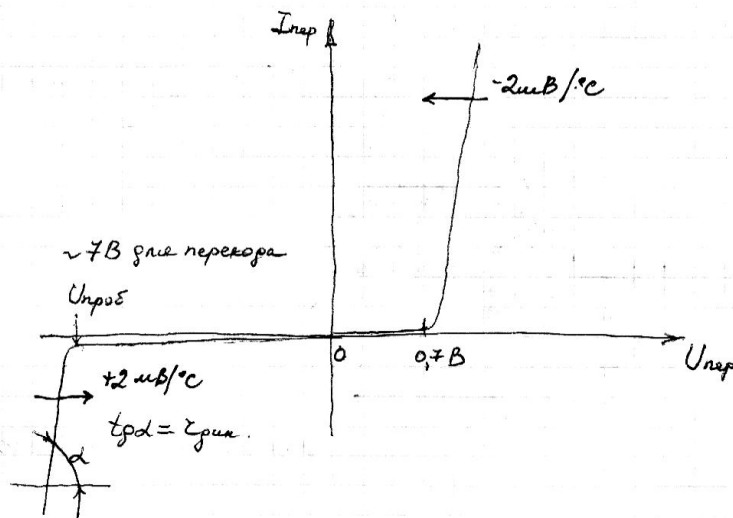


Схема ДТН с усилен. вход. цепью.
У нее повышенная нагрузочная способность.



ВХ
3.0. →

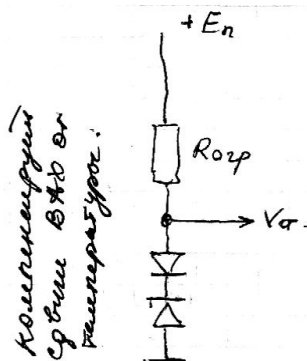


Рассмотренной элемент ДТЛ применяется в
сх. промаш. автоматах для упр. стан. с ЧПУ.
В рассм. схеме, чтобы эл. S работал,
его вход зашунтирован стабилитроном VZ, работающим
в режиме пробоя. VT2 работает на протяжении
работ. большого тока, т.к. $R_3 = 5\text{ кОм}$

{ VT3 может открыться только, когда VT2 закроется.
 VD3 - зап. диод, кот. пропускает ток, если
 VT2 закрыт. Наличие VD3 • эл. стан.
 сар. упр. уровни «0» до 1В.

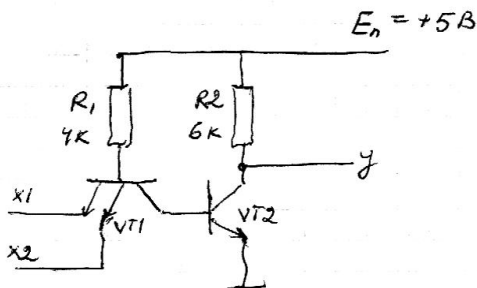
Достоинства есть, но с совр. точки зрения, недостатки:

- 1.) Большие номиналы резисторов.
- 2.) Диодная сборка на кристалле зам. много мест.
- 3.) Паразитные емкост. в диодной цепочке снижает быстродействие.



Транзисторно-транз. логика.

"и-ке"



x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

В схему ТТЛ с целью улучшения электр. и конструкт. параметров ($\downarrow$ мощн. рассеивание, $\uparrow$ быстродействие), введение многоэмит. тр. позволяет существенно повысить плотность размещения эл-ов на кристалле. Напр. питание ТТЛ было выбрано 5В.

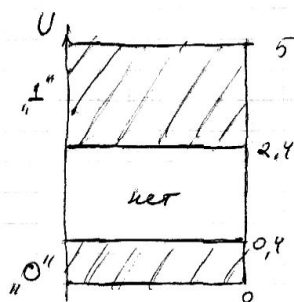
R_1 выполняет ф-цию генератора тока.

0	0	1
0	1	1
1	0	1
1	1	0

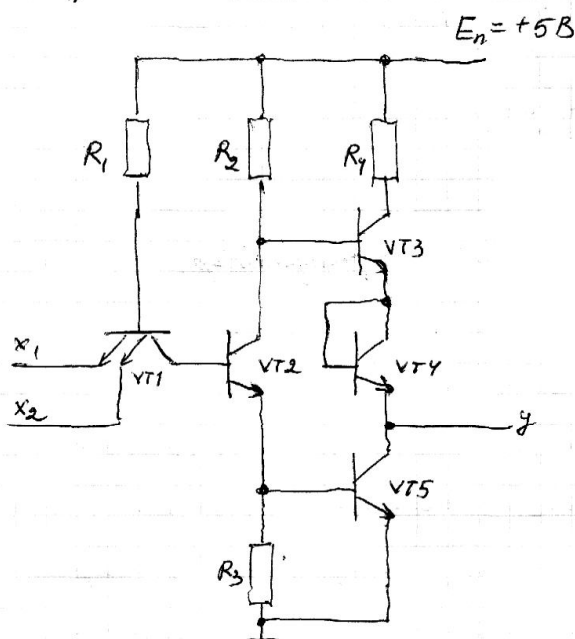
Работа цепи.

Если хотя бы на одном входе присутствует ^{низкий} логич. уровень сигнала, то ток от источника пит. протекает через R_1 и открытый ^{Эмиттер.} коллекторный переход $VT1$, протекает в кол. тр-ра $VT2$ и ^(переходит в эмитт.) далее на землю. В результате коллекторный переход $VT1$ закрыт (сдвиг в обр. напр.), поэтому ток в базу $VT2$ нет и он находится в режиме отсечки, поэтому нет тока через резистор R_2 , вст на выходе самого ЛЭ устанавливается высокий уровень логического сигнала. В этом случае входной тр-р $VT1$ работает в активном режиме.

Если на обоих входах высокий ур-нь сгл, то эмиттерные переходы $VT1$ закрыты, а коллекторный открыт, поэтому ток от источника пит. через R_1 течет в базу $VT2$, в результате переход $VT2$ из режима отсечки в насыщ. режим и далее в режим насыщения. В этом случае коллекторный ток протекает через R_2 , вызывая на нем падение



"и-ке"



VT2 - фазорасцепляющий транзистор.

R_3 выбирают так, чтобы оно было достаточно, чтобы при протекании ^(большой ток) эмиттерного тока VT2, падение напряжения было таким, чтобы открылся VT5. R_2 выбирают, чтобы при протекании коллекторного тока через R_2 , VT2 не попал в режим насыщения.

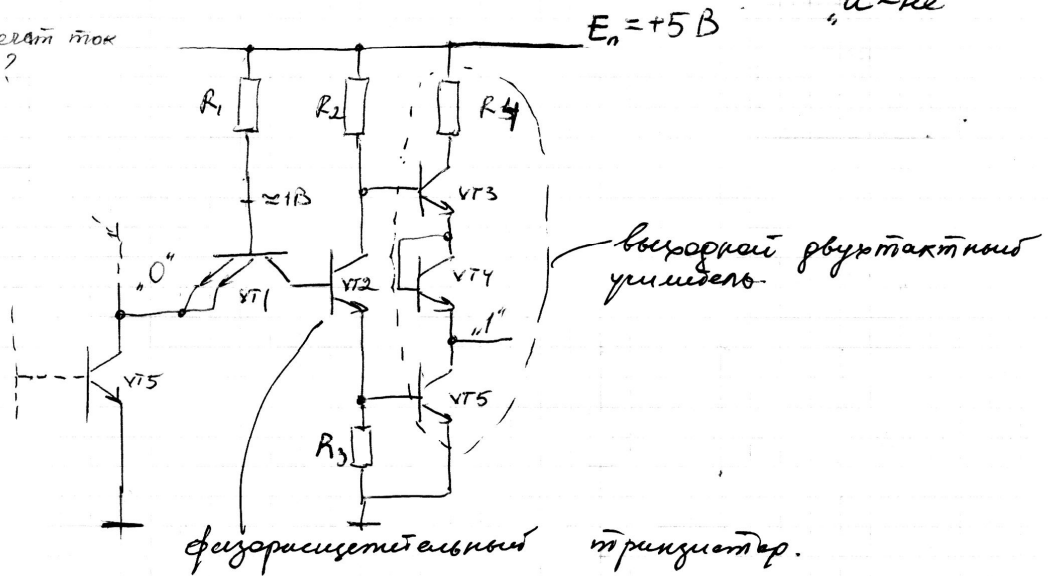
R_4 от 5 до 150 Ом - ограничит. резистор, он ограничивает ток через VT3, VT4, VT5 при переборе схемы из "0" в "1".

29.03.10.

Лекция №6.

Схема ист. см. | Основная схема | Конструктивная схема

Когда течет ток
через R_4 ?



Работа ТТЛ.

Если вход вы на 1^ю из вх. сигналов
ЛЭ ТТЛ присутствует низкий уровень лог. сигнала
то ток от цепи питания протекает через
резистор R_1 и далее, через свч. открытый
перех. база-эмиттер $VT1$, попадает
в кол-р $VT5$ через ЛЭ.

Переход Б-К $VT1$ закрыт $\Rightarrow$ ток в
базу $VT2$ нет и он находится в отсечке.
Ток через R_3 не протекает и нет на нем
погр. напр. Переход База-Э закрыт и
 $VT5$ в режиме отсечки.

Поэтому на выходе ЛЭ - уровень "1".

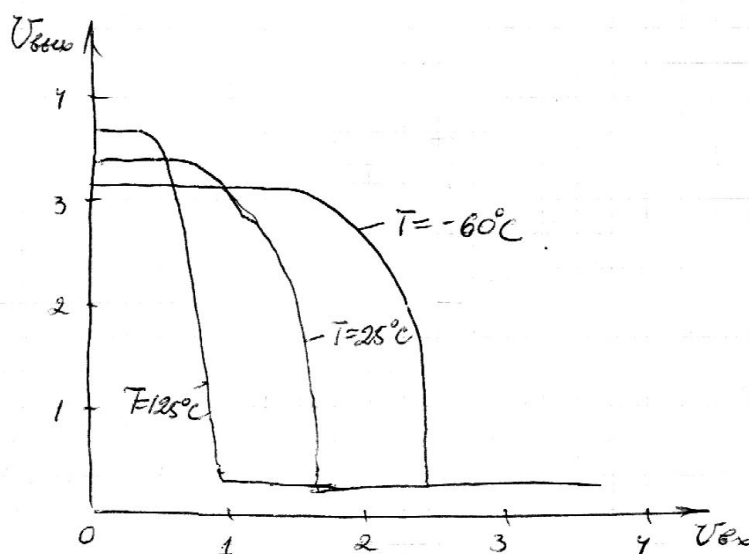
Через верхний плечо схемы ток. и-р
протекает ток. Если прибор погр. комп.
на R_2 от базового тока $VT3$, то можно
считать:

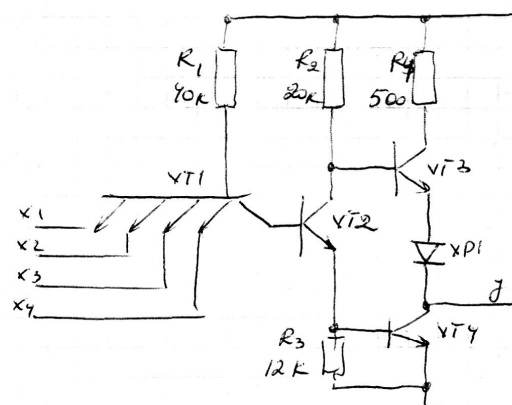
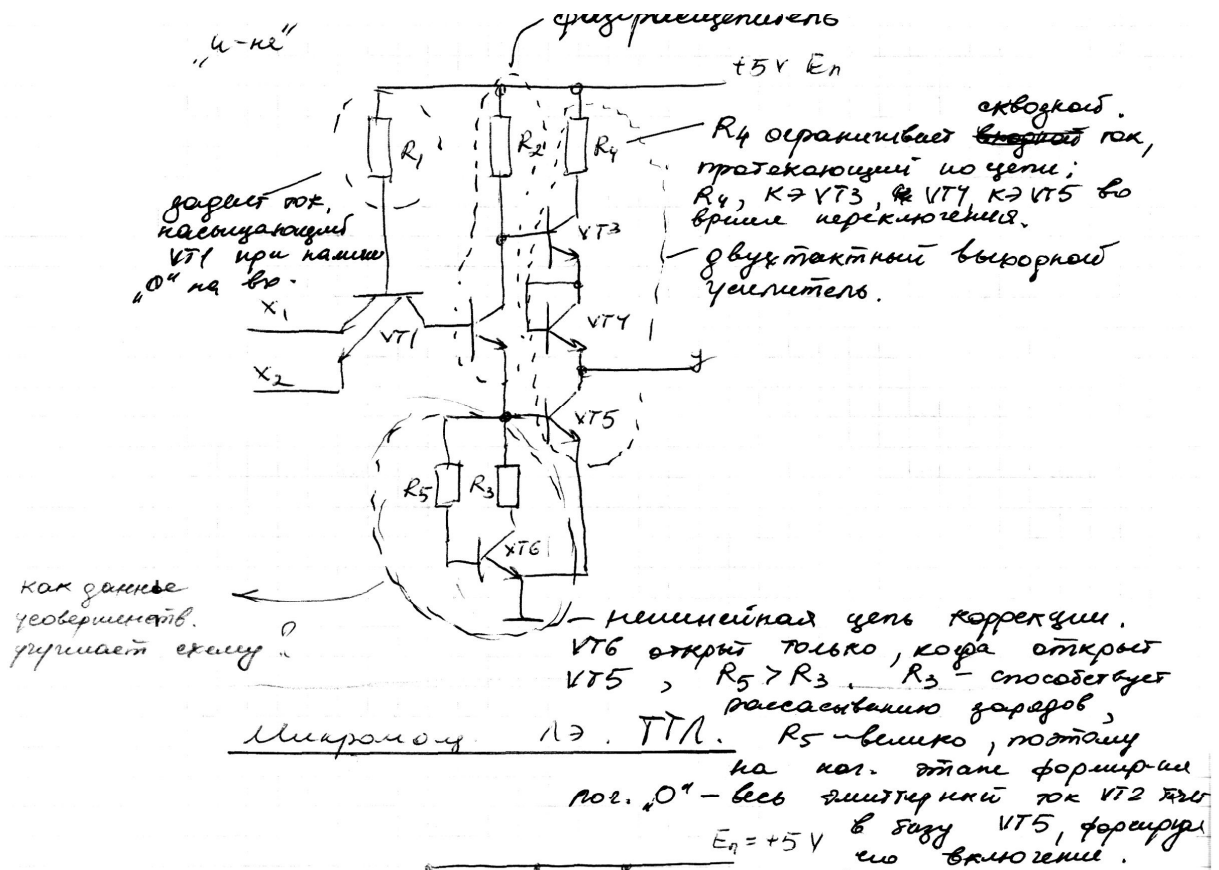
$$U^1 = E_n - 2U_{бэ} = 5 - 0,7 \cdot 2 = 3,6 \text{ В.}$$

Если на ободке входа ЛЭ присутствует высокий уровень ЛС, то все переходы Б-Э VT1 закрыты, а переход БК - открыт. Поэтому ток от ист. питания через R_1 течет в базу $\checkmark$ ~~через R_2~~ ^{VT2}, вызывая его переход из отсечки в активный режим и далее к режиму насыщ. В этом случае, коммутаторный ток VT2 протекает через R_2 , а эмиттерный через R_3 . Падение напр. на R_2 приводит к тому, что VT3 и VT4 закрываются (отсечка) - ток не пр. Падение U на $R_3 \Rightarrow$ открывается БЭ VT5 $\Rightarrow$ VT5 - открывается и из р-ли отсечки в режим насыщения $\Rightarrow$ на выходе $\Rightarrow$ "0".

Отметим, что VT1 работает в интервале активного режима.

Данный ЛЭ имеет сверхпереходную характеристику.





Основные режимы - помехи резистор

$C \uparrow R$ падает быстродействие, но $\bar{P} \downarrow$.

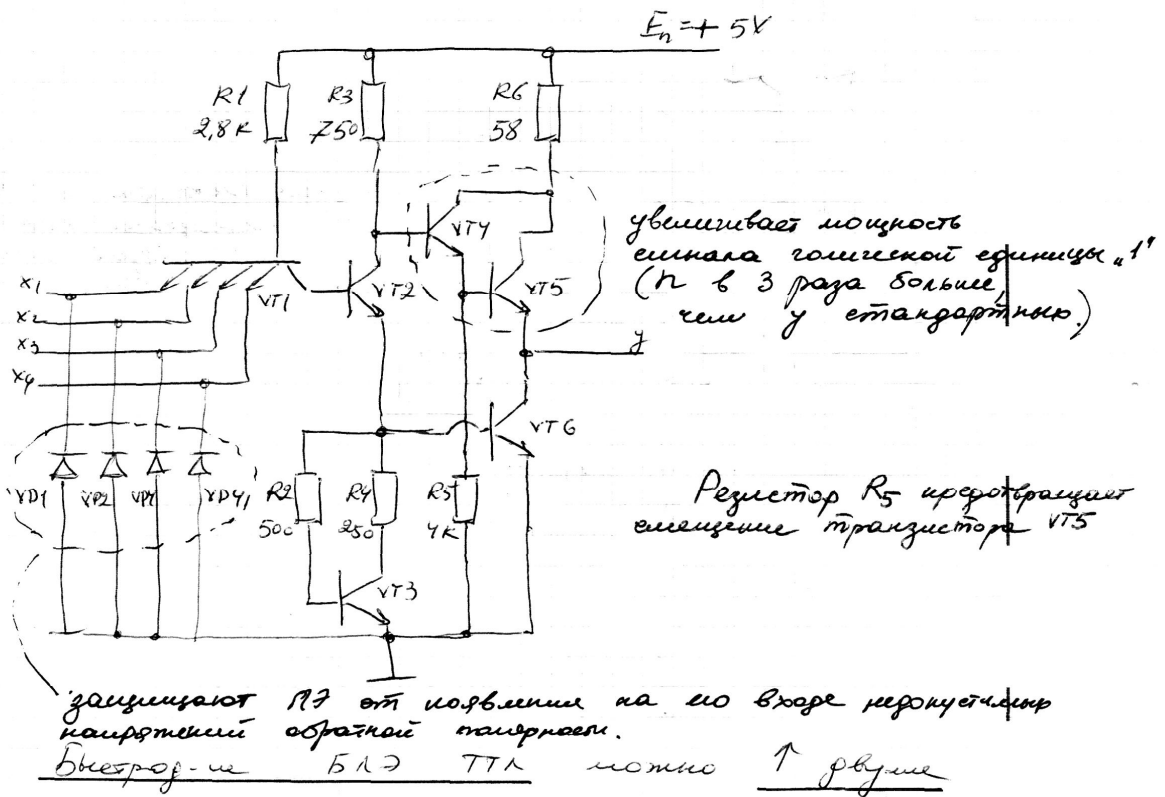
По схеме R - факт. велика, тем $\downarrow$.

Однако падение быстродействия меньше, чем $\uparrow$ пом. R. Это объясн. тем, что при выполнении функций горизонт. размер, а значит он имеет меньшее параз. индук.

Они рассеивают в резистор (10 раз) меньше энергии, а по быстродействию < 5 раз.

Эти микросхемы хорошо работают перенос. и допускаются непосред. ~~для~~ сопряжение с микросх. универ. ^{серии} ~~сери~~, а также с КМДП элементами, при питании их от 5V. Благодаря, что в составе микросх. евл.

Или БЛЭ ТТЛ повышенной быстродействия:
(с повышенной нагрузочной способностью)



Способы:

- 1.) Уменьшение сопротивлений резисторов и паразитных емкостей.

- 2.) Преодоление насыщения транзисторов ПЭ =>

=> накопление носителей зарядов в их базе в выключенном состоянии

Из-за эффекта Формингтона -> меньшее время

сопротивления. Тактовая частота до 50 МГц.

это повышает его быстродействие.

Смотри, Хоровец - Хила, стр. 103.

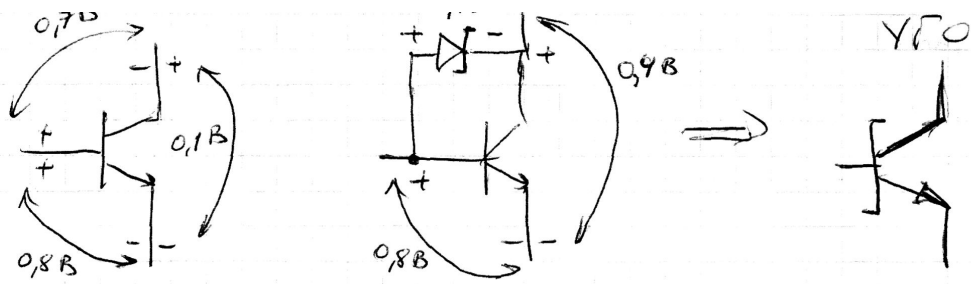
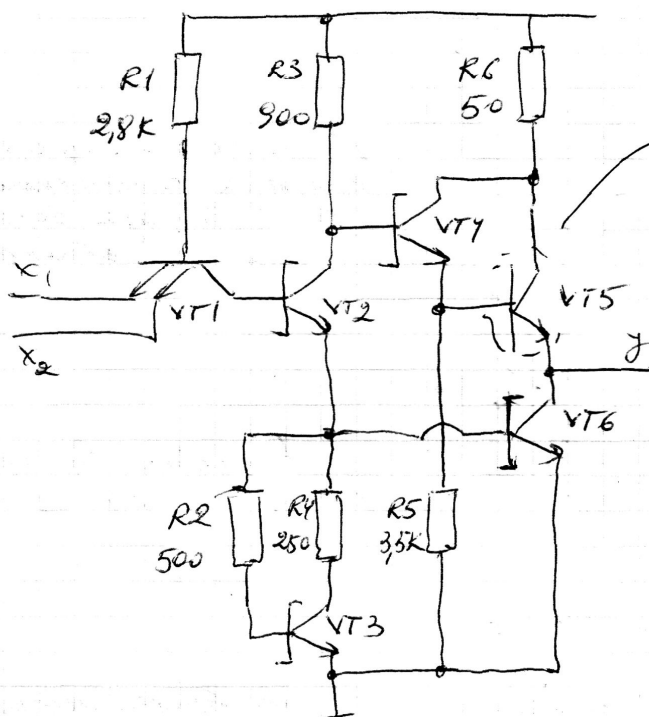


Схема ТТА с обратной Шоттки:

"а-кз"



— ок никогда не вх.
в насыщение, поэтому
его не обязат. иметь
ф-н Шоттки.

Важно, что VT2 и VT6
— тр-ры Шоттки.

ЛЭ ТТА с транзисторной Шоттки среди
других серий ТТА в них есть недостаток,
который состоит в чрезмерном потреблении
мощности.

Эта проблема решается путем введения
сложной цепи. — слабый п/п. —
мощный с обратной Шоттки

По ир-му действию, диоды Шоттки чувств-но откл.
от диодов, принцип действия которых основан
на явлении в $\bar{n}$ и $\bar{p}$ -ом переходе.
диоды

В p - n переходе, являющ. в прямом напр.
переход ток обусловлен инжекцией носч.
носч. из p -ой обл. n/p в p .

Вследствие этого, после перекл. на обр.,
ток еще протекает некоторое время, пока
избыточные заряды не рассеются $\Rightarrow$ ток до 0.

В p - n Шоттки накопление носч. носч. не
происходит, поскольку в них переход ток
обусловлен эл.емиссией носч. носч. из $n/p \rightarrow$ в p .
Благодаря этому время перекл. мало до 100 нс.

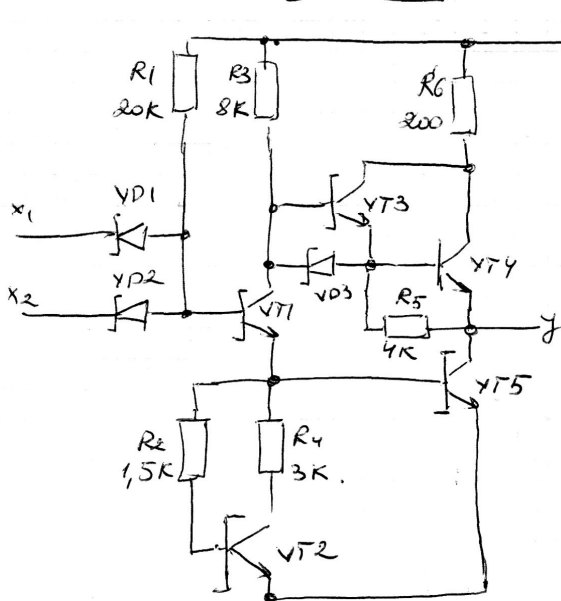
Для p - n пере $\rightarrow$ ρ от 1 до 10 нс.

Для отпирающ. p - n $\Rightarrow U \rightarrow$ от 0,2 до 0,4 В.

При этом напр-ие открывания имеет значение
подбора n и p , который в контакте с n/p

Лекция №7.

5.04.10



← маломощные
схемы ТТЛ
с диодами Шоттки.
(мощность ~ 6
мВт, меньше, чем
у стандарт. ТТЛ).

"и-не"

Крепительн. схема откл. от проф. тем, что на входе вместо этого много. Этой схемы нет.

Допустимые помехи для микропроц. севт серии несколько меньше, т.к. между ~~в. базой~~ вход. резист. и землей 2 р-н перехода, вместо трех. Суммарная мощность, рассчитанная в микр. определяется опред. величиной 0,5 Вт.

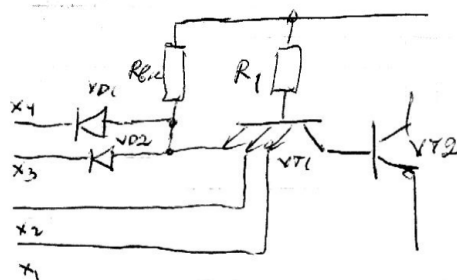
И обычные ТТЛ и ТТЛш не подходят для БИС. Однако, т.к. ТТЛш не требует

≈ в 3 раза меньшую мощность, то на одном кристалле ^{средней} можно в 5 раз больше элементов и создать в 5 раз более сложную схему средней степени интеграции.

По сравнению с другими сериями семейств ТТЛ схема маломощная, ТТЛш наиб. привлекат. с точки зрения в ~~разр.~~ быстроты св.

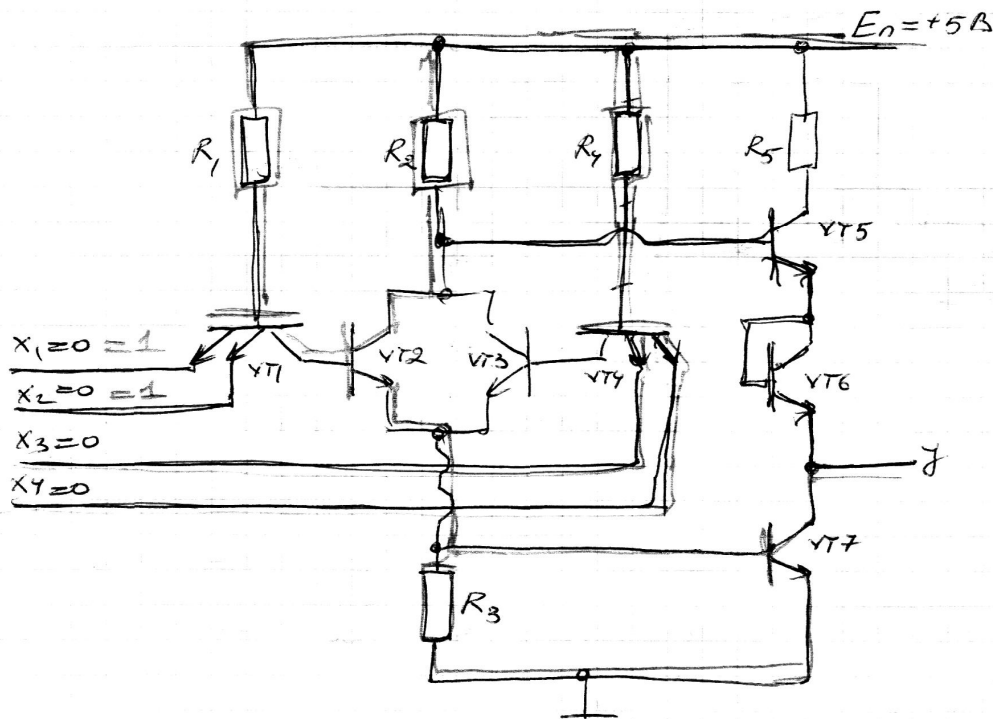
Полосные элементы ТТЛ с расшир.
комплексными функциями.

Все базовые ЛЭ ТТЛ реализуют лог. функ. "и-не" выпускаются в виде ~~и~~ ЦМСМСи. ЛЭ, содержит 4 вентиля или три вентиля или 2 "и-не".



Презента. схема - расширение по "и"
 Расшир. лог. входов состоит из двух ног.
 Дополнительно ^{внеш.} входов и резистора к любому
 из входов широкими "и-ке"

"и-или-не"

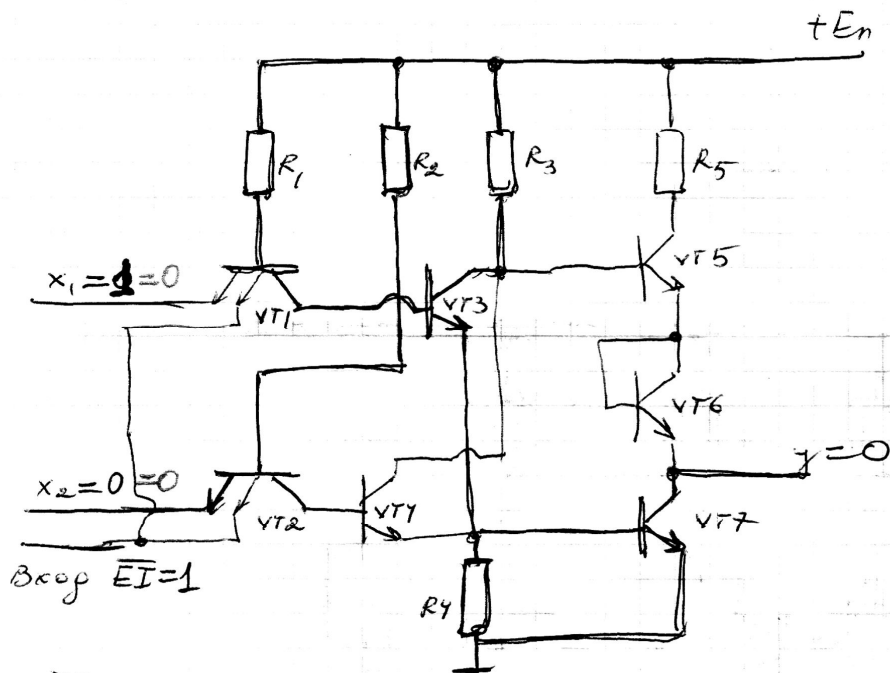


Если на всех входах "0", то

нет тока для VT2 и VT3 - они в отсечке →
 нет эмиттерного тока.

Смотри фотку ($x_1=1$; $x_2=1$, $x_3=0$, $x_4=0$)

Р



$\overline{EI}$ - значит, что активный ур. сигнала - низкий.

Если на $\overline{EI}$ - высокий ур. лог. сигнала, то схема работает как "ИИ-НЕ".

Таблица истинности.

$\overline{EI}$	x_2	x_1	y
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0
0	X	X	1

"ИИ-НЕ"

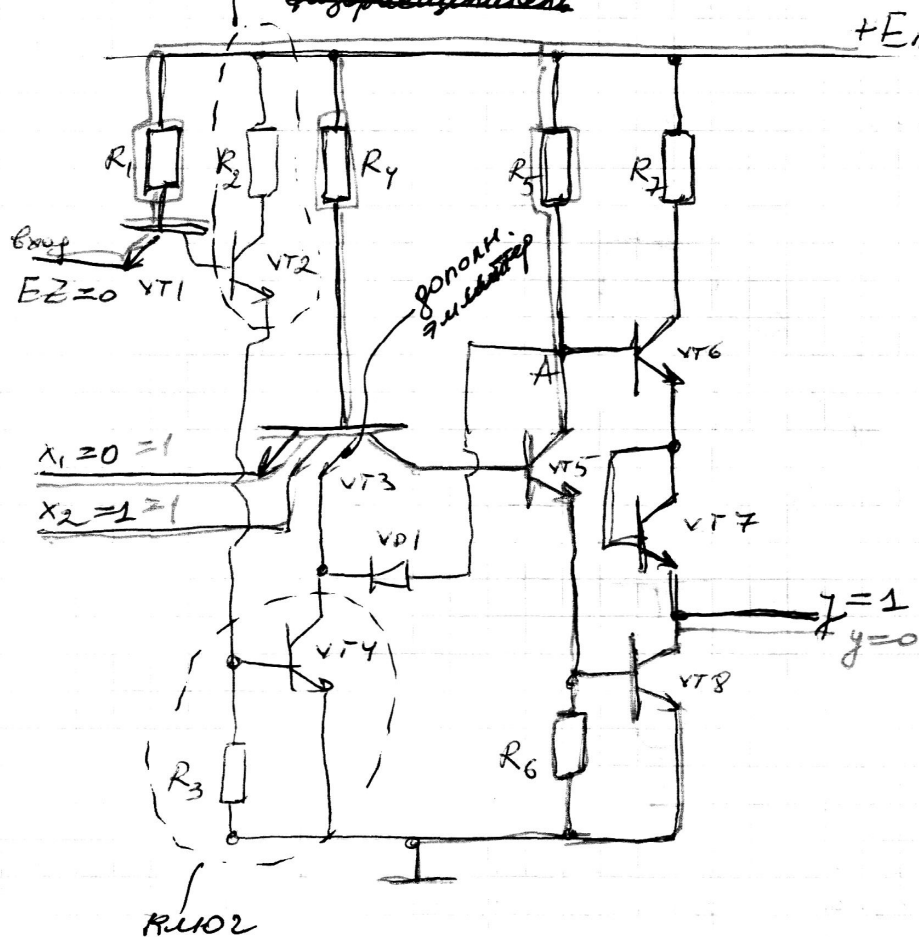
то б7 x_1 и x_2 заперты.

В этом случае работ. как "ИИ-НЕ".

Если на $\overline{EI}$ - "0" $\Rightarrow$ на выходе - "1"

Схема с тремя выходящими состояниями.

(третье состояние - высокоимпедансное, НАВК :
умножитель (или повторитель) фазорасщепитель.



Если на EZ - ток "0", ток от генератора

уходит в коллектор транзистора. Схема работает

как "и-ке" (предназначен для работы нескольких элементов на одну общую шину).

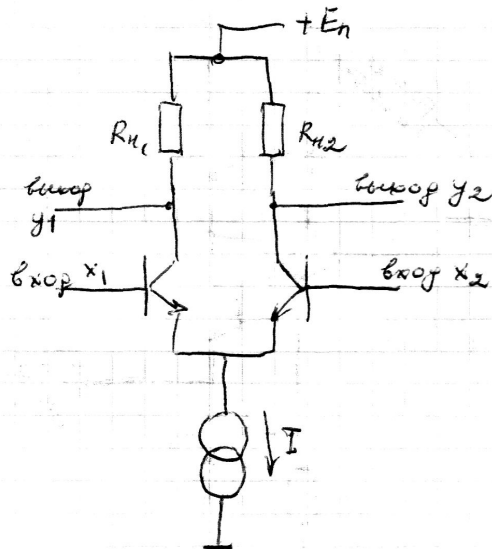
EZ	x2	x1	y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	x	x	

12.04.10 1.8

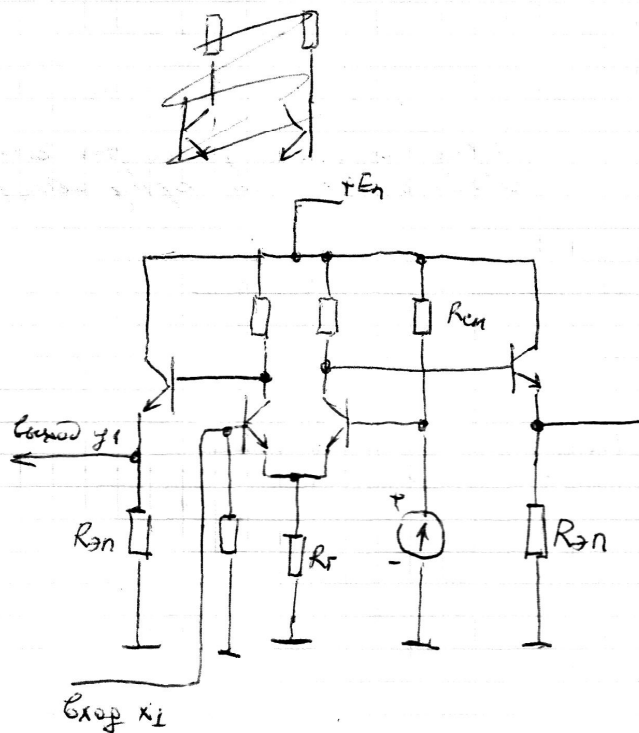
Эмиттерно-связанная цепь.

Работает до $1\Gamma\Gamma_3$.

Основной элемент - диф. пара.

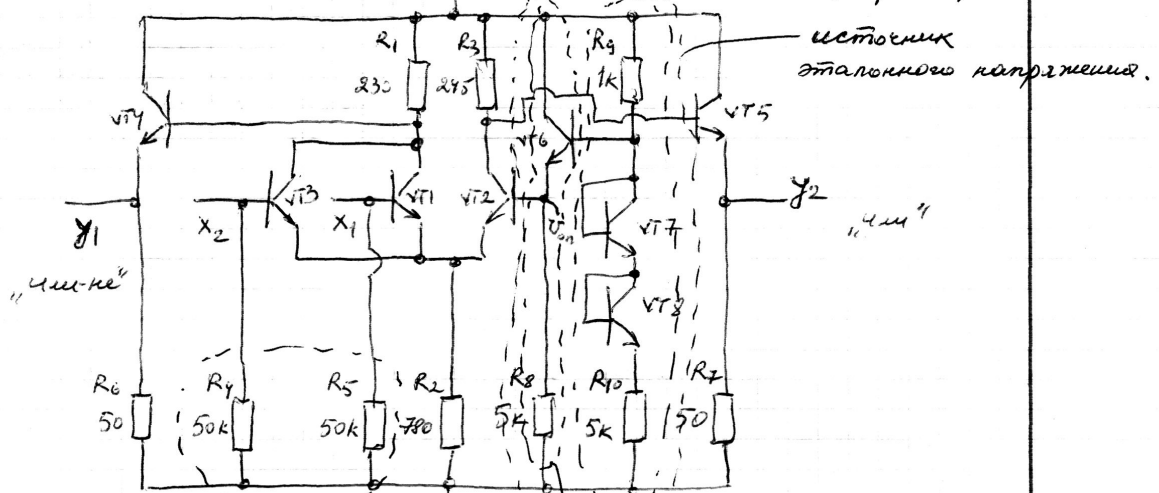


Каскадрировать не получится надо модифицировать.
(т.к. потенциалы y_1 и y_2 > , чем x_1 и x_2)



Т.к. номиналы R_1 и R_3 выбраны наименьше - лог. переход между "0" и "1" медлен, что уменьшает в св. опер. пост. времени перефазировки выходной сигнала триггера.

VT_7, VT_8 служат для термостабилизации U_{on}
 Т.к. на выходе - эмиттерный повторитель $\rightarrow R_{вых}$ мало, поэтому A - стабилизатор напряжения.



Обеспечивает заданное состояние транзисторов при включении экр. сигнала.

VT_7, VT_8 - Темп. комп.

Преимущества схем с ЭСЛ.

- ① Векторы ЭСЛ эвл. более дорогие, чем лог. э. TTL, т.к. они содержат больше элементов, имеют более сложную электр. схему, а потому занимают большую S кристалла, чем МС других серий.
- ② Возможно ~~получить~~ одновр. получение двух лог. ф-ий, что эвл. уник. способ. ЭСЛ это эвл. же преимуществом при проектир. цифр. устр.
- ③ Лог. уровни сигналов в ЭСЛ не совпадают с лог. ур-ми сигналов ЛЭ др. серий, что затрудняет их сопряжение с другими типами логик.

2) малый уровень Л.С. ~ 800 мВ
дает элемент ДСЛ более чувствителен к
ошибкам.

Входы		Выходы	
x_1	x_2	y_1	y_2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

↑ или ↑ или

5) Постоянный внешний
потребляемый ток
независим от значений
уровня сигнала на
выходе схемы.

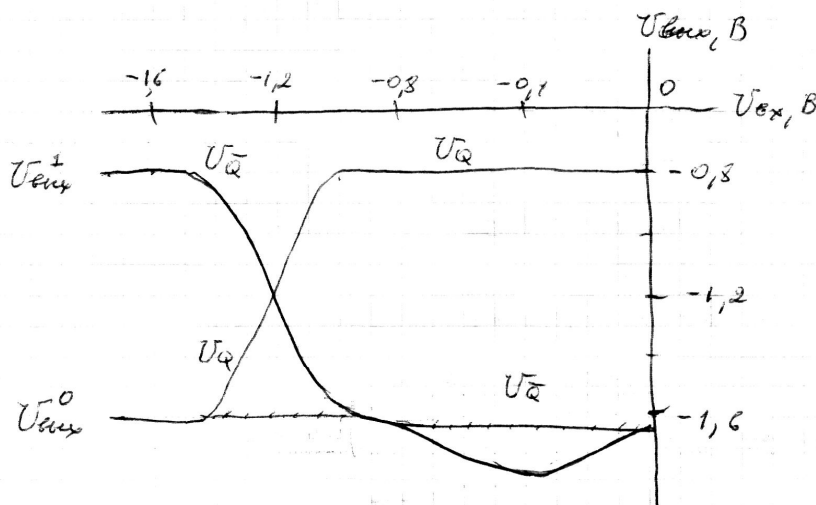
Если на обоих выходах VT1 и VT3 придет
низкий уровень Л.С., то они закроются и
весь ток - через VT2.

Схемы ДСЛ - схемы на переключаемых токах.
(ЛЭПТ)

Обычно волновое сопр. кабелей равно $Z = 50 \text{ Ом}$

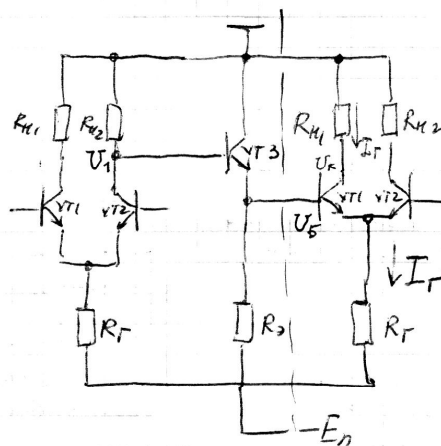
Большинство помех. R_4 и R_5 зашунтируют
транзисторы VT1 и VT3 от статики.
Через них база вогр. тр-ов соединена с
ист. пит. -5В. В результате переход БЭ
входных входных тр-ов при отсутствии вход.
сигнала - закрыт и на нем не может
быть никаких статич. сигналов для пробоя.

График переопер. хар-ки ЭСЛ.



БЛЭ ЭСЛ по сравнению с ранее рассмотр. потребл. большую мощность.

С целью ↓ потр. мощи. были разработаны модифик. ЭСЛ с меньшей п.м. путём введения ещё одной нагрузки -2 В.



Если в през. схеме пренебр. пар. напряжением $\frac{R_{H2}}{R_2}$ протекам. баз. тока транз. VT3, ~~и VT4~~, можно считать, что напр. $U_1 = 0$

Тогда напр. на базе VT1:

$$U_5 = -U_{б7_{VT3}}$$

Тогда $I_T = (E_n - 2U_{бэ}) / R_T$

Удобно обеспечить актив. рет. VT4, каско, тогда:

$$U_{KVT3} > U_{бVT1}$$

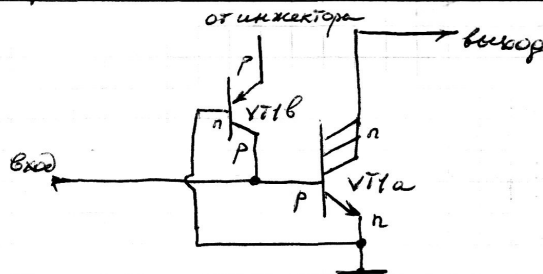
$$-I_T \cdot R_K > -U_{бэ} \quad | \times -1$$

$$U_{бэ} > I_T \cdot R_{K1}$$

19.04.10

Лекция №9

Интегральная инжекционная логика



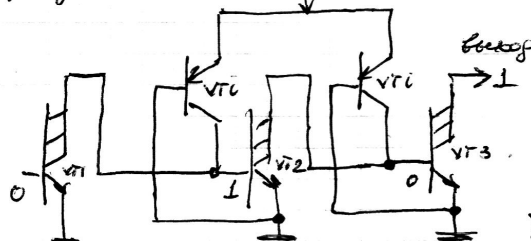
Появление ИЛ ИИЛ было связано с тем, чтобы аналоговые и цифровые блоки могли работать вместе.

Достоинства ИИЛ:

- Отсутствие резисторов на кристалле.

- Малая мощность потребления.

резистор R задает ток инжектора и выполняет ток инжектора на группу элементов.



инжектор - источник тока.

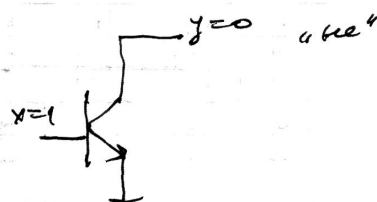
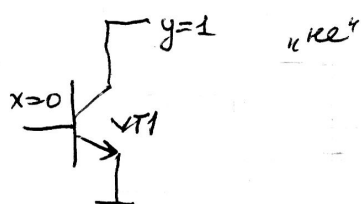
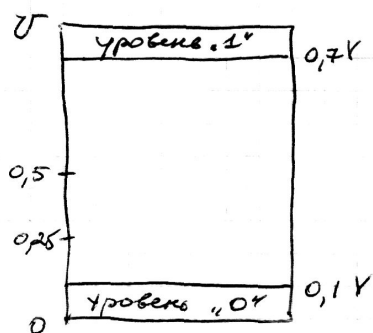
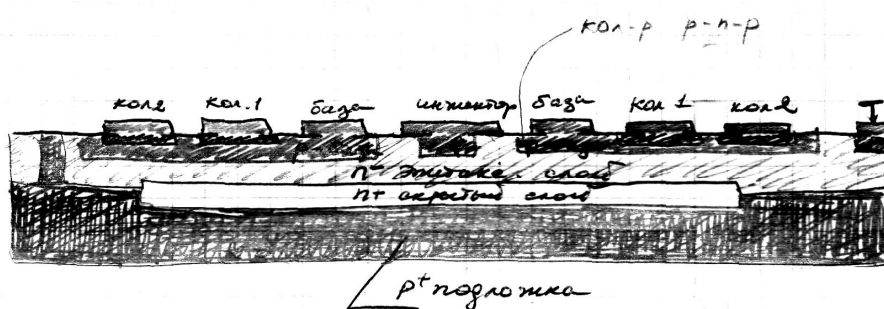
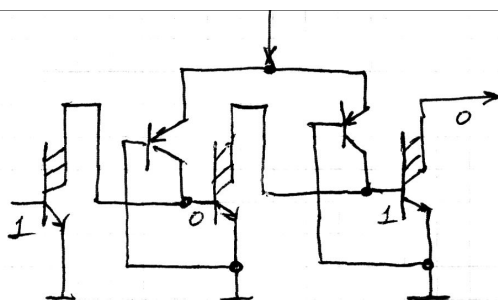
ток инжектора постоянен.

варьируя ток инжектора можно изменить быстродействие

Транзисторы VT2 с обратной базой, поэтому требуется инжектор.

VT2 находится в состоянии насыщения.

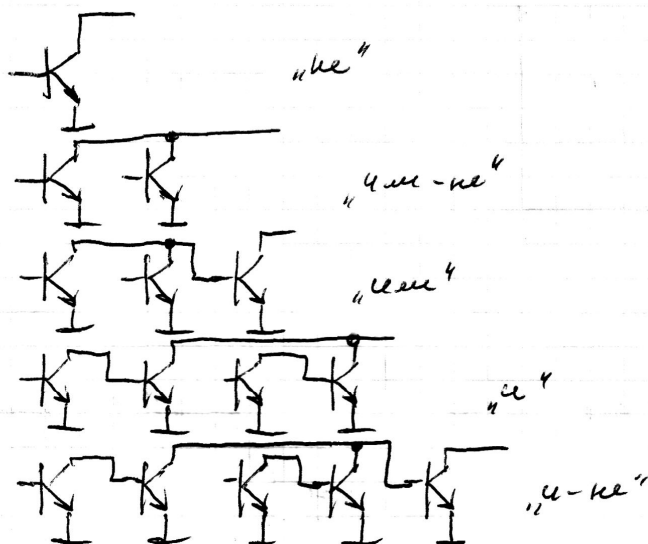
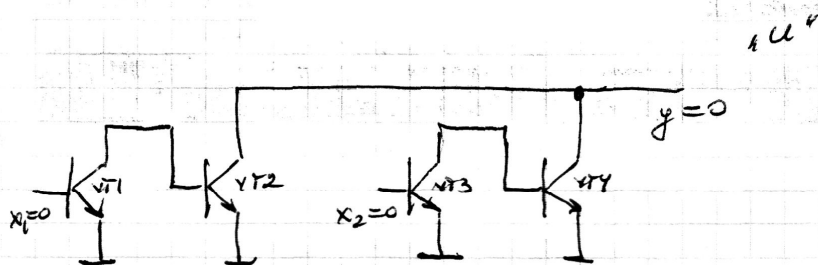
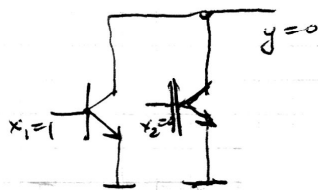
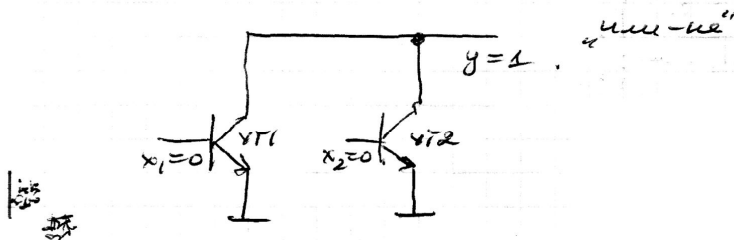
ИИЛ могут работать на частотах до 10 МГц.



В схемах техн. инт. схем, чтобы отличить инт. от бипол. тр. на принцип. схемах его не показывают.

Д

1 0 1



Для реализации БЛЭ требуется минимум транзисторов инт.-и-не логики.

Комплекс для реализации всех комбинационных логических функций

Применение ИЧЛ в схемотехнике

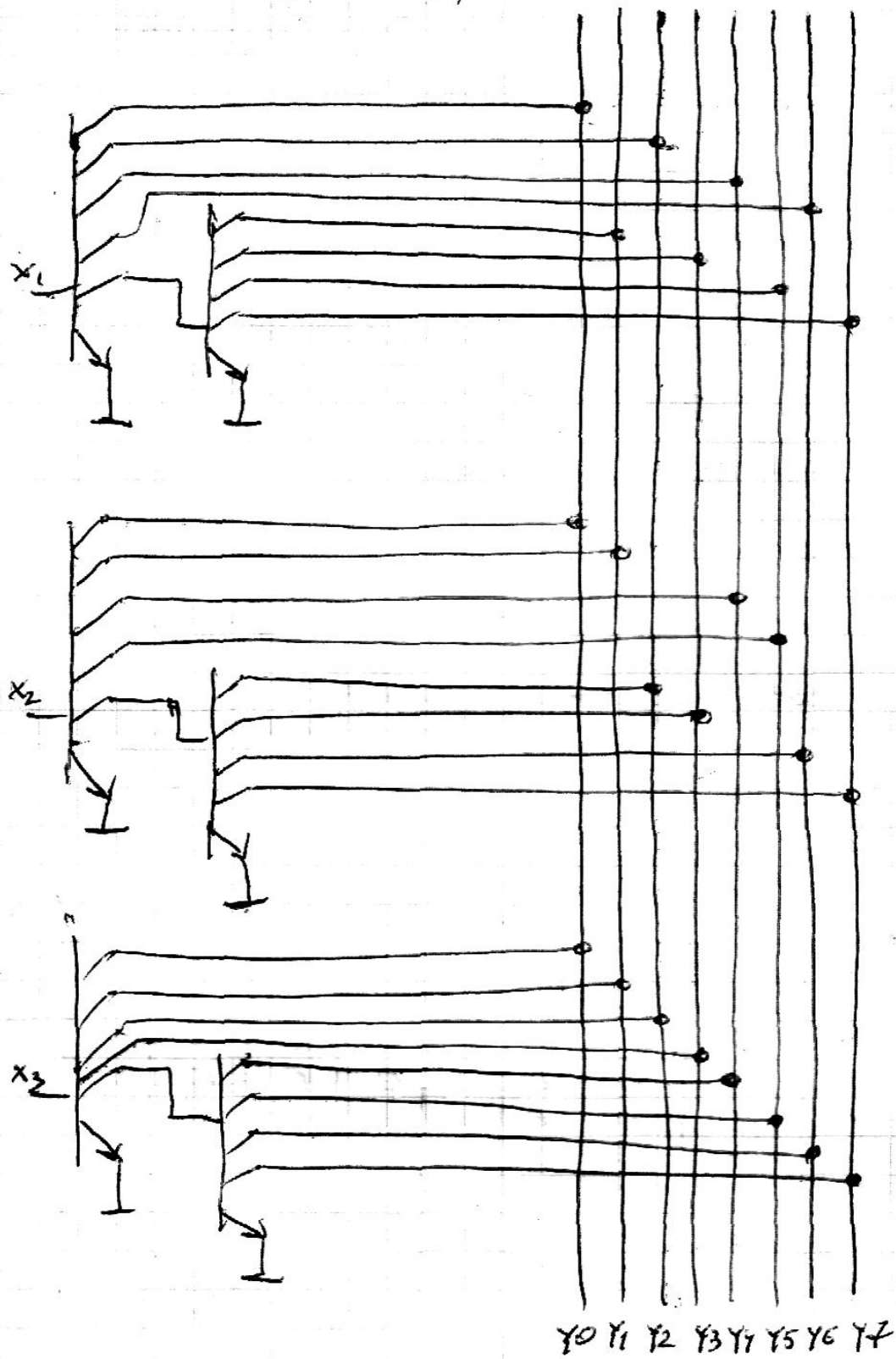
цифровых устройств.

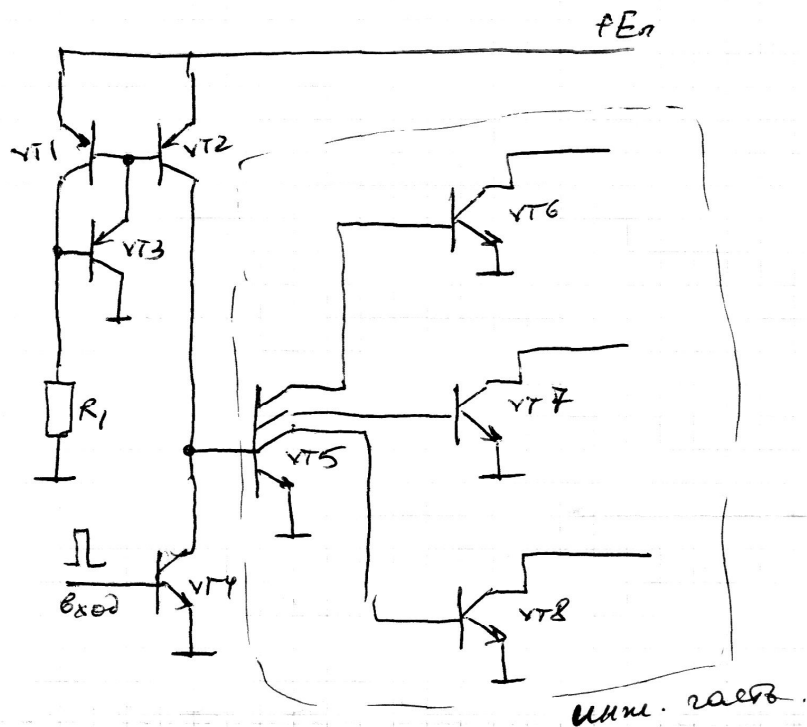
В схем 8-у. ИЧЛ часто применяется для построения двух типов циф. устройств: дешифратор и счётный триггер (Т-триггер).

Дешифр. наз. цифр. устройство, преобразующее входную коровую комбинацию в уровни выходов сигнала на выходе этой схемы. В простейшем случае можно построить дешифратор, у которого в загл. от коровой комбинации ~~нет~~ не выходы — только один уровень сигнала, отличающийся от остальных.

x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

дешифратор

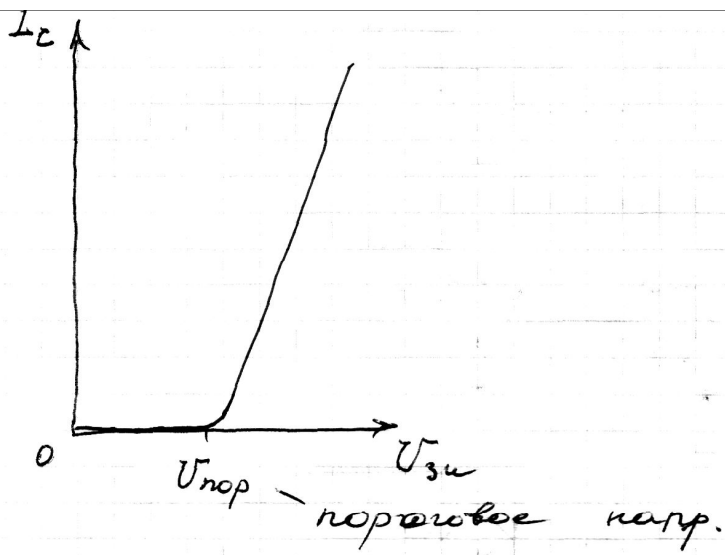




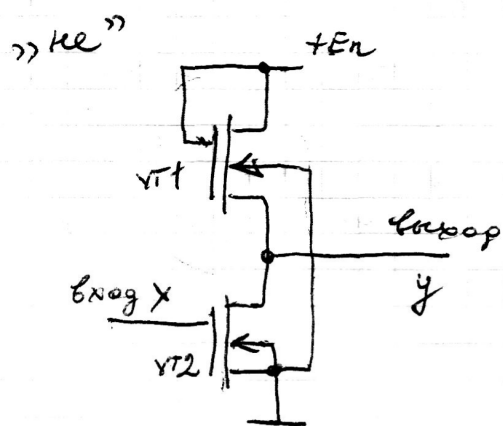
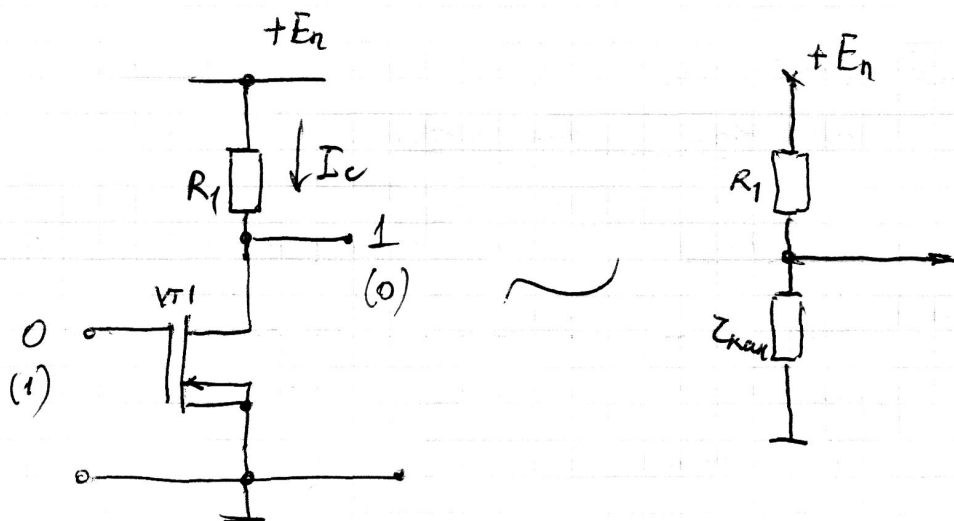
Схематика элементной базы на полевых транзисторах.

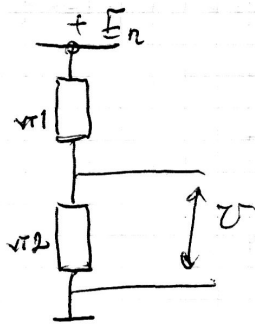
Основные преим. схем на пол. тр-фах,
по сравн. с бипол. и чйм. логикой:

- ① Возможна реализация очень высокой степ. интегр. вследиствии малых разм. к-тов самих пол. тр-фов, так и малой площ. зашита БЛЭ
- ② Внеочередное баэроудешение МДП структур и схем. Око тем выше, тем меньше разм. канала.
- ③ Низкий уровень работы токов, протекающих через канал пол. тр-фа $\Rightarrow$ малая потребляемая мощность.



Схематические БЛЭ на р-канальных транз.



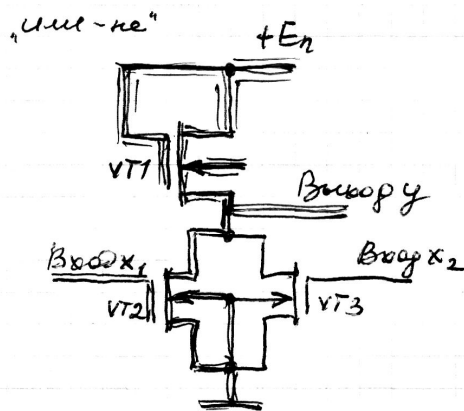


$$U_{VT2} = I \cdot R_{кан.}$$

Проблема решается топологически,
 VT1 надо сделать с длинным каналом и узким,
 VT2 - с коротким но широким.

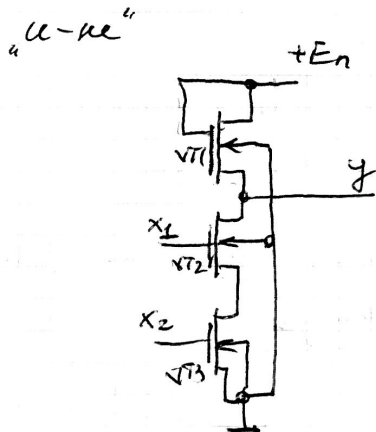
Лекция 11.

17.05.10

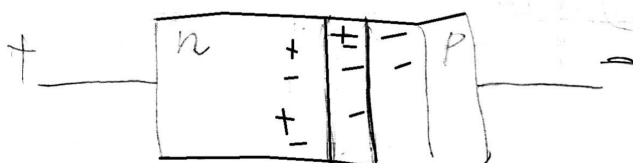
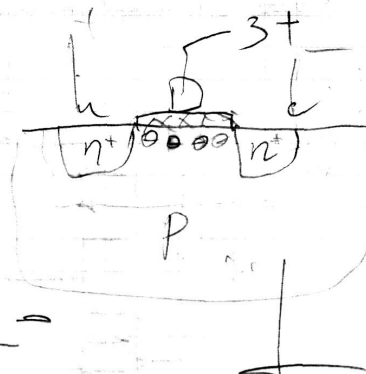


x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

$$y = \overline{x_1 x_2 \vee x_3}$$

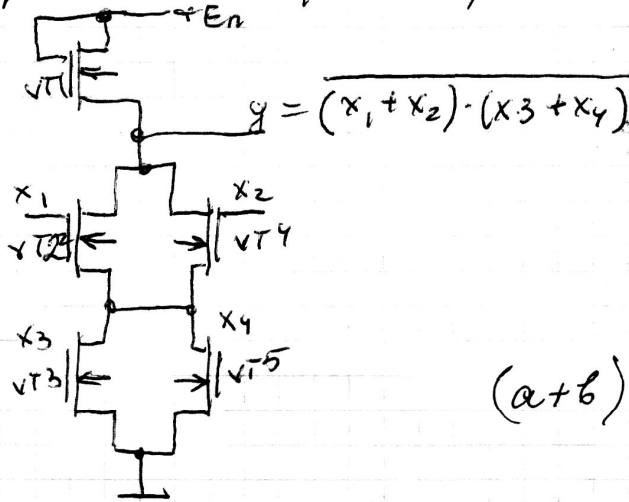


x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

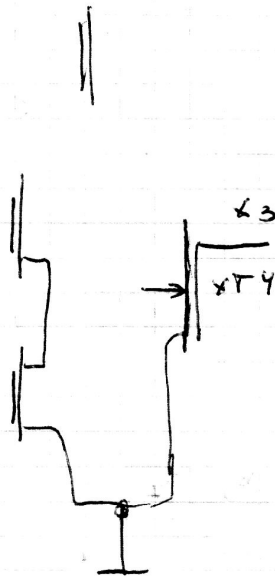


доступ. линии

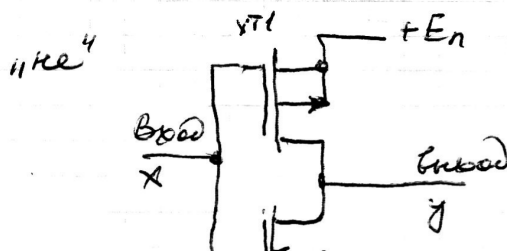
Картинка на фотолитографии



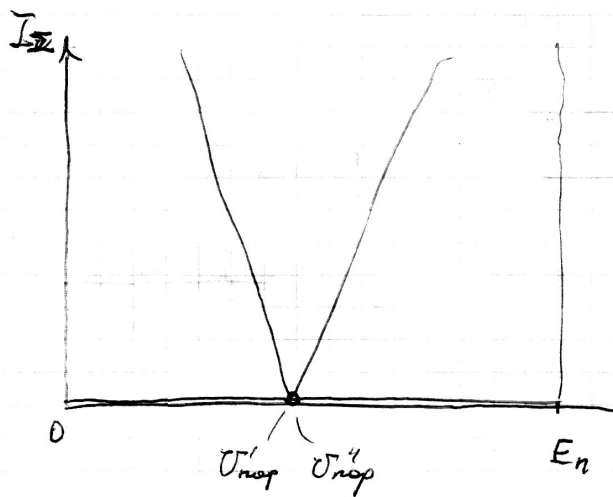
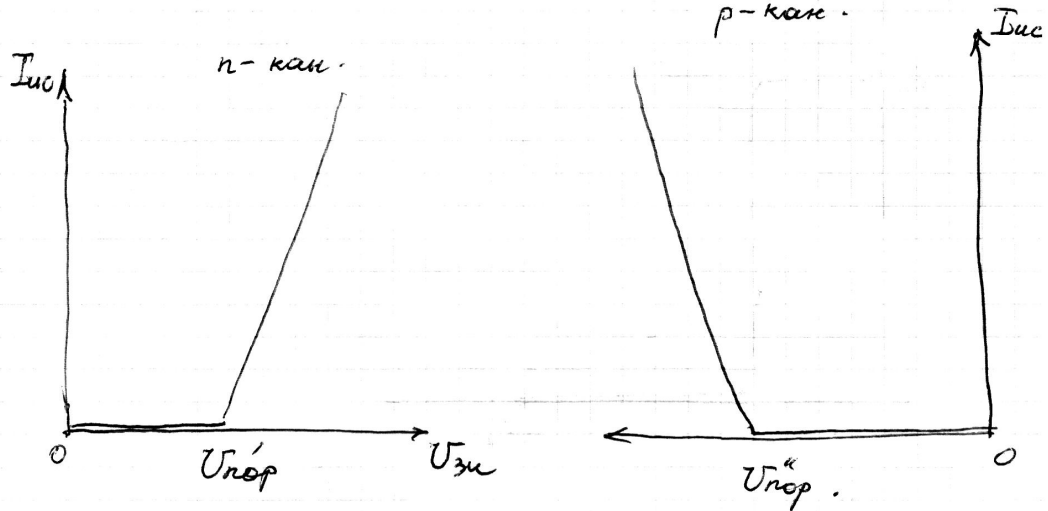
$$(a+b)c = \overbrace{(a \vee b)}^{\text{дизъюнкция "или"}} \wedge \underbrace{c}_{\text{конъюнкция "и"}}$$



Как Схематическая элемент базы на комплементар. МДП транзисторах.



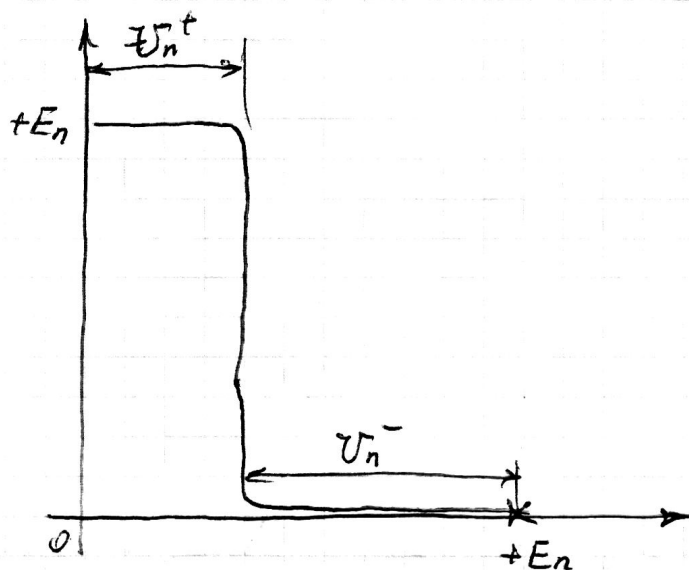
Для ↑ электр. и ↓ кон. Р. можно строить в основном не эти гр-ки.



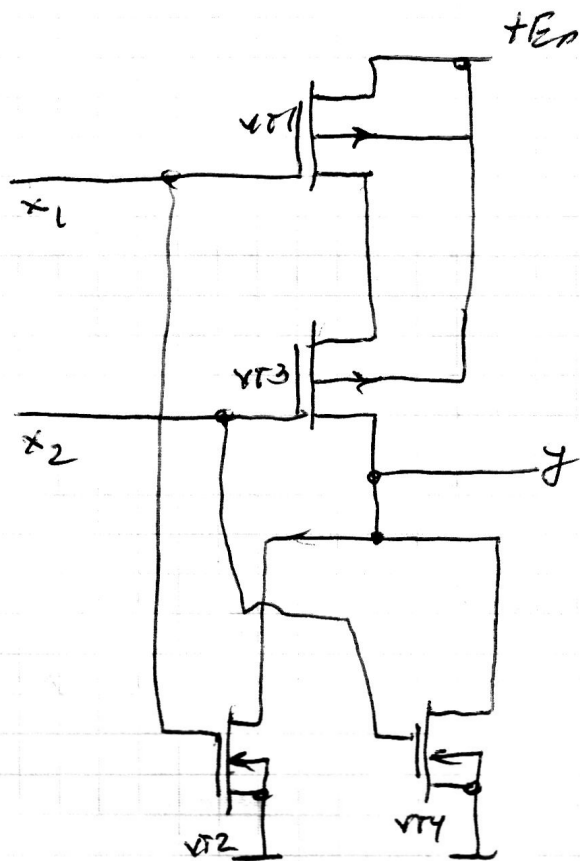
Чтобы создать компл. схему надо выпр. E_n и построить пороги, как на рис.

→ Когда на X - низ-ур. лог., тогда V_{T2} - змер, V_{T1} - отир → на Y → E_n .
 Когда на X → выс. ур → V_{T2} - отир, V_{T1} - змер → на Y → 0.

Устр. перепр. зап-ки

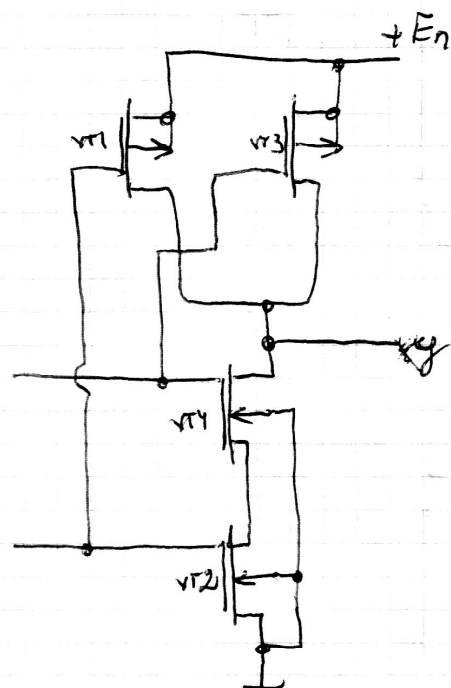


"или не"



x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

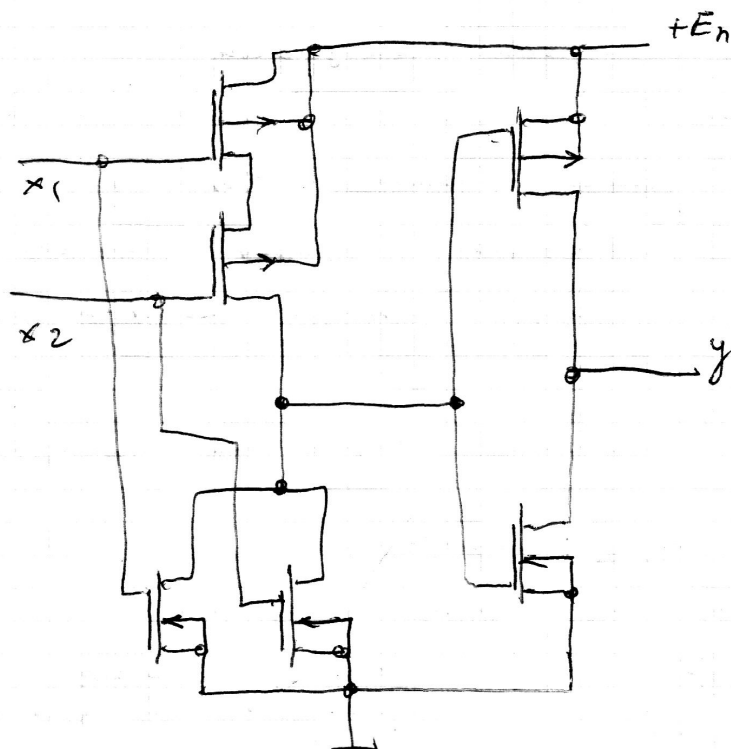
"и-ке"

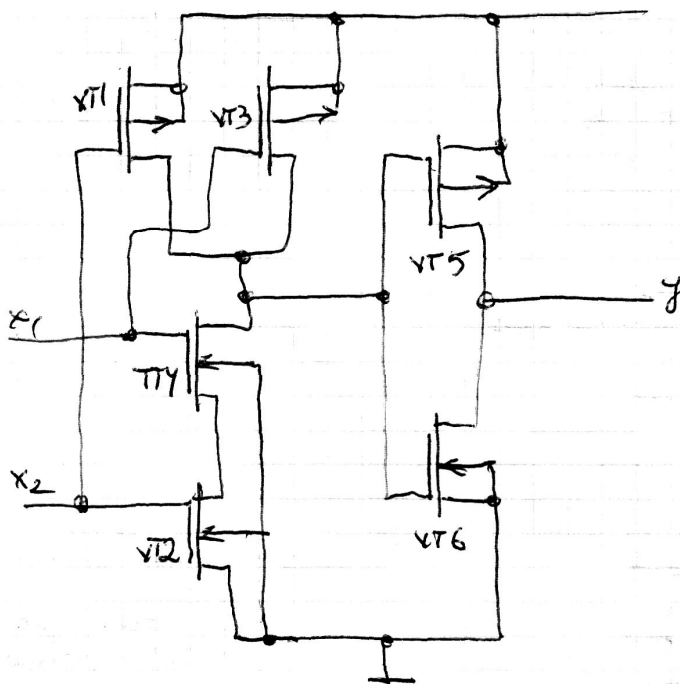


x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

В стат. режиме
КМОП схемы
ток не потребляется.

"или"





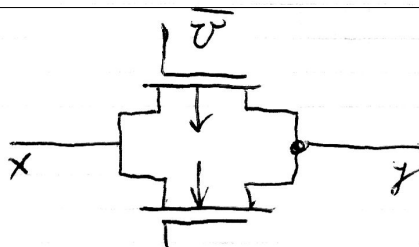
ЛЭ на КМДП тр-рах имеют след. преим.:

- ① малое потребл. мощности,
- ② высокая быстродействие. Тем больше, чем короче длина канала МДП тр-ра.
- ③ КМДП обладают высоким полемостью.
- ④ Высокий коэф. исп-ия напря-ий инт.

Недостаток:

= более сложная технология изготовления.

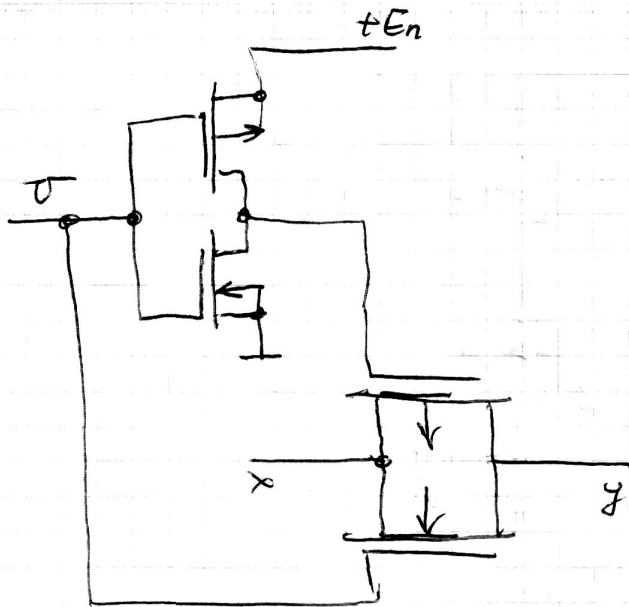
Двухканальн. ключ: управл. соот. // вкл. n-кан и p-кан. тр-ра:



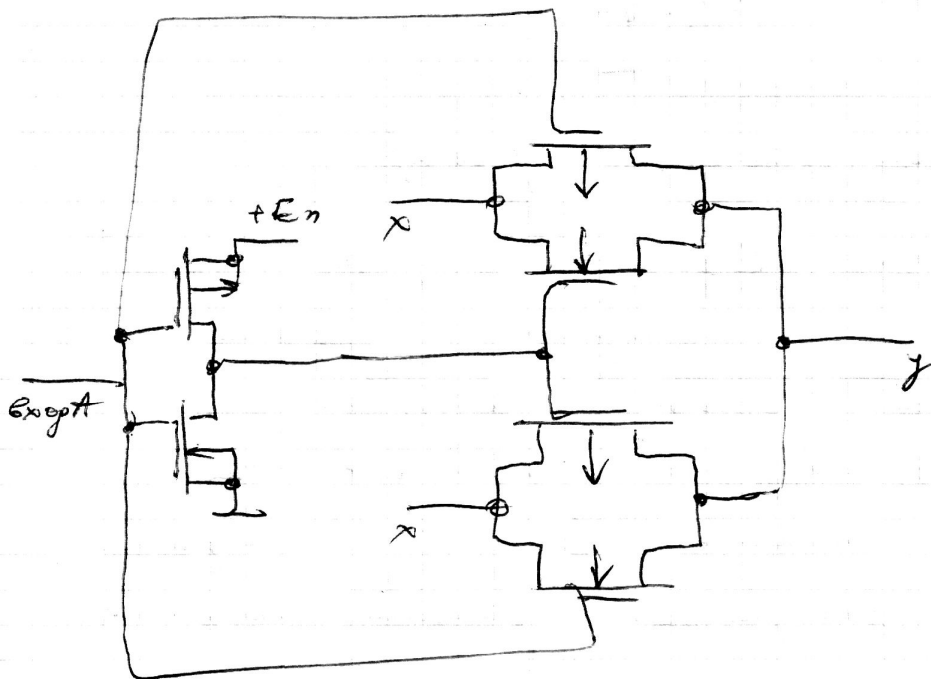
Важно: перед включен. по значу напря.

Делают, чтобы сопр-ие каналов было миним.

Схема гнр-буфера, ктором;

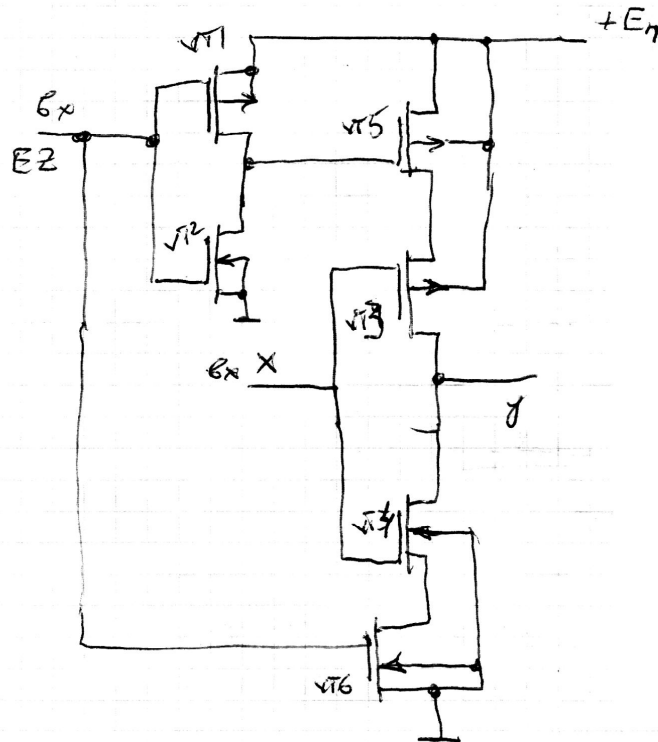


Мультипликатор - суммирующий;



Усп-ли при комп-л. инф. посыл.
 в кед. ко. на при вход (мультипликатор)
 и кед. (или)

Схемотехника на КМОП с тремя вх. входами

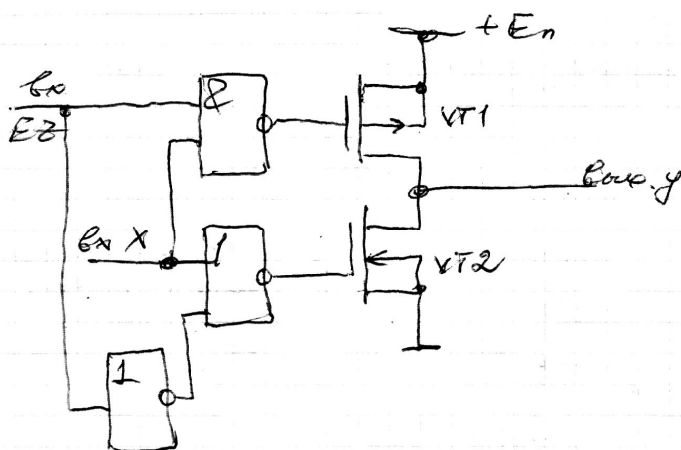


Работа - на фотографии. (у себя)

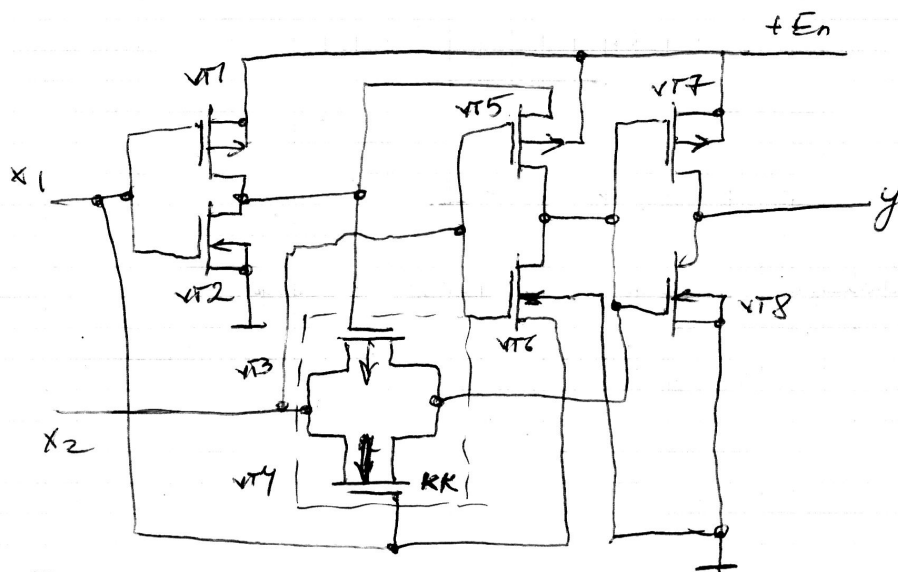
Если на $E2 \rightarrow 1$, то $VT5$ и $VT6$ - открыт и схема работает, как обычн. инвертор. Когда $E2 = 0 \rightarrow VT3$ и $VT4$ остаются от пот. питания. В этом случае выход превращается в сильное сопротивление относительно друг. мик.

Это схема с тремя вх. вх. вх., и она выполнена ТТЛ.

Недостаток: Нельзя создать мощный выход. Для мощного схем. испол. групп. вариант построения схемы в 3-м вх. вх. вх., в вх. есть лог. присут.



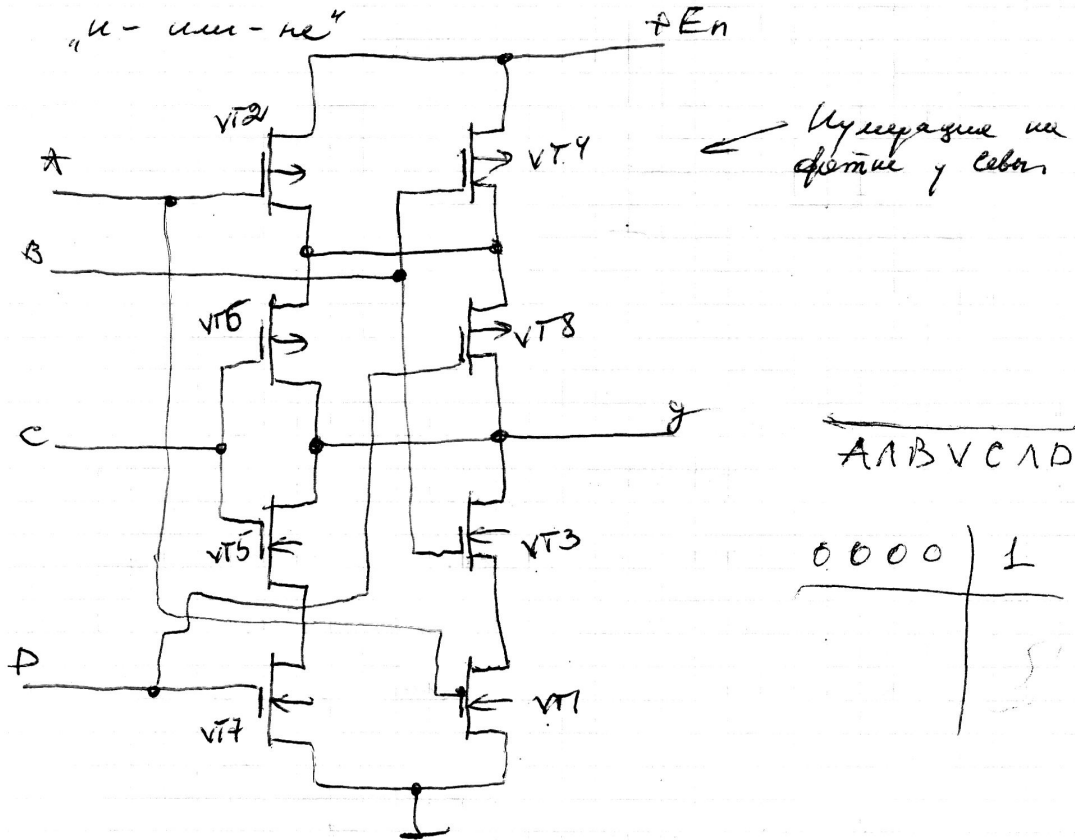
Работа схемы y сводит к фотке!
 Если на $E2 \rightarrow 1$, то тогда в
 записе от того какой сигнал на
 входе $\rightarrow$ либо открыт античный пр-р, тогда $y \rightarrow 0$
 либо закрыт, тогда $y \rightarrow 1$



Пример. схема двунетр. автом. позвол.
 реализов. много пр-ов в базе. Пример $\rightarrow$
 схема "исключа. или" в базе.

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	0

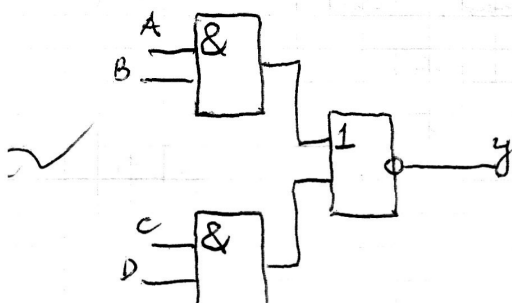
Классический вариант "и-или-не" и "или-и-не"



$A, B, C, D \rightarrow 0 \rightarrow Y \rightarrow 1$

Таблица работы на фотке у себя!

A	B	C	D	T1	T2	T3	T4
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0



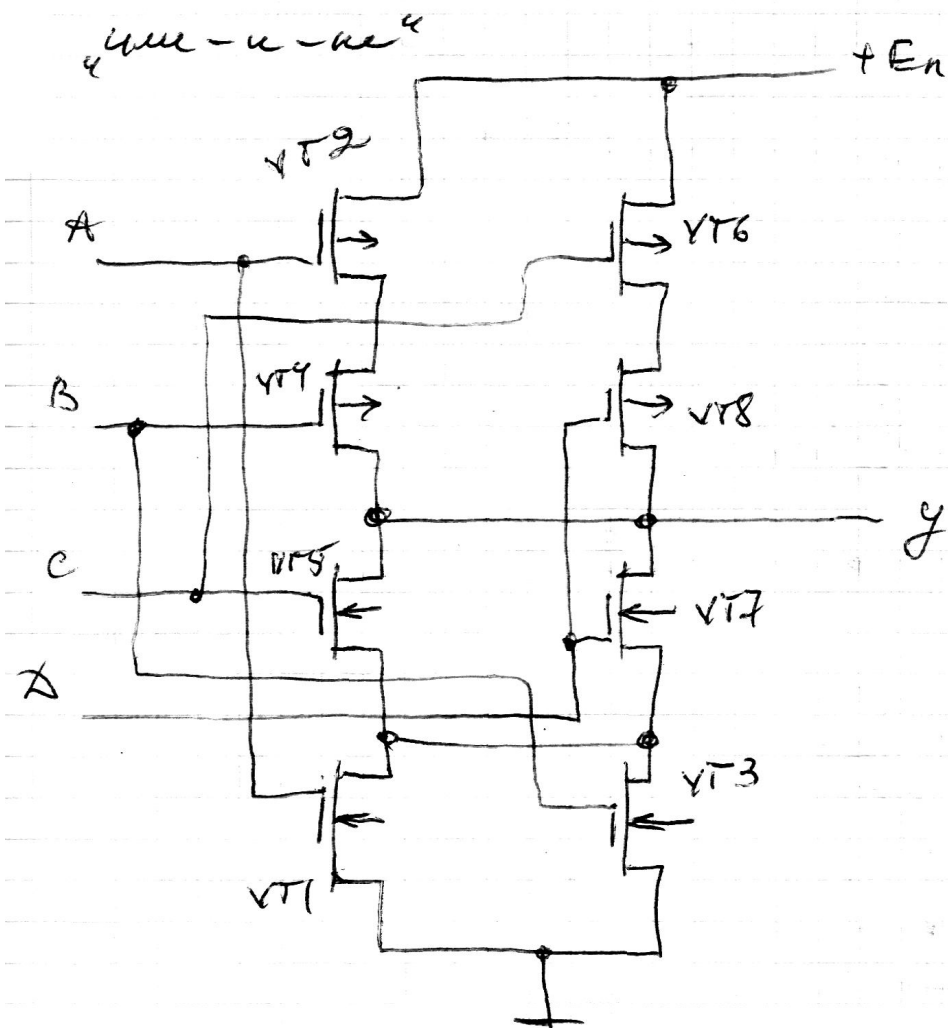
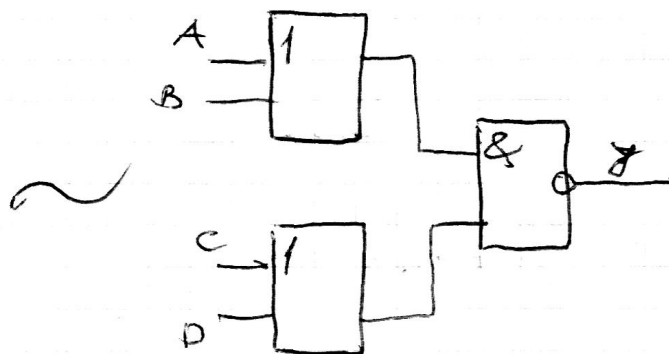


Таблица рисунка и Свн на форме.



«и-ин-ие» (трехворован)

$+E_n$

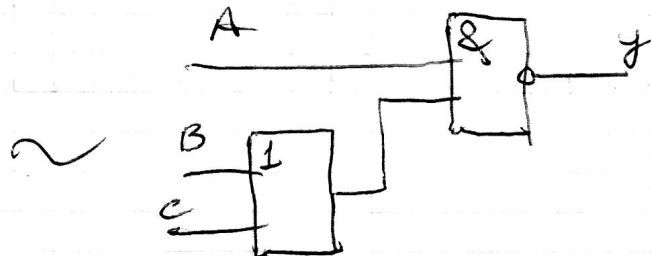
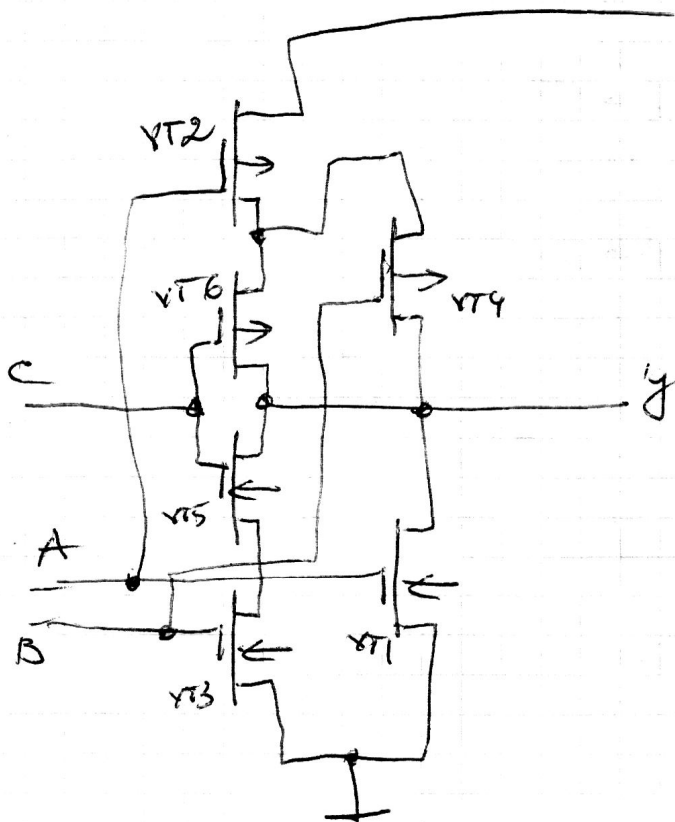
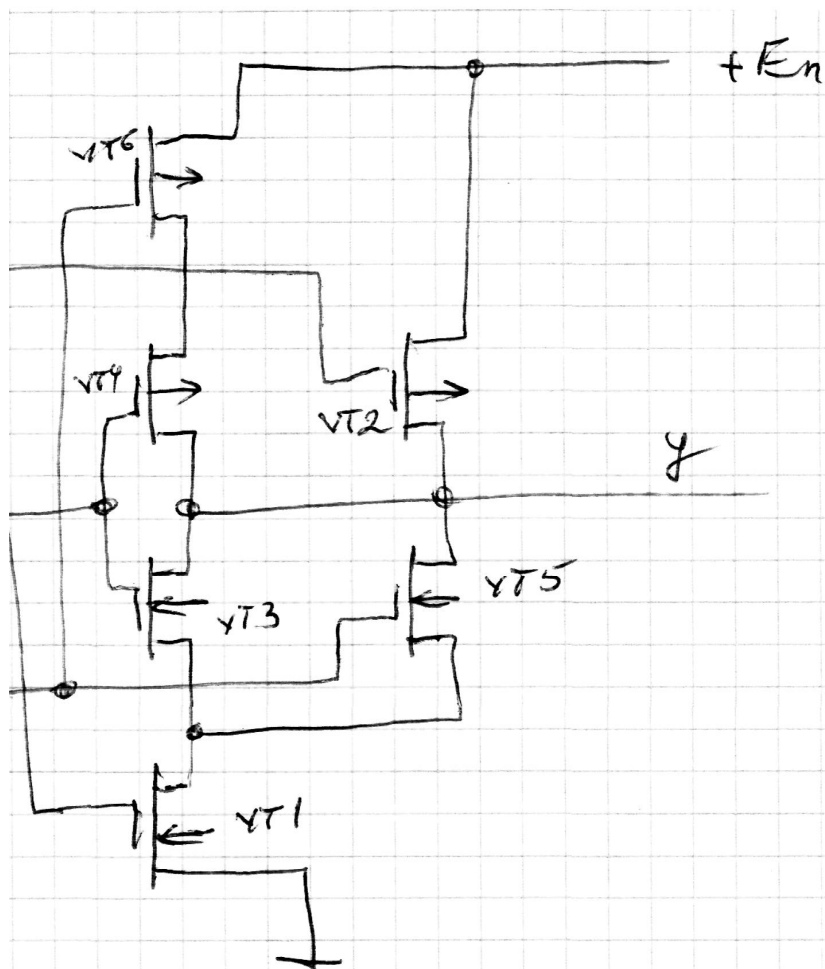


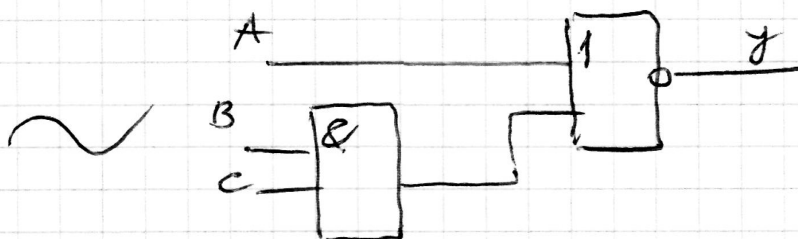
Таблица у сево на фотие

«ин-и-ие» трехворован





Фотки с таблицей у себя.



Аналоговые ключи на КМОП, в.бчп

ВЫВОДЫ

В курсе лекций рассмотрены основные темы курса «Схемотехническое проектирование электронных средств» такие как: реализация логических схем на транзисторно- транзисторной логике, основные параметры биполярных транзисторов, потенциалы напряжений, соответствующих логической единице и логическому нулю, основные характеристики полевых и биполярных транзисторов и сравнения их по базовым параметрам, изучения понятия «ключ» и его реализации в электрических принципиальных схемах.

Данный конспект лекций составлен на основе лекционного курса, читаемого в МГТУ им. Н.Э. Баумана на кафедре иу4 преподавателем Макаrchуком В. В. Курс лекций рекомендован к выполнению текущих аттестационных мероприятий и подготовки к экзамену по предмету «Схемотехническое проектирование электронных средств».

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Макаrchук В. В. Проектирование электронной элементной базы микро- и наносистем. – Электронный ресурс. Режим доступа: <http://nanolab.iu4.bmstu.ru/course/view.php?id=30>. - Проверено 10.04.2011.
2. Макаrchук В. В. Схемотехника ЭВС. – Лекции по курсу. – МГТУ им. Н.Э.Баумана, 2011.