



МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
имени Н.Э. БАУМАНА

Учебное пособие

Методические указания
по выполнению домашних заданий
по единому комплексному заданию по блоку дисциплины

«Системотехника ЭВС, комплексы и сети»

МГТУ имени Н.Э. Баумана

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
имени Н.Э. БАУМАНА

Методические указания
по выполнению домашних заданий
по единому комплексному заданию по блоку дисциплины

«Системотехника ЭВС, комплексы и сети»

Москва
МГТУ имени Н.Э. Баумана

2012

УДК 681.3.06(075.8)
ББК 32.973-018
И201

Методические указания по выполнению домашних заданий по единому комплексному заданию по блоку дисциплины «Системотехника ЭВС, комплексы и сети» / Коллектив авторов –
М.: МГТУ им. Н.Э. Баумана, 2012. – 53 с.: ил.

В методических указаниях рассмотрены основные этапы, их последовательность и содержание по выполнению домашних заданий курсовой работы по единому комплексному заданию по блоку дисциплины «Системотехника ЭВС, комплексы и сети».

Ил. 39. Табл. 5. Библиогр. 7 назв.

УДК 681.3.06(075.8)

© МГТУ им. Н.Э. Баумана, 2012

СОДЕРЖАНИЕ

1 ОБЗОР МАТЕРИНСКОЙ ПЛАТЫ.....	5
1.1 Опись комплекта №02.....	7
1.2. Перечень элементов (микросхем) материнской платы.....	8
1.3 Подробное описание микросхем.....	9
1.3.1 Описание V53C104AP80.....	9
1.3.2 Описание gm71C4256A-80.....	10
1.3.3 Описание DM74ALS245AN.....	11
1.3.4 Описание 74F244PC.....	12
1.3.5 Описание TC4069UBVM S/A.....	13
1.3.6 Описание 74F74PC.....	14
1.3.7 Описание 74F175PC.....	15
1.3.8 Описание 74F00PC.....	16
1.3.9 Описание 74F11PC.....	17
1.3.10 Описание SN7407N.....	18
1.3.11 Описание i386 SX.....	19
1.4 Описание разъемов.....	21
1.4.1 Описание разъема AT клавиатуры.....	21
1.4.2 Описание разъема AT питания.....	21
1.4.3 Описание шины ISA.....	22
1.5 Структурная схема системной платы PC i386DX.....	25
1.5.1 Особенности структурной схемы.....	25
1.5.2 Архитектура шин чипсета группы 8230.....	26
Выводы.....	27
2 ПРОЦЕСС ЗАГРУЗКИ КОМПЬЮТЕРА.....	28
Выводы.....	32
3 НАСТРОЙКА BIOS (BIOS SETUP).....	33
3.1 Standard CMOS Features (Стандартная настройка CMOS).....	33
3.2 Advanced BIOS Features (Настройка функций BIOS).....	34
3.3 Advanced Chipset Features (Настройка функций чипсета).....	34
3.4 Integrated Peripherals (Встроенные периферийные устройства).....	35
3.5 Power Management Setup (Настройка управления питанием).....	35
3.6 PnP/PCI Configurations (Настройка PnP/PCI).....	36
3.7 PC Health Status (Состояние ПК).....	36
3.8 Frequency/Voltage Control (Контроль частоты/напряжения).....	37
Выводы.....	37
4 ДИАГНОСТИРОВАНИЕ ПК.....	38
Выводы.....	41
5 СНЯТИЕ ВРЕМЕННЫХ ДИАГРАММ ШИНЫ ISA.....	42
Выводы.....	49
ВЫВОДЫ ПО ПРОДЕЛАННОЙ РАБОТЕ.....	50
Приложение А. Перечень элементов системной платы UM 386SX.....	51

1 ОБЗОР МАТЕРИНСКОЙ ПЛАТЫ

Внешний вид материнской платы представлен на рисунке 1.1.

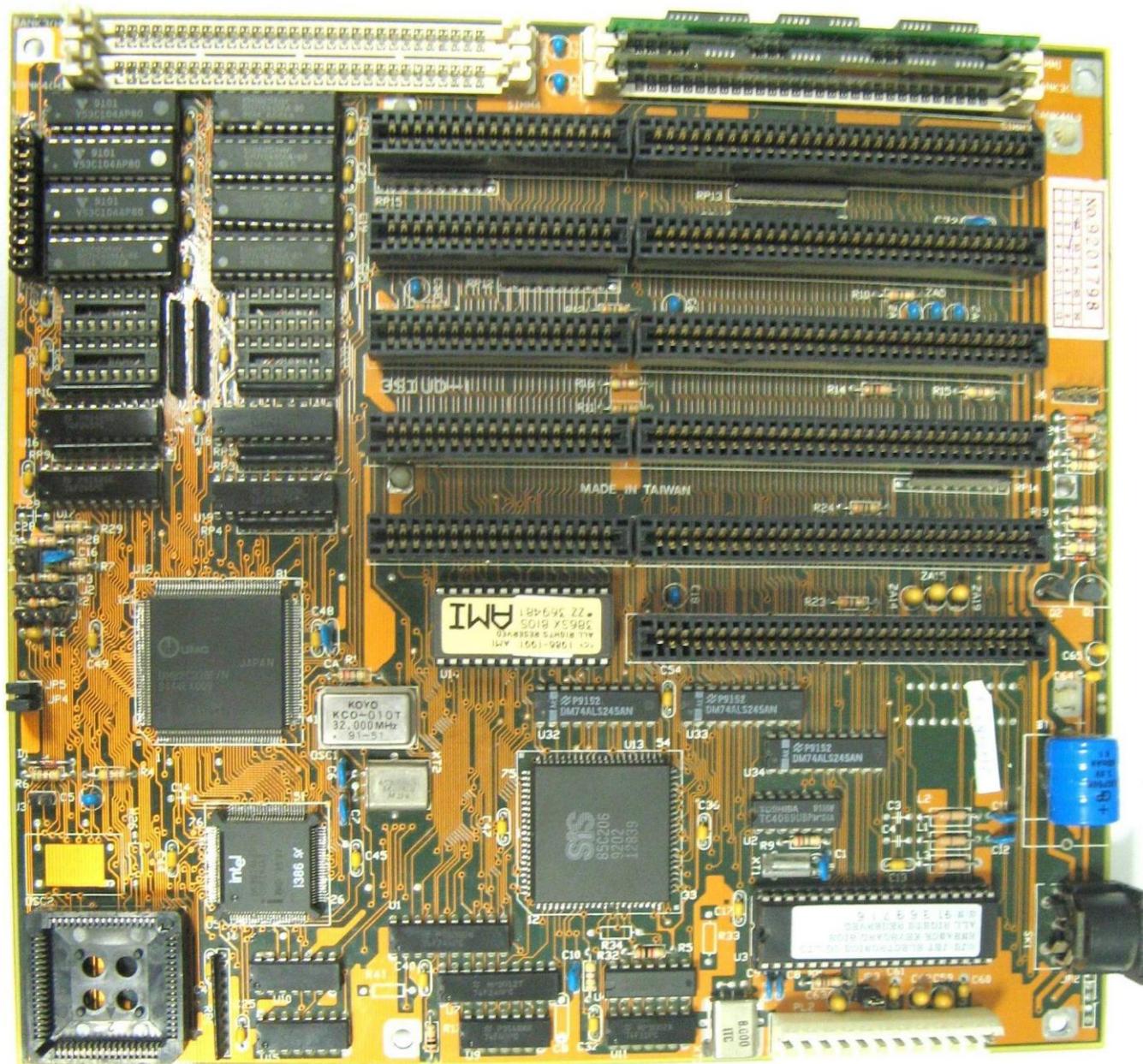


Рисунок 1.1 – Внешний вид материнской платы UM 386SX

Основные параметры платы представлены в таблице 1.1.

Таблица 1.1 – Основные параметры материнской платы UM 386SX

Тип процессора	80386SX
Частота процессора	16/20/24 МГц
Чипсет	UMC
Максимальный объем ДОЗУ	5 Мб
Кэш-память	Отсутствует
Тип BIOS	AMI
Габаритные размеры	221x216 мм
Тип сопроцессора	80387SX

Схематическое изображение материнской платы с указанием основных функциональных элементов представлено на рисунке 1.2.

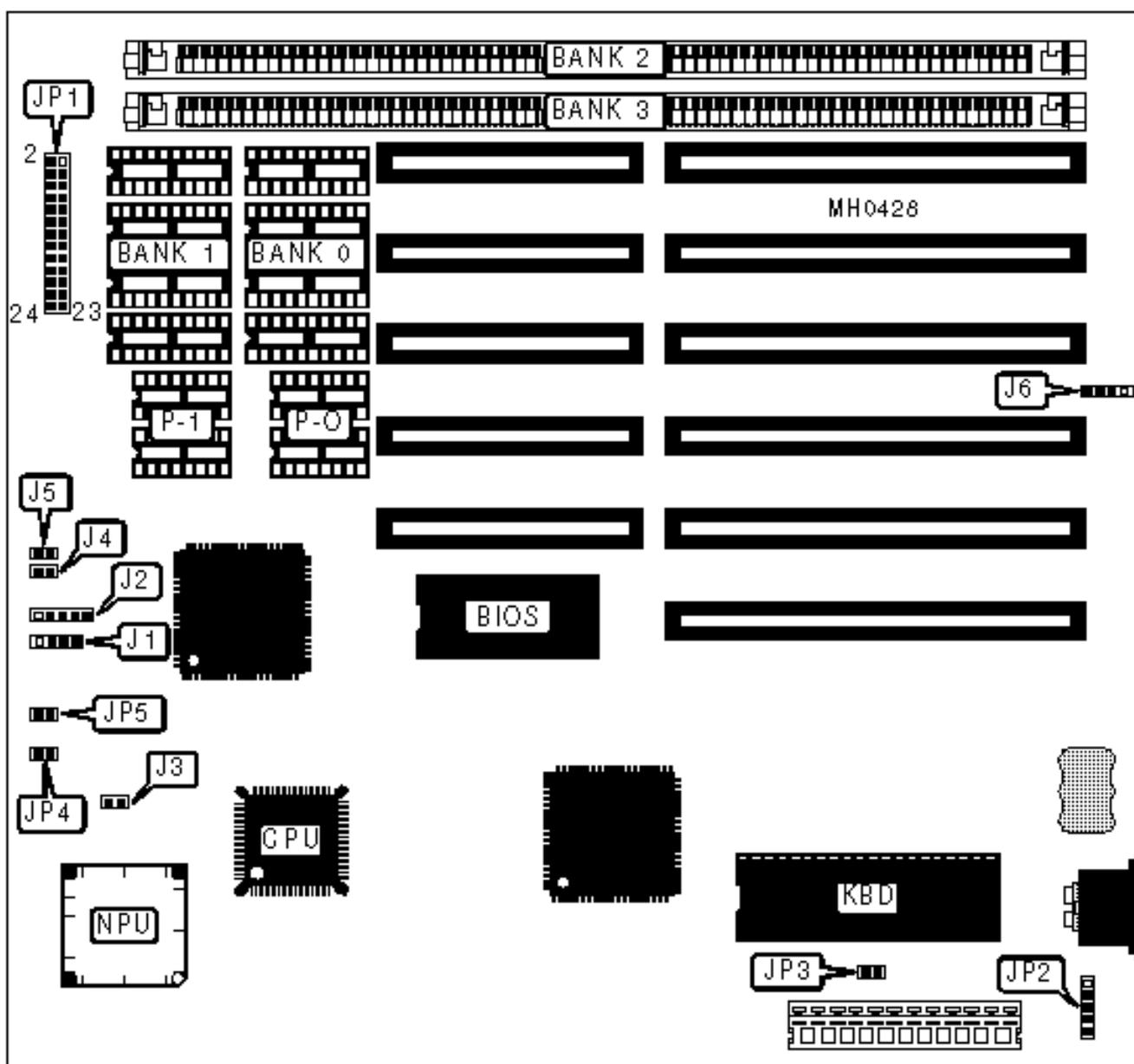


Рисунок 1.2 – Схематическое изображение материнской платы UM 386SX

В таблице 1.2 представлено описание перемычек на плате.

Таблица 1.2 – Описание перемычек

Обозначение	Предназначение
J1	динамик ПК
J2	СИД питания, блокировка клавиатуры
J3	кнопка перезагрузки
J4	СИД режима Турбо
J5	кнопка включения режима Турбо
J6	внешняя батарея
JP1	перемычки конфигурации ДОЗУ
JP2	вспомогательная клавиатура
JP3	выбор режима цветопередачи цветной/монохромный
JP4, JP5	перемычки конфигурации контроля четности ДОЗУ

В таблице 1.3 представлены конфигурации ДОЗУ.

Таблица 1.3 – Конфигурации ДОЗУ

Размер	Bank 0	Parity (P-0)	Bank 1	Parity (P-1)	Bank2	Bank3
512 Кб	(4) 44256	(2) 41256	–	–	–	–
512 Кб	–	–	–	–	(2) 256К x 9	–
1 Мб	(4) 44256	(2) 41256	(4) 44256	(2) 41256	–	–
1 Мб	–	–	–	–	(2) 256К x 9	(2) 256К x 9
2 Мб	(4) 44256	(2) 41256	(4) 44256	(2) 41256	(2) 256К x 9	(2) 256К x 9
2 Мб	–	–	–	–	(2) 1М x9	–
3 Мб	(4) 44256	(2) 41256	(4) 44256	(2) 41256	(2) 1М x9	–
4 Мб	–	–	–	–	(2) 1М x9	(2) 1М x9
5 Мб	(4) 44256	(2) 41256	(4) 44256	(2) 41256	(2) 1М x9	(2) 1М x9

В таблице 1.4 представлены конфигурации перемычек JP1 в зависимости от конфигурации ДОЗУ.

Таблица 1.4 – Конфигурации JP1

Размер	JP1
512 Кб	1&2, 3&4, 5&6, 7&8, 9&10, 11&12, 13&14, 15&16, 17&18, 19&20, 21&22, 23&24
512 Кб	1&3, 2&4, 5&7, 6&8, 9&11, 10&12, 13&15, 14&16, 17&19, 18&20, 21&23, 22&24
1 Мб	1&2, 3&4, 5&6, 7&8, 9&10, 11&12, 13&14, 15&16, 17&18, 19&20, 21&22, 23&24
1 Мб	1&3, 2&4, 5&7, 6&8, 9&11, 10&12, 13&15, 14&16, 17&19, 18&20, 21&23, 22&24
2 Мб	1&2, 3&4, 5&6, 7&8, 9&10, 11&12, 13&14, 15&16, 17&18, 19&20, 21&22, 23&24
2 Мб	1&3, 2&4, 5&7, 6&8, 9&11, 10&12, 13&15, 14&16, 17&19, 18&20, 21&23, 22&24
3 Мб	1&2, 3&4, 5&6, 7&8, 9&10, 11&12, 13&14, 15&16, 17&18, 19&20, 21&22, 23&24
4 Мб	1&3, 2&4, 5&7, 6&8, 9&11, 10&12, 13&15, 14&16, 17&19, 18&20, 21&23, 22&24
5 Мб	1&2, 3&4, 5&6, 7&8, 9&10, 11&12, 13&14, 15&16, 17&18, 19&20, 21&22, 23&24

1.1 Описание комплекта №02:

- 1) материнская плата UM 386SX (№9201798);
- 2) блок питания (№8010080);
- 3) видеокарта (АВ 252767);
- 4) кабель для подключения блока питания, шлейф для подключения дисководов.

1.2. Перечень элементов (микросхем) материнской платы:

В таблице 1.5 представлены основные микросхемы материнской платы.

Таблица 1.5 – Основные микросхемы материнской платы

№	Наименование	Кол.	Описание
1	i386 SX	1	Процессор
2	ENHANCE KEYBOARD BIOS (S/N:91369716)	1	BIOS клавиатуры
3	AMI 3863X BIOS *ZZ369481	1	BIOS
4	V53C104AP80	3	ДОЗУ 256Кх4 бит
5	gm71C4256A-80	5	ДОЗУ 262,144 х 4 бит
6	DM74ALS245AN	3	Восьмиразрядный приемопередатчик с тремя состояниями
7	74F244PC	5	Восьмиразрядный буфер с тремя состояниями
8	74F240PC	1	Восьмиразрядный буфер с тремя состояниями
9	UM82C336F/N	1	Системный контроллер
10	TC4069UBM S/A	1	6 КМОП - инвертора
11	SIS 85C206 9202 12839	1	Чипсет
12	Math Co us 83S87	1	Сопроцессор
13	74F74PC	1	Сдвоенный D - триггер
14	74F175PC	1	Счетверенный D - триггер
15	74F00PC	1	4 вентиля 2 И-НЕ
16	74F11PC	1	3 вентиля 3 И
17	SN7407N	1	Преобразователь напряжения ТТЛ - МОП

1.3 Подробное описание микросхем

1.3.1 Описание V53C104AP80

Микросхема представляет собой динамическое ОЗУ, выполненное по технологии КМОП. Объем памяти составляет 256Кх4 бит. Цоколевка микросхемы представлена в таблице 1.6.

Таблица 1.6 – Цоколевка микросхемы V53C104AP80

Внешний вид	Наименование вывода	Назначение вывода
	A0 - A8	Address Inputs
	!RAS	Row Address Strobe
	!CAS	Column Address Strobe
	!WE	Write Enable
	!OE	Output Enable
	I/O1 - I/O4	Data Input, Output
	Vdd	+5V Supply
	Vss	0V Supply
	NC	Not Connect

Параметры микросхемы представлены в таблице 1.7

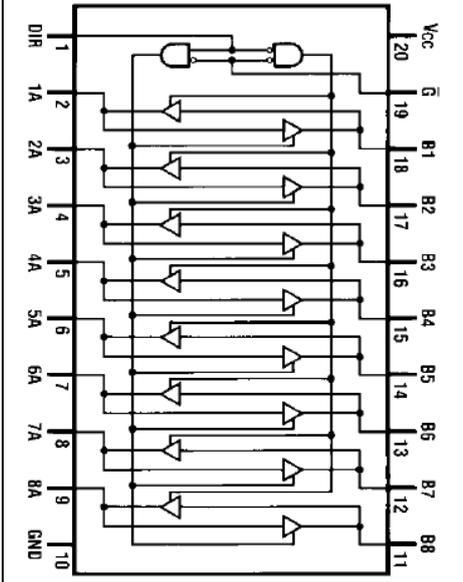
Таблица 1.7 – Параметры микросхемы V53C104AP80

Параметр	Значение
Напряжение питания V_{DD}	5В ±10%
Выходной ток	50 мА
Рассеиваемая мощность	1 Вт
Входной ток утечки, I_{LI}	10 μ А
Выходной ток утечки I_{LO} (при Z -состоянии)	10 μ А
Ток потребления в рабочем режиме I_{DD1}	75 мА
Ток потребления в режиме ожидания I_{DD2} (высокий уровень напряжения на входах !RAS, !CAS)	2 мА
Входное напряжение логического нуля V_{IL}	-1...0,8 В
Входное напряжение логической единицы V_{IH}	2,4...6 В
Выходное напряжение логического нуля V_{OL}	0,4 В
Выходное напряжение логической единицы V_{OH}	2,4 В
Время доступа к строке памяти t_{RAS}	80 нс
Время доступа к столбцу памяти t_{CAS}	20 нс
Время цикла записи/чтения t_{RC}	150 нс

1.3.3 Описание DM74ALS245AN

Микросхема представляет собой восьмиразрядный приемопередатчик, выполненный по технологии Шоттки. Передатчик построен на основе логических элементов с тремя состояниями. Цоколевка микросхемы представлена в таблице 1.10.

Таблица 1.10 – Цоколевка микросхемы DM74ALS245AN

Внешний вид	Наименование вывода	Назначение вывода	
	A1 - A8	Восьмиразрядная шина А	
	B1 - B8	Восьмиразрядная шина В	
	!G	Управление состоянием	
	DIR	Управление направлением	
	Vcc	+5V Supply	
	GND	0V Supply	

Параметры микросхемы представлены в таблице 1.11

Таблица 1.11 – Параметры микросхемы DM74ALS245AN

Параметр	Значение
Напряжение питания V_{CC}	5В ±10%
Входное напряжение логического нуля V_{IL}	0...0,8 В
Входное напряжение логической единицы V_{IH}	2...5В
Выходное напряжение логического нуля V_{OL}	0,5 В
Выходное напряжение логической единицы V_{OH}	2,3 В
Выходной ток при уровне логического нуля на выходе I_{OL}	24 mA
Выходной ток при уровне логической единицы на выходе I_{OH}	-15 mA
Входной ток I_{IH} при уровне логической единицы на входе	20 μ A
Входной ток I_{IL} при уровне логического нуля на входе	-0,1 mA
Максимальный ток потребления I_{CC}	58 mA
Максимальное время задержки t_p	10 нс

1.3.4 Описание 74F244PC

Микросхема представляет собой восьмиразрядный буфер. Буфер построен на основе логических элементов с тремя состояниями. Цоколевка микросхемы представлена в таблице 1.12.

Таблица 1.12 – Цоколевка микросхемы 74F244PC

Внешний вид	Наименование вывода	Назначение вывода	
	I0 - I7	Inputs	
	O0 - O7	Outputs	
	!OE1, !OE2	TRI-STATE Output Enable	
	Vcc	+5V Supply	
	GND	0V Supply	

Параметры микросхемы представлены в таблице 1.13

Таблица 1.13 – Параметры микросхемы 74F244PC

Параметр	Значение
Напряжение питания V_{CC}	5В ±10%
Входное напряжение логического нуля V_{IL}	0...0,8 В
Входное напряжение логической единицы V_{IH}	2...5В
Выходное напряжение логического нуля V_{OL}	0,55 В
Выходное напряжение логической единицы V_{OH}	2,4 В
Выходной ток при уровне логического нуля на выходе I_{OL}	64 мА
Выходной ток при уровне логической единицы на выходе I_{OH}	-15 мА
Максимальный ток потребления I_{CC}	90 мА
Максимальное время задержки t_p	8 нс

1.3.6 Описание 74F74PC

Микросхема содержит 2 D - триггера с входами установки, сброса и комплементарными выходами. Цоколевка микросхемы представлена в таблице 1.16.

Таблица 1.16 – Цоколевка микросхемы 74F74PC

Внешний вид	Наименование вывода	Назначение вывода
	D1, D2	Data Inputs
	CP1, CP2	Clock Pulse Inputs
	!C _{D1} , !C _{D2}	Direct Clear Inputs
	!S _{D2} , !S _{D2}	Direct Set Inputs
	Q1, !Q1, Q2, !Q2	Outputs
	V _{CC}	+5V Supply
	GND	0V Supply

Параметры микросхемы представлены в таблице 1.17

Таблица 1.17 – Параметры микросхемы 74F74PC

Параметр	Значение
Напряжение питания V _{CC}	5В ±10%
Входное напряжение логического нуля V _{IL}	0...0,8 В
Входное напряжение логической единицы V _{IH}	2...5 В
Выходное напряжение логического нуля V _{OL}	0,5 В
Выходное напряжение логической единицы V _{OH}	2,5 В
Выходной ток при уровне логического нуля на выходе I _{OL}	20 mA
Выходной ток при уровне логической единицы на выходе I _{OH}	-1 mA
Входной ток при уровне логического нуля на входе I _{IL}	- 1,8 mA
Входной ток при уровне логической единицы на входе I _{IH}	5 μA
Максимальный ток потребления I _{CC}	16 mA
Максимальная частота тактовых импульсов	100 МГц
Максимальное время переключения t _T	2 нс
Максимальное время задержки t _p	10 нс

1.3.7 Описание 74F175PC

Микросхема содержит 4 D - триггера с входами установки, сброса и комплементарными выходами. Цоколевка микросхемы представлена в таблице 1.18.

Таблица 1.18 – Цоколевка микросхемы 74F175PC

Внешний вид	Наименование вывода	Назначение вывода	
	D0 - D3	Data Inputs	
	CP	Clock Pulse Inputs	
	!MR	Master Reset	
	Q0-Q3, !Q0-!Q3	Outputs	
	V _{CC}	+5V Supply	
	GND	0V Supply	

Параметры микросхемы представлены в таблице 1.19

Таблица 1.19 – Параметры микросхемы 74F175PC

Параметр	Значение
Напряжение питания V _{CC}	5В ±10%
Входное напряжение логического нуля V _{IL}	0...0,8 В
Входное напряжение логической единицы V _{IH}	2...5 В
Выходное напряжение логического нуля V _{OL}	0,5 В
Выходное напряжение логической единицы V _{OH}	2,5 В
Выходной ток при уровне логического нуля на выходе I _{OL}	20 mA
Выходной ток при уровне логической единицы на выходе I _{OH}	-1 mA
Входной ток при уровне логического нуля на входе I _{IL}	- 0,6 mA
Входной ток при уровне логической единицы на входе I _{IH}	5 μA
Максимальный ток потребления I _{CC}	34 mA
Максимальная частота тактовых импульсов	100 МГц
Максимальное время переключения t _T	3 нс
Максимальное время задержки t _p	13 нс

1.3.8 Описание 74F00PC

Микросхема содержит 4 вентиля 2И-НЕ. Цоколевка микросхемы представлена в таблице 1.20.

Таблица 1.20 – Цоколевка микросхемы 74F00PC

Внешний вид	Наименование вывода	Назначение вывода
	An, Bn	Inputs
	On	Outputs
	V _{CC}	+5V Supply
	GND	0V Supply

Параметры микросхемы представлены в таблице 1.21

Таблица 1.21 – Параметры микросхемы 74F00PC

Параметр	Значение
Напряжение питания V _{CC}	5В ±10%
Входное напряжение логического нуля V _{IL}	0...0,8 В
Входное напряжение логической единицы V _{IH}	2...5 В
Выходное напряжение логического нуля V _{OL}	0,5 В
Выходное напряжение логической единицы V _{OH}	2,5 В
Выходной ток при уровне логического нуля на выходе I _{OL}	20 mA
Выходной ток при уровне логической единицы на выходе I _{OH}	-1 mA
Входной ток при уровне логического нуля на входе I _{IL}	- 0,6 mA
Входной ток при уровне логической единицы на входе I _{IH}	5 μA
Максимальный ток потребления I _{CC}	10 mA
Максимальное время задержки t _p	7 нс

1.3.9 Описание 74F11PC

Микросхема содержит 3 D вентиля 3И. Цоколевка микросхемы представлена в таблице 1.22.

Таблица 1.22 – Цоколевка микросхемы 74F11PC

Внешний вид	Наименование вывода	Назначение вывода	
	An, Bn	Inputs	
	On	Outputs	
	V _{CC}	+5V Supply	
	GND	0V Supply	

Параметры микросхемы представлены в таблице 1.23

Таблица 1.23 – Параметры микросхемы 74F11PC

Параметр	Значение
Напряжение питания V _{CC}	5В ±10%
Входное напряжение логического нуля V _{IL}	0...0,8 В
Входное напряжение логической единицы V _{IH}	2...5 В
Выходное напряжение логического нуля V _{OL}	0,5 В
Выходное напряжение логической единицы V _{OH}	2,5 В
Выходной ток при уровне логического нуля на выходе I _{OL}	20 mA
Выходной ток при уровне логической единицы на выходе I _{OH}	-1 mA
Входной ток при уровне логического нуля на входе I _{IL}	- 0,6 mA
Входной ток при уровне логической единицы на входе I _{IH}	5 μA
Максимальный ток потребления I _{CC}	9,7 mA
Максимальное время задержки t _p	7 нс

1.3.10 Описание SN7407N

Микросхема представляет собой преобразователь уровней напряжения ТТЛ в уровни напряжения МОП. Цоколевка микросхемы представлена в таблице 1.24.

Таблица 1.24 – Цоколевка микросхемы SN7407N

Внешний вид		Наименование вывода	Назначение вывода	
		nA	Inputs	
		nY	Outputs	
		V _{CC}	+5V Supply	
		GND	0V Supply	

Параметры микросхемы представлены в таблице 1.25

Таблица 1.25 – Параметры микросхемы SN7407N

Параметр	Значение
Напряжение питания V _{CC}	+7 В
Входное напряжение логического нуля V _{IL}	0...0,8 В
Входное напряжение логической единицы V _{IH}	2 В
Выходное напряжение логического нуля V _{OL}	0,7 В
Выходное напряжение логической единицы V _{OH}	30 В
Выходной ток при уровне логического нуля на выходе I _{OL}	40 mA
Выходной ток при уровне логической единицы на выходе I _{OH}	0,25 mA
Входной ток при уровне логического нуля на входе I _{IL}	- 1,6 mA
Входной ток при уровне логической единицы на входе I _{IH}	40 μA
Максимальный ток потребления I _{CC}	41 mA
Потребляемая мощность	145 мВт
Время задержки	14 нс

1.3.11 Описание i386 SX

Микросхема представляет собой микропроцессор с 32-х битной архитектурой. Цоколевка микросхемы представлена в таблице 1.26.

Таблица 1.26 – Цоколевка микросхемы i386 SX

Внешний вид		
<p style="text-align: center;">TOP VIEW</p>		
Обозначение	Тип	Наименование и назначение
CLK2	I	CLK2 обеспечивает общее тактирование микропроцессора
RESET	I	RESET прекращает выполнение операций и сбрасывает состояние процессора
D15-D0	I/O	Data Bus шина принимает данные при операциях чтения памяти, устройств ввода/вывода и прерываниях; и отправляет данные при операциях записи в память и устройства ввода/вывода
A23-A1	O	Address Bus шина адреса памяти или портов устройств ввода/вывода

Продолжение таблицы 1.26

W!/R	O	Write/Read вывод выбора операций чтения или записи
D!/C	O	Data/Control вывод выбора операций работы с данными или контроля (прерывание, остановка, извлечение команды)
M!/IO	O	Memory/IO вывод выбора операций работы с памятью или с устройствами ввода/вывода
!LOCK	O	Bus Lock запрет на работу с системной шиной для других устройств
!ADS	O	Address Status
!NA	I	Next Address используется для запроса следующего адреса
!READY	I	Bus Ready завершает цикл шины
!BHE, !BLE	O	Byte Enables указывает, какой байт данных находится на шине
HOLD	I	Bus Hold Request позволяет другим устройствам запросить контроль к локальной шине
HLDA	O	Bus Hold Acknowledge указывает, что процессор отдал контроль над локальной шиной другому устройству
INTR	I	Interrupt Request дает сигнал на маскируемое прерывание выполнения текущей операции и обработку прерывания
NMI	I	Non-Maskable Interrupt Request дает сигнал на немаскируемое прерывание выполнения текущей операции и обработку прерывания
!BUSY	I	Busy сигнал занятости
!ERROR	I	Error сигнал ошибки
PEREQ	I	Processor Extension Request указывает на то, что процессор имеет данные для передачи другим процессором
N/C	–	
VCC	I	System Power источник напряжения +5В
VSS	I	System Ground земля

Параметры микросхемы представлены в таблице 1.27

Таблица 1.27 – Параметры микросхемы i386 SX

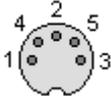
Параметр	Значение
Напряжение питания V_{CC}	+5 В
Входное напряжение логического нуля V_{IL}	-0,3...0,8 В
Входное напряжение логической единицы V_{IH}	2... V_{CC} +0,3 В
Выходное напряжение логического нуля V_{OL}	0,45 В
Выходное напряжение логической единицы V_{OH}	2,4 В
Выходной ток при уровне логического нуля на выходе I_{OL}	5 мА
Выходной ток при уровне логической единицы на выходе I_{OH}	-1 мА
Входной ток при уровне логического нуля на входе I_{IL}	- 400 μ А
Входной ток при уровне логической единицы на входе I_{IH}	200 μ А
Максимальный ток потребления I_{CC}	305 мА
Тактовая частота	16/20 МГц
Среднее время задержки t	10 нс

1.4 Описание разъемов

1.4.1 Описание разъема АТ клавиатуры

Распиновка разъема представлена в таблице 1.28

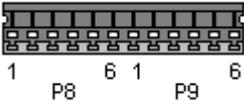
Таблица 1.28 - Распиновка разъема АТ клавиатуры

Внешний вид	Наименование вывода	Назначение вывода
	1	+5V
	2	Clock
	3	Data
	4	GND
	5	N/C

1.4.2 Описание разъема АТ питания

Распиновка разъема представлена в таблице 1.29

Таблица 1.29 - Распиновка разъема АТ питания

Внешний вид	Наименование вывода	Цвет	Назначение вывода
	P8	1	Power Good, +5 VDC when all voltages has stabilized.
		2	+5 VDC (or n/c)
		3	+12 VDC
		4	-12 VDC
		5	Ground
		6	Ground
	P9	1	Ground
		2	Ground
		3	-5 VDC
		4	+5 VDC
		5	+5 VDC
		6	+5 VDC

1.4.3 Описание шины ISA

Шина ISA (Industry Standard Architecture) представляет из себя 8- или 16- разрядную шину ввода/вывода IBM PC-совместимых компьютеров, работающую на частотах 5МГц и 8МГц соответственно.

Распиновка 16-разрядной шины ISA представлена в таблице 1.30

Таблица 1.30 - Распиновка 16-разрядной шины ISA

Внешний вид		
Обозначение	Тип	Наименование и назначение
A1	I	I/O CH CK проверка канала ввода/вывода – сигнал вырабатывается исполнителем для информирования задатчика о фатальной ошибке.
A2-A9	I/O	D7-D0 биты данных 7-0
A10	I	I/O CH RDY проверка готовности канала ввода/вывода - сигнал снимается исполнителем в случае, если он не успевает выполнить требуемую операцию в темпе задатчика
A11	O	AEN разрешение адреса – устанавливается если производится цикл прямого доступа к памяти (ПДП). При этом все платы, не участвующие в ПДП, отключаются от шины
A12-A31	O	A19-A0 адресные биты 19-0
B1		GND
B2	O	RESET устанавливается при сбросе системы
B3		+5B
B4	I	IRQ2 запрос прерывания 2
B5		-5B
B6	I	DRQ2 запрос ПДП 2
B7		-12B
B8	I	!NOWS выставляется исполнителем для информирования задатчика о необходимости проведения циклов обмена без вставки такта ожидания
B9		+12B
B10		GND
B11	O	!SMEMW запись данных в системную память
B12	O	!SMEMR чтение данных из системной памяти
B13	O	!IOW запись данных в УВВ
B14	O	!IOR чтение данных из УВВ
B15	O	!DACK3 сигнал подтверждения ПДП 3
B16	I	!DRQ3 запрос ПДП 3
B17	O	!DACK1 сигнал подтверждения ПДП 1
B18	I	!DRQ1 запрос ПДП 1
B19	I/O	!REFRESH сигнал о выполнении циклов регенерации
B20	O	!BCLK тактовый сигнал с частотой 8МГц
B21-B25	I	!IRQ7-3 запрос прерываний 7-3
B26	O	!DACK2 сигнал подтверждения ПДП 2
B27	O	T/C окончание счета – устанавливается в режиме ПДП когда по текущему каналу ПДП закончен счет циклов пересылки данных
B28	O	BALE сигнал стробирования адресных разрядов
B29		+5B
B30	O	OSC высокочастотный тактовый сигнал с частотой 14,3МГц
B31		GND

Продолжение таблицы 1.30

C1	I/O	SBHE установка расширения шины
C2-C5	I/O	LA23-20 адресные биты 23-20
C6-C8	I/O	LA18-16 адресные биты 19-17
C9	I/O	!MEMR чтение памяти
C10	I/O	!MEMW запись в память
C11-C18	I/O	SD08-SD15 биты данных 8-15
D1	I	!MEMCS16 сигнал об организации 16-битного обмена с памятью
D2	I	!IOCS16 сигнал об организации 16-битного обмена с УВВ
D3-D5	I	IRQ10-12 запрос прерываний 10-12
D6-D7	I	IRQ15-14 запрос прерываний 15-14
D8	O	DACK0 сигнал подтверждения ПДП 0
D9	I	DRQ0 запрос ПДП0
D10	O	!DACK5 сигнал подтверждения ПДП5
D11	I	DRQ5 запрос ПДП5
D12	O	!DACK6 сигнал подтверждения ПДП6
D13	I	DRQ6 запрос ПДП6
D14	O	!DACK7 сигнал подтверждения ПДП7
D15	I	DRQ7 запрос ПДП7
D16		+5B
D17	I	!MASTER используется платой расширения для получения контроля над шиной. В этом случае необходимо выставить сигнал запроса ПДП
D18		GND

На рисунке 1.3 представлены временные диаграммы передачи обмена данными с памятью и устройствами ввода/вывода в 8-битном режиме.

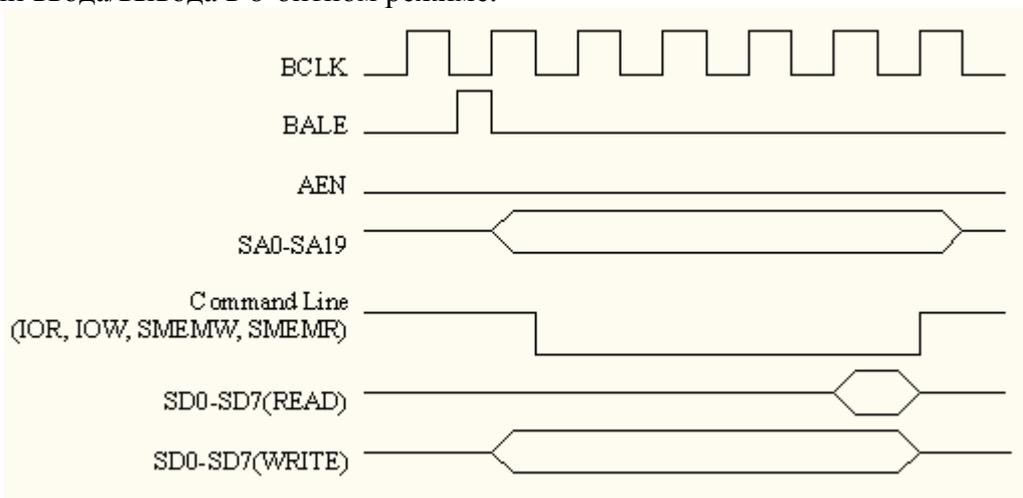


Рисунок 1.3 - Временные диаграммы 8-битного обмена данными

Сигнал BALE высокого уровня запирает адресные биты на шине адреса SA, которые остаются постоянными на протяжении всего цикла передачи. На протяжении всего цикла передачи сигнал AEN имеет низкий уровень. После фиксации адреса, происходит подача сигнала низкого уровня на линию управления. В зависимости от сигнала, выбирается одна из операций - чтение/запись; память/устройство ввода/вывода. В режиме записи данные остаются на шине данных SD в течение всего оставшегося цикла передачи. В режиме чтения данные должны находиться на шине SD в момент поступления последнего тактирующего сигнала цикла передачи.

На рисунке 1.4 представлены временные диаграммы передачи обмена данными с памятью и устройствами ввода/вывода в 16-битном режиме.

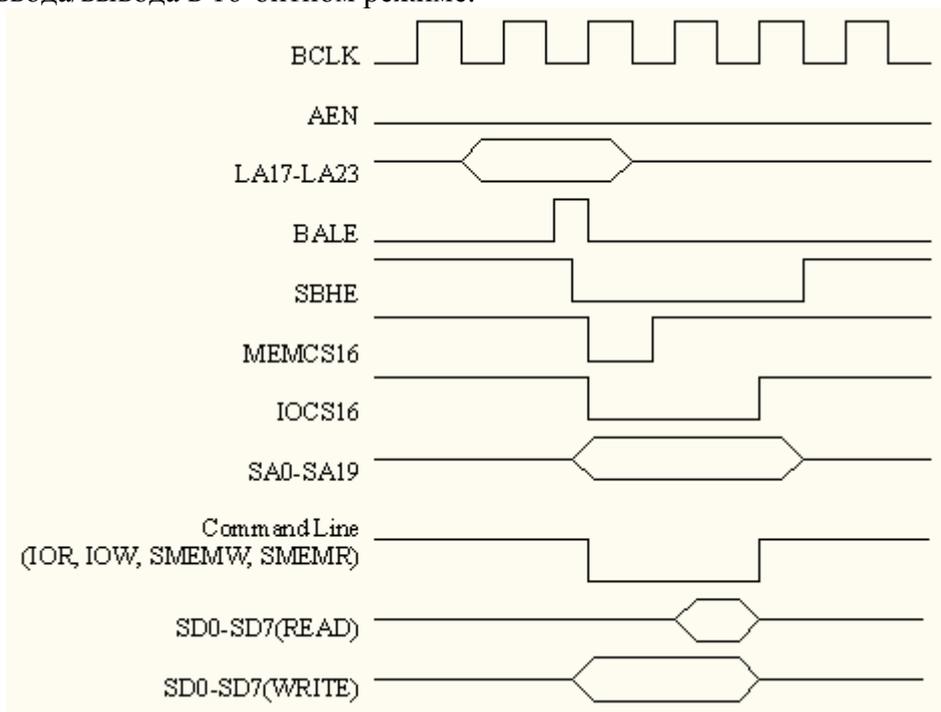


Рисунок 1.4 - Временные диаграммы 16-битного обмена данными

Алгоритм передачи данных схож с 8-битным обменом. Адресные биты на шину LA могут быть поданы до начала цикла передачи данных. Для шины LA фиксация не требуется. После подачи сигнала низкого уровня на вывод SBHE, требуется подача сигнала низкого уровня на вывод MEMCS16 (или IOCS16); иначе передача будет разделена на две 8-битные.

На рисунке 1.5 представлены временные диаграммы передачи обмена данными в режиме прямого доступа к памяти, то есть без пересылки их в процессор.

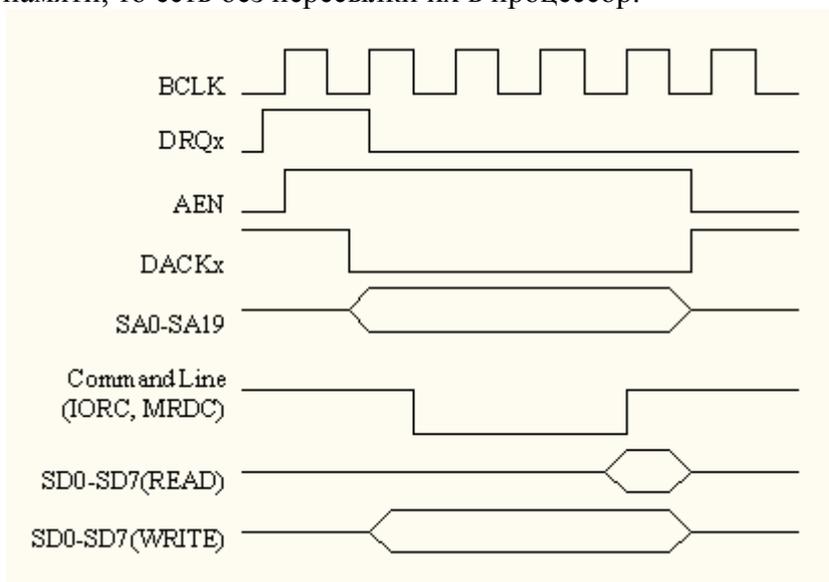


Рисунок 1.5 - Временные диаграммы режима ПДП

При режиме ПДП передачу данных осуществляет контроллер прямого доступа к памяти. Чтобы напрямую передать данные в память, устройство должно выставить сигнал DRQx.

1.5 Структурная схема системной платы PC i386SX

1.5.1 Особенности структурной схемы

Структурная схема системной платы i386SX приведена на рисунке 1.6.

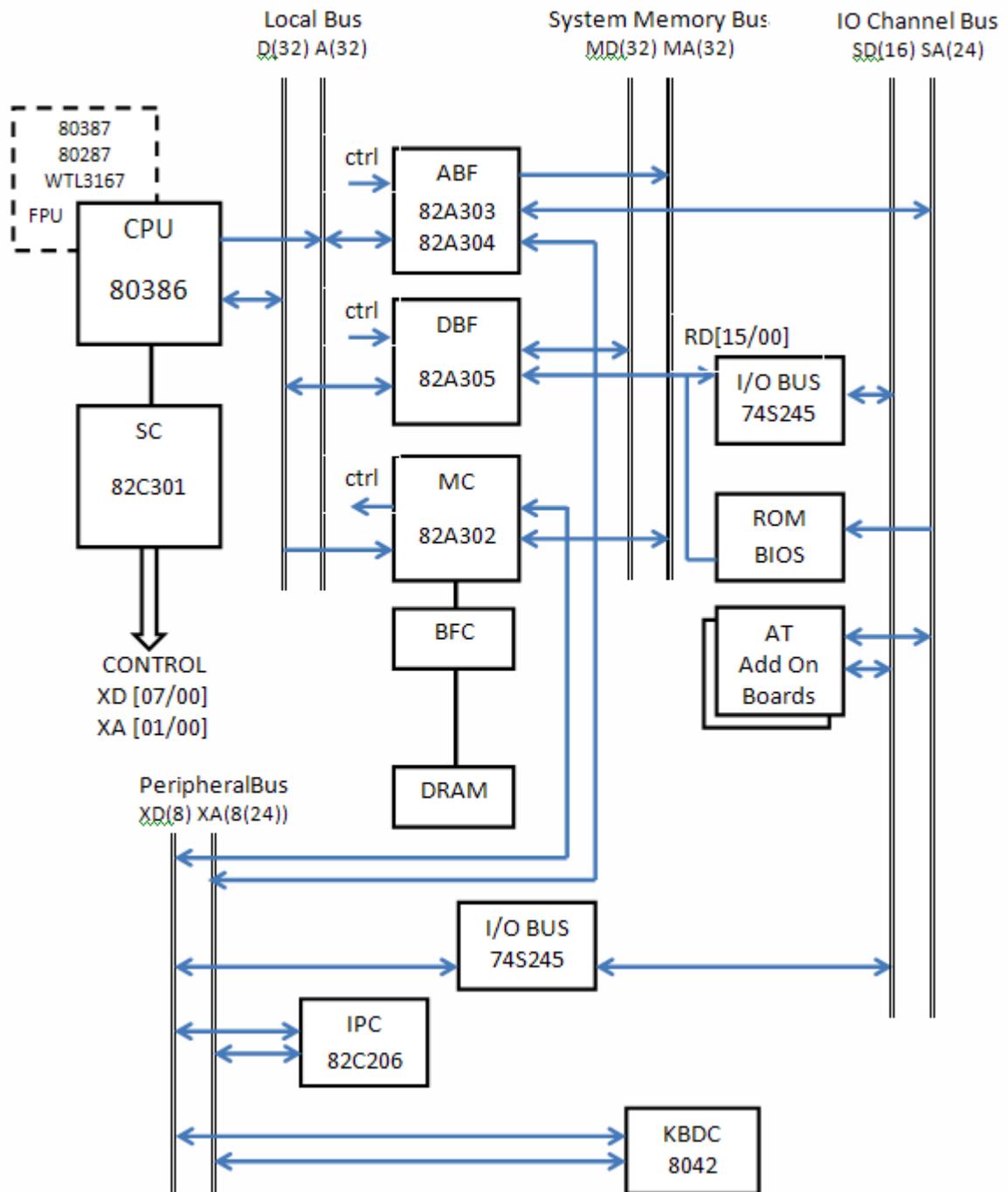


Рисунок 1.6 – Структурная схема системной платы i386 SX

На приведенной схеме использованы следующие обозначения:

- CPU** – центральный процессор,
- FPU** – математический сопроцессор,
- SC** – SystemControl - системный контроллер,
- ABF** – AddressBuffers – буферы адреса (303 – старшей, 304 – младшей) частей адреса,
- DBF** – Data Buffer – буфер данных,
- MC** – Memory Controller – контроллер ОЗУ,
- BFS** – Buffers – буферы памяти (КЭШ),
- DRAM** – ДОЗУ,
- I/O Bus** – приемопередатчики шин,
- ROM BIOS** – системное ПЗУ,
- AT** – адаптеры и контроллеры расширения системной шины,
- IPC** – Integrated Peripheral Controller – интегральный контроллер периферии,
- KBDC** – KeyboardController – контроллер клавиатуры.

Плата имеет следующие особенности:

- применяется модернизированный ISA-интерфейс, включающий в себя дополнительный разъем для организации доступа в подсистему DRAM по 32-битовой шине данных;
- управление обменом выполняется CPU i386 в режиме pipelinedmode – конвейеризации адресов в 32-битовом формате;
- аппаратно-программные средства обеспечивают доступ к DRAM в режиме InterleavingOrganization – чередование банков памяти;
- допускается страничный, по 2 Кбайт, режим (PageMode) работы ОЗУ;
- для повышения гибкости работы системы, в ряде контроллеров дополнительно программируются регистры конфигурации портов ввода-вывода;
- ПЗУ базовой системы ввода-вывода ROM BIOS, объемом 64 Кбайт, включает в себя программу Extended CMOS SetUp или NewSetUp, из которой и загружаются вышеуказанные порты регистров конфигурации, в результате чего, по желанию пользователя, могут быть изменены параметры теневой ОЗУ (Shadow RAM), отменена проверка паритета DRAM (ParityCheck DRAM), обеспечивается независимое программирование рабочей скорости CPU, DMA, системной шины, задержки в управлении памятью и устройствами ввода-вывода;
- в составе клона IBM PC\AT, для периферийного оборудования может быть установлен менеджер режимов питания, позволяющий переводить модули обрамления в экономичный режим энергопотребления, если ВС находится в режиме простоя (Ti-Idle). Сам менеджер имеет автономную систему питания и организован на чипе i82347

1.5.2 Архитектура шин чипсета группы 8230

Системная плата IBM PC386 с набором чипсета 8230 имеет следующую систему шин:

1. 32-битовая **локальная** шина адреса LocalBusA[31/02] связывает:
 - CPU 80386,
 - FPU 80387 или WEITEK WTL3167, если имеется его розетка,
 - буферы адреса 82A303 и 82A304,
 - контроллер DRAM 82A302;
2. 24-битовая **системная** шина адреса IOChannelBusSA[23/00] формируется буферами адреса 82A303, 82A304 и используется в подсистеме ввода-вывода для карт расширения UVB;
3. 24-битовая шина **расширения адреса** PeripheralBusXA[23/00] формируется буферами адреса 82A303, 82A304 и используется контроллером IPS 82C206 также для доступа к ROM BIOS, а часть адреса XA[01/00] – и для доступа к портам модулей системной поддержки;
4. 10-битовая шина **адреса DRAM** MA[09/00] – мультиплексируемая шина для передачи адреса из контроллера MC 82A302 в DRAM для доступа к ячейкам DRAM;

5. 32-битовая **локальная** шина данных LocalBusD[31/00] – двунаправленная шина с Z-состоянием, подключена к нагрузочным сопротивлениям 32x10 КОм и коммутирована к сопроцессору и буферам данных DBF 82A305.

Локальные шины A[31/02], D[31/00] и XA[01/00] могут быть организованы в подсистему расширения локальной шины VESA, для использования в системе скоростных 32-битовых УВВ, минуя арбитраж.

6. 16-битовая **системная** шина данных IOChannelBusSD[15/00] формируется на буферах данных DBF 82A305 и двунаправленных шинных формирователях IO BUS типа 74S245.

7. Для доступа к ROM BIOS используется **локальная** шина RD[15/00], преобразование которой в шину IOChannelBusSD[15/00] производит второй шинный формирователь IO BUS 74S245. Системные шины доступны, если управляющая ПЛИС PAL16L8 (системный контроллер SC 82C301) декодировала одну из комбинаций управляющих сигналов, предназначенных для доступа к картам УВВ.

8. 32-битовая **шина данных** DRAM SystemMemoryBusMD[31/00] связывает DRAM и буфер данных DBF 82A305. Полная ширина линий MD[31/00] выведена и на специальный разъем расширения DRAM.

9. 8-битовая шина **расширения данных** PeripheralBusXD[07/00] предназначена для доступа к информации периферийных портов обрамления УВВ, расположенных в контроллерах SC 82A301, MC 82A302, PC 82C206. Для организации доступа к 8-битовым устройствам через 16-битовую магистраль IOChannelBusSD[15/00], используются два цикла обмена, в течение которых на PeripheralBusXD[07/00], через буфер I/O BUS 74S245, посылается от/к УВВ по одному байту.

В слотах УВВ имеются разъемы для набора сигналов группы интерфейсов XT/AT-BUS.

Выводы

На данном этапе работы был исследован предложенный набор комплектующих, сделана опись комплекта. В данном разделе был представлен обзор используемой материнской платы, приведен перечень всех имеющихся на ней микросхем и разъемов, а так же дано их подробное описание. Кроме того, было дано подробное описание шины ISA с распиновкой и временными диаграммами работы шины. Представлена структурная схема предложенной системной платы.

2 ПРОЦЕСС ЗАГРУЗКИ КОМПЬЮТЕРА

Рассмотрим процесс загрузки компьютера, оснащенного материнской платой, на которой установлен BIOS AWARD и Intel-совместимый микропроцессор, а в качестве ОС - Windows 98.

После нажатия кнопки **Power** источник питания выполняет самотестирование. Если все напряжения соответствуют номинальным, источник питания спустя 0,1...0,5 с выдает на материнскую плату сигнал **PowerGood**, а специальный триггер, вырабатывающий сигнал и, получив его, снимает сигнал сброса с соответствующего входа микропроцессора. Следует помнить, что сигнал RESET устанавливает сегментные регистры и указатель команд в следующие состояния (неиспользуемые в реальном режиме биты не указываются): **CS** = FFFFh; **IP** = 0; **DS** = **SS** = **ES** = 0 и сбрасывает все биты управляющих регистров, а также обнуляет регистры арифметическо-логического устройства. Во время действия сигнала RESET все тристабильные буферные схемы переходят в высокоимпедансное состояние. С момента снятия этого сигнала микропроцессор начинает работу в реальном режиме и в течение примерно 7 циклов синхронизации приступает к выполнению инструкции, считываемой из ROM BIOS по адресу FFFF:0000. Размер области ROM BIOS от этого адреса до конца равен 16 байт, и в ней по указанному адресу записана команда перехода на реально исполняемый код BIOS. В этот момент процессор не может выполнять никакую другую последовательность команд, поскольку нигде в любой из областей памяти, кроме BIOS, ее просто не существует. Последовательно выполняя команды этого кода, процессор реализует функцию начального самотестирования **POST** (Power-On Self Test). На данном этапе тестируются процессор, память и системные средства ввода/вывода, а также производится конфигурирование программно-управляемых аппаратных средств материнской платы. Часть конфигурирования выполняется однозначно, другая часть может определяться положением джамперов (перемычек или переключателей) системной платы, но ряд параметров возможно (а иногда и необходимо) устанавливать пользователю. Для этих целей служит утилита **Setup**, встроенная в код BIOS. Параметры конфигурирования, установленные с помощью этой утилиты, запоминаются в энергонезависимой памяти, питаемой от миниатюрной батарейки, размещенной на материнской плате. Часть из них всегда хранится в традиционной **CMOS Memory**, объединенной с часами и календарем **RTC** (Real Time Clock). Другая часть (в зависимости от фирмы-производителя) может помещаться и в энергонезависимую (например, флэш) память (**NVRAM**). Кроме этой части статически определяемых параметров, имеется область энергонезависимой памяти **ESCD** для поддержки динамического конфигурирования системы Plug and Play, которая может автоматически обновляться при каждой перезагрузке компьютера.

Утилита BIOS Setup имеет интерфейс в виде меню или отдельных окон, иногда даже с поддержкой мыши. Для входа в Setup во время выполнения POST появляется предложение нажать клавишу DEL. В других типах BIOS (в отличие от указанного выше) для этого может использоваться сочетание клавиш Ctrl+Alt+Esc, Ctrl+Esc, клавиша Esc, бывают и другие варианты (например, нажать клавишу F12 в те секунды, когда в правом верхнем углу экрана виден прямоугольник). В последнее время появились версии BIOS, в которых вход в Setup осуществляется нажатием клавиши F2, однако чаще клавиши F1 или F2 используются для вызова меню Setup, если POST обнаружит ошибку оборудования, которая может быть устранена сменой начальных установок. Для некоторых BIOS удержание клавиши INS во время POST позволяет установить настройки по умолчанию, отменяя все "ускорители". Это бывает удобно для восстановления работоспособности компьютера после попыток его неудачного "разгона". Выбранные установки сохраняются при выходе из Setup (по желанию пользователя) и начинают действовать с момента следующего выполнения POST.

При выполнении каждой подпрограммы POST записывает ее сигнатуру (код) в диагностический регистр. Этот регистр физически должен располагаться на специальной плате

диагностики (сигнатурном анализаторе, или так называемой POST-карте), устанавливаемой в слот системной шины при анализе неисправности. Такие POST-карты бывают в двух исполнениях: для шин ISA и PCI. На данной плате обязательно устанавливается двухразрядный семисегментный индикатор, высвечивающий содержимое регистра диагностики. Возможно также наличие двоичного индикатора адреса. В пространстве ввода/вывода регистр занимает один адрес, зависящий от архитектуры PC (версии BIOS). Например, для ISA, EISA - 80h; ISA Compaq - 84h; ISA-PS/2 - 90h; для некоторых моделей EISA - 300h; MCA-PS/2 - 680h. Имея в наличии подобный сигнатурный анализатор по индицируемым кодам, можно определить, на каком этапе остановился POST. Зная специфическую таблицу сигнатур для каждой версии BIOS, легко определить неисправность системной платы.

Перечислим в порядке выполнения основные тесты POST для BIOS AWARD V4.51 и их сигнатуры, высвечиваемые POST-картой на индикаторе регистра диагностики. Следует отметить, что далеко не все перечисленные ниже коды видны на индикаторе в процессе нормальной загрузки компьютера: некоторые высвечиваются лишь в том случае, если POST останавливается. Происходит это потому, что многие подпрограммы POST исполняются настолько быстро, что человеческий глаз не в состоянии уследить за индицируемым состоянием регистра диагностики, а некоторые коды появляются только при обнаружении неисправности. Для указанной версии BIOS первой исполняемой сигнатурой в последовательности POST является C0:

C0 - осуществляется программирование регистров микросхемы Host Bridge для установки следующих режимов:

- запрещается Internal и External Cache, а также операции с кэш-памятью;
- перед запретом Internal Cache очищается;
- Shadow RAM запрещается, вследствие чего происходит направление непосредственно к ROM циклов обращения к адресам расположения System BIOS. Эта процедура должна соответствовать конкретному чипсету;

Далее программируются PIIX ресурсы: контроллер DMA, контроллер прерываний, таймер, блок RTC. При этом контроллер DMA переводится в пассивный режим.

C1 - с помощью последовательных циклов запись/чтение определяется тип памяти, суммарный объем и размещение по строкам. И в соответствии с полученной информацией настраивается DRAM-контроллер. На этом же этапе процессор должен быть переключен в Protected Mode (защищенный режим).

C3 - проверяются первые 256 Кб памяти, которые в дальнейшем будут использованы как транзитный буфер, а также осуществляется распаковка и копирование System BIOS в DRAM.

C6 - по специальному алгоритму определяется наличие, тип и параметры External Cache.

CF - определяется тип процессора, а результат помещается в CMOS. Если по каким-либо причинам определение типа процессора закончилось неудачно, такая ошибка становится фатальной, и система, а соответственно и выполнение POST, останавливается.

05 - осуществляется проверка и инициализация контроллера клавиатуры, однако на данный момент прием кодов нажатых клавиш еще не возможен.

07 - проверяется функционирование CMOS и напряжение питания ее батареи. Если фиксируется ошибка питания, выполнение POST не останавливается, однако BIOS запоминает этот факт. Ошибка при контрольной записи/чтении CMOS считается фатальной, и POST останавливается на коде 07.

BE - программируются конфигурационные регистры Host Bridge и PIIX значениями, взятыми из BIOS.

0A - генерируется таблица векторов прерываний, а также производится первичная настройка подсистемы управления питанием.

0B - проверяется контрольная сумма блока ячеек CMOS, а также, если BIOS поддерживает PnP, выполняется сканирование устройств ISA PnP и инициализация их параметров. Для PCI-устройств устанавливаются основные (стандартные) поля в блоке конфигурационных регистров.

0С - инициализируется блок переменных BIOS.

0D/0E - определяется наличие видеоадаптера путем проверки наличия сигнатуры 55AA по адресу начала Video BIOS (C0000:0000h). Если Video BIOS обнаружен и его контрольная сумма правильная, включается процедура инициализации видеоадаптера. С этого момента появляется изображение на экране монитора, высвечивается заставка видеоадаптера, инициализируется клавиатура. Далее по ходу POST тестируется контроллер DMA и контроллер прерываний.

30/31 - определяется объем Base Memory и External Memory, и с этого момента начинается отображаемый на экране тест оперативной памяти.

3D - инициализируется PS/2 mouse.

41 - производится инициализация подсистемы гибких дисков.

42 - выполняется программный сброс контроллера жестких дисков. Если в Setup указан режим AUTO, производится детектирование устройств IDE, в противном случае параметры устройств берутся из CMOS. В соответствии с конфигурацией системы размаскируются прерывания IRQ14 и IRQ15.

45 - инициализируется сопроцессор FPU.

4E - настраивается клавиатура USB. На данном этапе становится возможен вход в CMOS Setup по нажатию клавиши DEL.

4F - осуществляется запрос на ввод пароля, если это предусмотрено установками CMOS Setup.

52 - производится поиск и инициализация ПЗУ дополнительных BIOS, а также картируется каждая из линий запросов прерывания PCI.

60 - если в Setup включен данный режим, устанавливается антивирусная защита BOOT Sector.

62 - осуществляется автоматический переход на зимнее или летнее время, для клавиатуры настраиваются состояние NumLock и режим автоповтора.

63 - корректируются блоки ESCD (только для PNP BIOS) и производится очистка ОЗУ.

B0 - это состояние записывается в регистр сигнатурного анализатора только в случае наличия ошибок, например, при тесте Extended Memory. Если при работе в Protected Mode сбои отсутствуют, то POST не включает эту ветвь. При наличии страничных нарушений и других исключительных ситуаций управление будет передано на эту процедуру, она выведет код B0 в порт 80(84)h и остановится.

FF - последний этап, на котором подводится итог тестирования, - успешная инициализация аппаратных средств компьютера сопровождается одиночным звуковым сигналом, после чего осуществляется передача управления загрузчику BOOT-сектора.

Порядок поиска загрузочного диска на компьютерах x86 (FDD, жесткие диски IDE и SCSI, устройства CD-ROM) задает BIOS. Современные BIOS позволяют переконфигурировать этот порядок, называемый последовательностью загрузки (boot sequence). Если при этом дисковод A: включен в последовательность загрузки первым и в нем находится дискета, BIOS попытается использовать эту дискету в качестве загрузочной. Если дискеты в дисковом нет, BIOS проверяет первый жесткий диск, который к этому времени уже инициализировался, и выполняет команду INT19h. Процедура обработки прерывания INT19h для загрузки BOOT-сектора должна прочитать сектор с координатами Cylinder:0 Head:0 Sector:1 и поместить его по адресу 0000:7C00h, после чего осуществляется проверка, является ли диск загрузочным. Сектор MBR (Master Boot Record - главная загрузочная запись) на жестком диске находится по тому же физическому адресу, что и BOOT-сектор на дискете (цилиндр 0, сторона 0, сектор 1).

Если при проверке загрузочный сектор не обнаружен, т.е. два последних байта этого сектора (его сигнатура) не равны 55AAh, вызывается прерывание INT18h. При этом на экране появляется предупреждающее сообщение, зависящее от производителя BIOS компьютера.

Сектор MBR записывается на жесткий диск программой FDISK, поэтому если HDD был отформатирован на низком уровне, во всех его секторах находятся нули и, естественно, первый

сектор не может содержать необходимой сигнатуры. Отсюда следует, что сообщения об ошибке будут выдаваться, если диск не разбивался на разделы (логические диски). Главная загрузочная запись обычно не зависит от операционной системы (на платформах Intel она используется для запуска любой из операционных систем). Код, содержащийся в главной загрузочной записи, сканирует таблицу разделов (partition table) в поисках активного системного раздела. Если в таблице разделов активный раздел не обнаружен или хотя бы один раздел содержит неправильную метку, а также если несколько разделов помечены как активные, выдается соответствующее сообщение об ошибке.

Код главной загрузочной записи определяет расположение загрузочного (активного) раздела, считывая таблицу разделов, расположенную в конце MBR. Если активный раздел найден, производится чтение его загрузочного сектора и определяется, является ли он действительно загрузочным. Попытка чтения может осуществляться до пяти раз, в противном случае выдается сообщение об ошибке, и система останавливается. Если загрузочный сектор найден, Master Boot Record передает управление коду загрузочного сектора в активном (загрузочном) разделе, который содержит загрузочную программу и таблицу параметров диска. Загрузочный сектор раздела просматривает блок параметров BIOS в поисках расположения корневого каталога, а затем копирует из него в память системный файл IO.SYS (который, по сути, является частью DOS и включает в себя функции файла MSDOS.SYS из предыдущей версии DOS) и передает ему управление. IO.SYS загружает драйверы некоторых устройств и выполняет ряд операций, связанных с загрузкой. Сначала IO.SYS считывает файл MSDOS.SYS. Нужно помнить, что этот файл не похож на одноименные файлы из предыдущих версий DOS. В Windows 98 MSDOS.SYS является текстовым файлом, содержащим опции процедуры запуска. Затем загружается и отображается файл LOGO.SYS (стартовая заставка).

На следующем этапе IO.SYS считывает информацию из системного реестра, а также исполняет файлы CONFIG.SYS и AUTOEXEC.BAT (при их наличии в корневом каталоге). При этом загружаются драйверы устройств, работающих в реальном режиме работы процессора, выполняются некоторые системные установки. Ниже приводится неполный список возможных драйверов и программ, загружаемых на данном этапе.

DBLSPACE.BIN или DRVSPACE.BIN. Драйвер сжатия дисков.

HIMEM.SYS. Администратор верхней памяти в реальном режиме работы процессора.

IFSHLP.SYS. Оказывает содействие при загрузке VFAT и прочих файловых систем, поддерживающих Windows 98.

SETVER.EXE. Утилита, подменяющая номер версии операционной системы. Существуют программы, ориентированные на более ранние версии операционных систем и отказывающиеся функционировать под Windows 98. Благодаря SETVER.EXE подобной программе возвращается именно тот номер версии DOS, который ее устраивает.

DOS=HIGH. Загружает DOS в область памяти HMA. Если в файле конфигурации CONFIG.SYS содержится инструкция для загрузки администратора отображаемой памяти EMM386.EXE, в эту строку добавляется параметр UMB, позволяющий EMM386.EXE использовать верхнюю память.

Нужно помнить, что IO.SYS не загружает администратор EMM386.EXE автоматически. Поэтому, если планируется его использование, в файл CONFIG.SYS необходимо вставлять строку DEVICE=EMM386.EXE.

FILES=30. В этой строке определяется число создаваемых дескрипторов файла. Windows 98 не использует это параметр; он включен для совместимости с предыдущими версиями программ.

LASTDRIVE=Z. Здесь определяется последняя буква для логических дисков. Эта опция также введена для обратной совместимости и не используется Windows 98.

BUFFER=30. Определяет число создаваемых файловых буферов. Буферы файлов используются приложениями при вызовах подпрограмм ввода/вывода из файла IO.SYS.

STACKS=9,256. Этой записью определяется число кадров стека и размер каждого кадра.

FCBS=4. Данная команда задает число блоков управления файлом. Оба последних параметра применяются только для обратной совместимости.

На последнем этапе загружается и запускается файл WIN.COM. Он обращается к файлу VMM32.VXD. Если в компьютере установлен достаточный объем ОЗУ, то этот файл загружается в память, в противном случае организуется доступ к этому файлу на жестком диске, что, естественно, увеличивает время загрузки. Загрузчик драйверов реального режима сравнивает копии виртуальных драйверов устройств (VxD) в папке Windows/System/VMM32 и файле VMM32.VXD. Если виртуальный драйвер устройства существует и в папке, и в файле, копия виртуального драйвера "помечается" в файле VMM32.VXD как незагружаемая. Виртуальные драйверы устройств, не загруженные с помощью файла VMM32.VXD, загружаются из раздела [386 Enh] файла SYSTEM.INI папки Windows. Во время описанного процесса загрузчик драйверов виртуальных устройств реального режима постоянно проверяет правильность загрузки всех необходимых виртуальных драйверов устройств, а при появлении ошибки при загрузке нужного драйвера он пытается выполнить эту операцию еще раз. После загрузки виртуальные драйверы устройств реального режима инициализируются, затем файл VMM32.VXD переключает процессор в защищенный режим, и начинается процесс инициализации виртуальных драйверов устройств согласно их параметру InitDevice. Процедура загрузки ОС заканчивается загрузкой файлов KRNL32.DLL, GDI.EXE, USER.EXE и EXPLORER.EXE. Если компьютер подключен к сети, то загружается сетевое окружение. Пользователю предлагается ввести имя и пароль для входа в сеть. Затем из системного реестра загружается конфигурация с параметрами, установленными по умолчанию. На последней фазе загрузки операционной системы производится обработка содержимого папки Startup (Автозагрузка) и запускаются указанные в ней программы. После этого ОС готова к работе.

Существует несколько стандартных способов, позволяющих видоизменить описанную выше процедуру запуска:

- при исполнении POST на этапе проверки памяти и инициализации загрузочных устройств нажать кнопку клавиатуры DEL для входа в программу Setup;
- вставить перед окончанием теста оборудования загрузочный диск (например, аварийный диск Windows 98);
- внести исправления в файл CONFIG.SYS;
- отредактировать файл AUTOEXEC.BAT.

Помимо них, Windows 98 предоставляет ряд менее очевидных методов для выполнения этой же задачи:

- после завершения теста оборудования клавишей F8 вызвать меню Startup;
- отредактировать инструкции запуска системы в файле MSDOS.SYS;
- использовать один из перечисленных методов для "остановки" в режиме DOS, после чего запустить Windows из командной строки с набором необходимых ключей;
- изменить содержимое папки Startup.

Выводы

В данном разделе был подробно описан процесс загрузки компьютера от нажатия кнопки Power до загрузки ОС и полной готовности ее к работе. Были перечислены основные тесты функции начального самотестирования POST, высвечиваемые POST-картой.

Также были приведены некоторые способы изменения стандартной процедуры запуска компьютера.

3 НАСТРОЙКА BIOS (BIOS SETUP)

Внешний вид подпрограммы BIOS Setup представлен на рисунке 3.1.

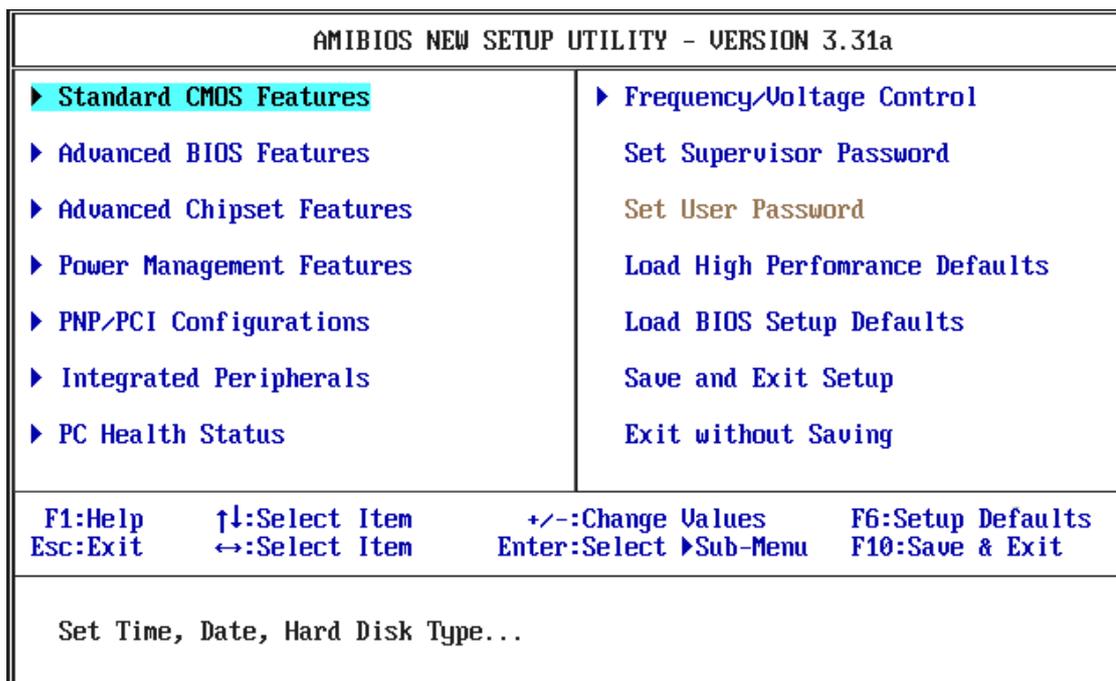


Рисунок 3.1 – Внешний вид BIOS Setup

3.1 Standard CMOS Features (Стандартная настройка CMOS)

Собранные в данном разделе настройки отвечают за: установку времени и даты; языка интерфейса; характеристик накопителей, подключенных к IDE/SATA-контроллеру чипсета; тип используемых дисководов. Внешний вид раздела представлен на рисунке 3.2.

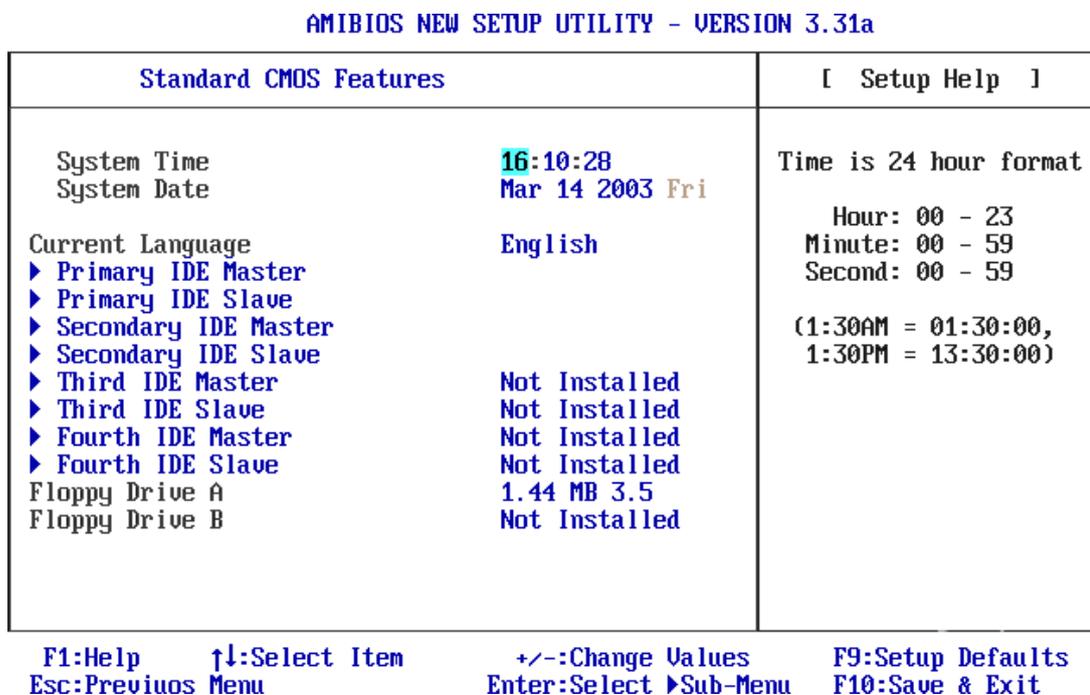


Рисунок 3.2 – Стандартная настройка CMOS

3.2 Advanced BIOS Features (Настройка функций BIOS)

Собранные в данном разделе настройки отвечают за: вывод системных сообщений при загрузке компьютера; порядок опроса устройств при загрузке операционной системы; клавиатуру; кэш память процессора; многопоточность; затенение областей памяти. Внешний вид раздела представлен на рисунке 3.3.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

Advanced BIOS Features	[Setup Help]
Quick Boot	Enabled
▶ Boot Device Select ...	
Full Screen LOGO Show	Disabled
S.M.A.R.T. for Hard Disks	Disabled
BootUp Num-Lock	On
Floppy Drive Swap	Disabled
Floppy Drive Seek	Disabled
Password Check	Setup
Save current ROM to HDD	No
Boot To OS/2	No
Hyper Threading Function	Enabled
MPS Revision	1.4
APIC ACPI SCI IRQ	Disabled
CPU L1 & L2 Cache	Enabled
System BIOS Cacheable	Disabled
C000,32k Shadow	Cached

F1:Help ↑↓:Select Item +/-:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.3 – Настройка функций BIOS

3.3 Advanced Chipset Features (Настройка функций чипсета)

Собранные в данном разделе настройки отвечают за: настройки оперативной памяти; некоторые настройки видеокарты; режимы работы шины AGP (быстродействующая шина для обработки большого объема графической информации); параметры и режимы работы шины PCI. Внешний вид раздела представлен на рисунке 3.4.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

Advanced Chipset Features	[Setup Help]
▶ DRAM Timing Setting ...	
AGP Aperture Size	64MB
Internal Graphics Mode Select	8MB

F1:Help ↑↓:Select Item +/-:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.4 – Настройка функций чипсета

3.4 Integrated Peripherals (Встроенные периферийные устройства)

Собранные в данном разделе настройки отвечают за настройки «чипсетных» контроллеров и интегрированных на плате устройств: USB - контроллер; стандартный IDE/SATA - контроллер; сетевой контроллер; интегрированный аудио контроллер; контроллер дисководов; последовательные порты; параллельный порт. Внешний вид раздела представлен на рисунке 3.5.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

Integrated Peripherals	[Setup Help]
USB Controller Enabled USB Device Legacy Support Disabled ▶ On-Chip IDE Configuration C.S.A. Gigabit Ethernet Auto OnBoard 1394 Enabled OnBoard Promise IDE As S-ATA AC'97 Audio Auto ▶ Set Super I/O	

F1:Help ↑↓:Select Item +/=:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.5 – Встроенные периферийные устройства

3.5 Power Management Setup (Настройка управления питанием)

Собранные в данном разделе настройки отвечают за: интерфейс расширенного конфигурирования и управления питанием (ACPI); расширенное управление питанием; включение и выключение компьютера; пробуждение компьютера при активности устройств или по таймеру; слежение за активностью устройств. Внешний вид раздела представлен на рисунке 3.6.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

Power Management Features	[Setup Help]
ACPI Standby State S1/POS Re-Call UGA BIOS at S3 Resuming Enabled Power Management/APM Enabled Suspend Time Out (Minute) Disabled Power Button Function On/Off Restore on AC/Power Loss Last State ▶ Set Monitor Events ... ▶ Set Wake Up Events ...	

F1:Help ↑↓:Select Item +/=:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.6 – Настройка управлением питанием

3.6 PnP/PCI Configurations (Настройка PnP/PCI)

Собранные в данном разделе настройки отвечают за: порядок распределения ресурсов; конфигурацию шины PCI; резервирование ресурсов для плат расширения. Внешний вид раздела представлен на рисунке 3.7.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

PNP/PCI Configurations	[Setup Help]
Clear NVRAM No PCI Latency Timer (PCI Clocks) 32 Init. Graphics Adapter Priority AGP/Int-UGA PCI IDE BusMaster Disabled PCI Slot1 IRQ Priority Auto PCI Slot2/5 IRQ Priority Auto PCI Slot3 IRQ Priority Auto PCI Slot4 IRQ Priority Auto ▶ Set IRQs to PCI or ISA ▶ Set DMAs to PnP or ISA	

F1:Help ↑↓:Select Item +/-:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.7 – Настройка PnP/PCI

3.7 PC Health Status (Состояние ПК)

В данном разделе отображаются результаты системного мониторинга за: температурой компонентов; скоростями вращения вентиляторов; напряжениями линий питания. Внешний вид раздела представлен на рисунке 3.8.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

PC Health Status	[Setup Help]
Chassis Intrusion Disabled CPU Temperature 80°C/176°F System Temperature 39°C/102°F CPU Fan Speed 4328RPM MB Fan Speed 2516RPM Vcore 1.748V 3.3V 3.310V + 5.0V 5.143V +12.0V 11.857V -12.0V 12.125V - 5.0V 4.986V Battery 3.254V +5V SB 4.892V	

F1:Help ↑↓:Select Item +/-:Change Values F9:Setup Defaults
 Esc:Previous Menu Enter>Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.8 – Состояние ПК

3.8 Frequency/Voltage Control (Контроль частоты/напряжения)

Собранные в данном разделе настройки отвечают за параметры разгона: порядок управление частотой работы оперативной памяти; контроль частоты и множителя процессора; контроль частот шин; увеличение напряжения питания компонентов. Внешний вид раздела представлен на рисунке 3.9.

AMIBIOS NEW SETUP UTILITY - VERSION 3.31a

Frequency/Voltage Control		[Setup Help]
CPU Ratio Selection	8.0x	
DRAM Frequency	Auto	
Spread Spectrum	Enabled	
Adjust CPU Bus Clock(MHz)	133	
DDR Clock(MHz)	133	
Adjust AGP/PCI Clock(MHz)	66.66/33.33	
CPU Vcore Adjust	No	
CPU Vcore	1.750V	
DDR Power Voltage	2.50V	
AGP Power Voltage	1.50V	

F1:Help ↑↓:Select Item +/-:Change Values F9:Setup Defaults
Esc:Previous Menu Enter:Select ▶Sub-Menu F10:Save & Exit

Рисунок 3.9 – Контроль частоты/напряжения

Выводы

На данном этапе работы были изучены настройки базовой системы ввода-вывода BIOS.

В данном разделе подробно описаны настройки подпрограммы BIOS Setup, приведен внешний вид подпрограммы и описано назначение настроек.

4 ДИАГНОСТИРОВАНИЕ ПК

Диагностирование ПК проводилось при помощи программы Checkit v3.0 под операционной системой MS DOS. Экран загрузки программы Checkit представлен на рисунке 4.1. Результаты диагностирования были сохранены в текстовые файлы.



Рисунок 4.1 – Программа Checkit v3.0

Результат выполнения команды SysInfo:

```

=== CONFIGURATION INFORMATION ===

DOS Version: 6.22
ROM BIOS: Award
BIOS Date: 12/08/98

Processor Type: 80486 AT Machine (A20 Active)
Math Coprocessor: 80486 FPU
Base Memory: 640K
Extended Memory: -1088K
EXPANDED Memory: No EMS driver installed
Video Adapter: VGA
Video Address: A000h
Hard Drive(s): Drive 0 (C:) = -166M
Floppy Drive(s): A:1.44M(3.5")
Clock/Calendar: CMOS Clock
Parallel Port(s): LPT1=378h
Serial Port(s): COM1=3F8h, COM2=2F8h
Mouse: None

Available: 560K
Available: 0K
EGA Switches: 0110
Video RAM Size: 256/512K
Joystick(s): None

```

Результат выполнения команды CMOS Table:

```

=== CMOS TABLE ===

Current Date & Time: 10/18/2011 02:11:10

Floppy Drive A: 1.44M(3.5")
Floppy Drive B: No Drive

Base Memory size: 640K
Extended Memory size: -1088K

Primary Display: EGA, PGA, VGA, etc.

DRIVE TYPE  CYLS  HEADS  SECTS  WRITE  PARK  STEP  CTRL  TOTAL
            0:    0    No Drive, ESDI Drive, or SCSI Drive.
            1:    0    No Drive, ESDI Drive, or SCSI Drive.
            PRECOMP  PLACE  RATE  BYTE  BYTES

```

Результат выполнения команды Device Drivers:

=== DOS DEVICE DRIVERS ===

BLOCK DEVICES

seg:off	# Drive(s)	Attr	DOS	Characteristics
0769:2192	3 D: to F:	08C2	3.20	STDOUT, IOCTL, Removable
0070:006B	3 A: to C:	08C2	3.20	STDOUT, IOCTL, Removable

CHARACTER DEVICES

seg:off	Name	Attr	DOS	Characteristics
0116:0048	NUL	8004	2.x	NUL
02B9:0000	CON	C053	3.20	STDIN, STDOUT, IOCTL,
0273:0000	XMSXXXX0	A000	2.x	
0255:0000	SETVERXX	8000	2.x	
0070:0023	CON	8013	2.x	STDIN, STDOUT
0070:0035	AUX	8000	2.x	
0070:0047	PRN	A0C0	3.20	IOCTL
0070:0059	CLOCK\$	8008	2.x	CLOCK
0070:007B	COM1	8000	2.x	
0070:008D	LPT1	A0C0	3.20	IOCTL
0070:009F	LPT2	A0C0	3.20	IOCTL
0070:00B8	LPT3	A0C0	3.20	IOCTL
0070:00CA	COM2	8000	2.x	
0070:00DC	COM3	8000	2.x	
0070:00EE	COM4	8000	2.x	

Таблица прерываний:

=== INTERRUPT USAGE ===

IRQ	Assignment	Device
IRQ 0	System Timer, SMARTDRV	None
IRQ 1	Keyboard, KEYB	
IRQ 2	[Cascade]	
IRQ 3	COM2	
IRQ 4	COM1	
IRQ 5	Available	
IRQ 6	Floppy Disk	
IRQ 7	LPT1	
IRQ 8	Clock/Calendar	
IRQ 9	VGA, (Active)	
IRQ 10	Available	
IRQ 11	Available	
IRQ 12	Available	
IRQ 13	80486 FPU	
IRQ 14	Hard Disk	
IRQ 15	Available	

DMA	Assignment
DMA 0	
DMA 1	
DMA 2	Floppy Disk
DMA 3	
DMA 4	[Cascade]
DMA 5	
DMA 6	
DMA 7	

Результат диагностирования жесткого диска:

=== HARD DISK 0 (C:) ===

Test Configuration:

Cylinders: 1024
 Heads: 255
 Sectors: 63
 Capacity: 4,127,719,424 Bytes

Test Results:

Controller Diagnostic Test.....Passed
 Linear Read.....Passed
 Butterfly Read.....Passed
 Random Read.....Passed

Результат диагностирования памяти:

=== MEMORY TEST ===

MEMORY CONFIGURATION:

Known Memory:
Base 640K From 0K to 640K (0000000h to 009FFFFh)
Extended None
EXPANDED None

Selected for Test:
Base 640K From 0K to 640K (0000000h to 009FFFFh)
Extended None
EXPANDED None

MEMORY TEST RESULTS: (QUICK TEST ONLY)

Program Buffers.....Passed
Base Memory.....Passed

Результат диагностирования гибкого диска:

=== FLOPPY DISK 0 (A:) ===

Test Configuration:

Maximum Capacity: 1.44MB
Currently Testing: 1.44MB

Test Results:

Random Read.....Passed
Random Write.....Passed

Результат диагностирования видео:

=== VIDEO GRAPHICS TEST ===

Mode 04h (CGA).....Passed
Mode 05h (CGA).....Passed
Mode 0Dh (EGA COLOR).....Passed
Mode 13h (MCGA).....Passed
Mode 06h (CGA).....Passed
Mode 0Eh (EGA COLOR).....Passed
Mode 0Fh (EGA MONO).....Passed
Mode 10h (EGA HIRES).....Passed
Mode 11h (MCGA).....Passed
Mode 12h (VGA).....Passed

Color Palette:

Mode 04h (CGA).....Passed
Mode 0Dh (EGA COLOR).....Passed
Mode 13h (MCGA).....Passed
Mode 0Eh (EGA COLOR).....Passed
Mode 10h (EGA HIRES).....Passed
Mode 12h (VGA).....Passed

Color Purity:

Red.....Passed
Green.....Passed
Blue.....Passed

Результат диагностирования часов:

=== CLOCK/CALENDAR TEST ===

```
Compare Current Time.....Passed
  DOS: 02:17:41.78   Real-Time Clock: 02:17:42.00   (.22 apart)
Compare Current Date.....Passed
  DOS: 10/18/2011   Real-Time Clock: 10/18/2011.
Real-Time Clock Alarm.....Passed
Compare Elapsed Time.....Passed
  DOS: 11.97 seconds   Real-Time Clock: 12.00 seconds   (.03 apart)
```

Результат диагностирования системы:

=== SYSTEM BOARD TEST ===

```
CPU Functions:
CPU General Functions.....Passed
CPU Interrupt Bug.....Passed
CPU 32-bit Multiply (80386 and above).....Passed
CPU Protected Mode (80286 and above).....Passed

NPU Functions:
NPU Arithmetic Functions.....Passed
NPU Trigonometric Functions.....Passed
NPU Comparison Functions.....Passed

Controllers:
DMA Controller(s).....Passed
Interrupt Controller(s).....Passed
```

Выводы

На данном этапе работы было проведено диагностирование ПК при помощи программы Checkit v3.0 под операционной системой MS DOS.

В данном разделе приведены результаты диагностирования жесткого и гибкого дисков, памяти, видео, часов и системы.

5 СНЯТИЕ ВРЕМЕННЫХ ДИАГРАММ ШИНЫ ISA

Временные диаграммы сигналов шины ISA получены при помощи цифрового осциллографа Owon PDS6062S. Внешний вид осциллографа представлен на рисунке 5.1. Технические характеристики осциллографа представлены в таблице 5.1.

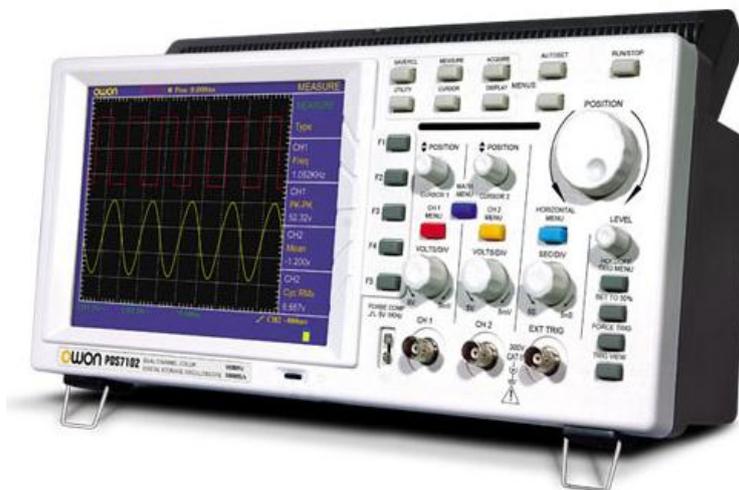


Рисунок 5.1 – Цифровой осциллограф Owon PDS6062S

Таблица 5.1 – Технические характеристики осциллографа Owon PDS6062S

Параметр	Значение
Полоса пропускания, МГц	60
Максимальная частота выборки, Мвыб/с	250
Вход	
Связь входа	DC/AC/GND
Импеданс входа	1МОм±2%, 20пФ±3пФ
Коэффициенты ослабления пробника	1X, 10X, 100X, 1000X
Максимальное входное напряжение, В	300
По горизонтали	
Диапазон частоты выборки	10выб/с~250Мвыб/с
Интерполяция осциллограммы	(sin x)/x
Длина записи, точек	6000
Диапазон коэффициентов	5нс/дел.~5с/дел. с шагом из ряда 1-2-5
По вертикали	
АЦП	8 бит
Диапазон коэффициентов	5мВ/дел.~5В/дел
Дисплей	
Тип	7,8 дюймов ЖК TFT
Разрешение	640 x 480
Цвет	256 оттенков
Интерфейс	
Интерфейс связи с ПК	USB

Для снятия временных диаграмм, опорный контакт щупа осциллографа посажен на контакт В1 шины ISA (GND), как показано на рисунке 5.2. С помощью второго контакта щупа снимается требуемый сигнал. После получения изображения на экране осциллографа, оно передается на персональный компьютер по интерфейсу USB. Также передаются параметры сигнала.

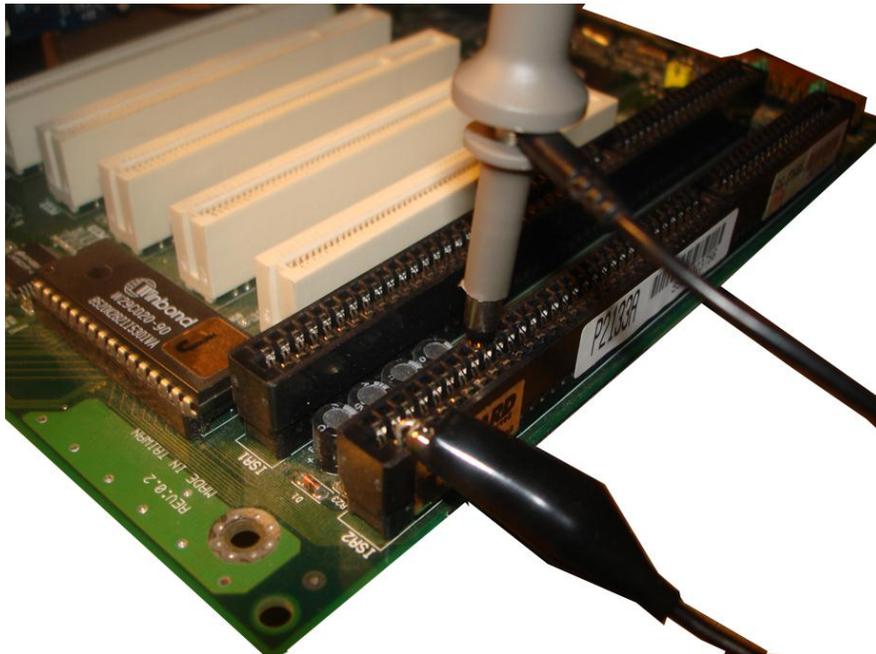


Рисунок 5.2 – Подключение щупа осциллографа

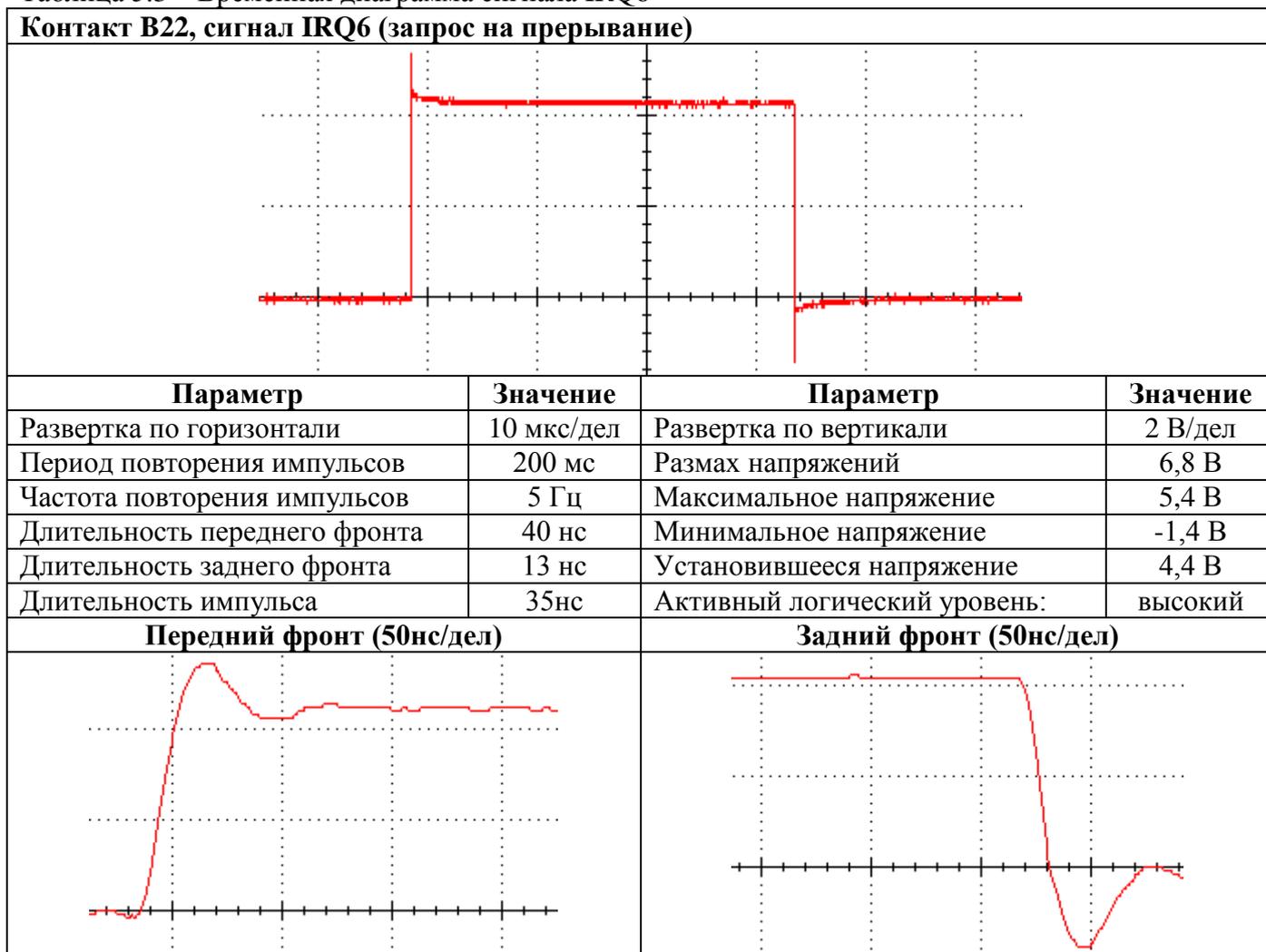
В таблице 5.2 представлены временные диаграммы, снятые с контактов В20 (!CLK) и В30 (OSC) шины ISA.

Таблица 5.2 – Временные диаграммы сигналов CLK и OSC

Контакт В20, сигнал CLK (тактовый сигнал)			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	50 нс/дел	Развертка по вертикали	2 В/дел
Период	122 нс	Размах напряжений	3,6 В
Частота	8,353 Мгц	Максимальное напряжение	3,2 В
Длительность переднего фронта	40 нс	Минимальное напряжение	-400 мВ
Длительность заднего фронта	13 нс	Активный логический уровень:	низкий
Контакт В30, сигнал OSC (тактовый сигнал)			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	50 нс/дел	Развертка по вертикали	2 В/дел
Период	70 нс	Размах напряжений	4,12 В
Частота	14,319 Мгц	Максимальное напряжение	3,52 В
Длительность переднего фронта	19 нс	Минимальное напряжение	-560 мВ
Длительность заднего фронта	16 нс	Активный логический уровень:	высокий

В таблице 5.3 представлена временная диаграмма, снятая с контакта В22 (IRQ6) во время диагностирования работы дисководов гибких дисков.

Таблица 5.3 – Временная диаграмма сигнала IRQ6



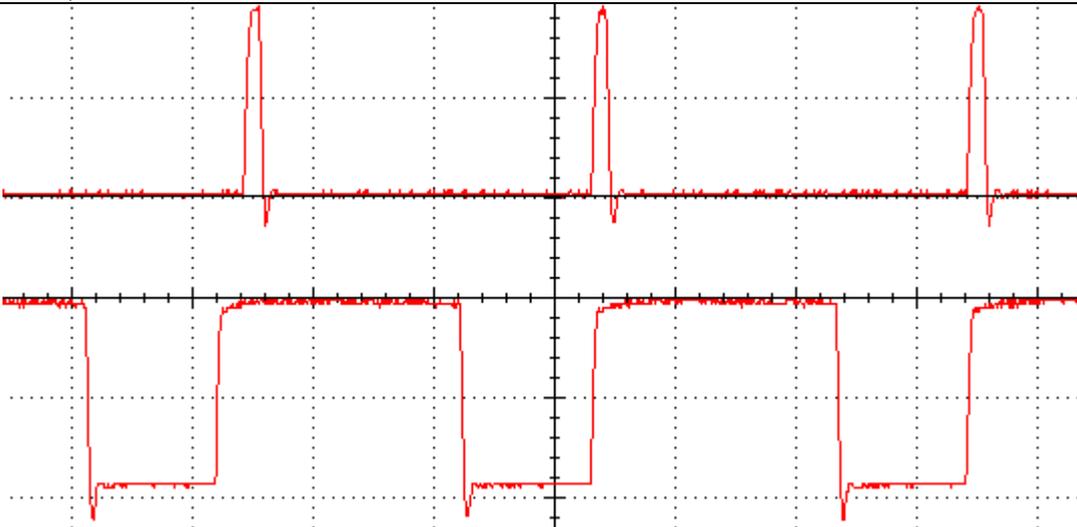
В таблице 5.4 представлены временные диаграммы, снятые с контактов В20 (CLK), В19 (REFRESH), В12 (SMEMR) во время тестирования видео.

Таблица 5.4 – Временные диаграммы сигналов CLK, REFRESH и SMEMR

Контакты В20, В13, В19, В12			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	200 нс/дел	Развертка по вертикали	5 В/дел
Контакт В19, сигнал REFRESH (Цикл регенерации)			
Период	15 мс	Размах напряжений	6,5 В
Частота	66,3 кГц	Максимальное напряжение	4,5 В
Длительность переднего фронта	23 нс	Минимальное напряжение	-2 В
Длительность заднего фронта	50 нс	Установившееся напряжение	-100 мВ
Длительность импульса	450 нс	Активный логический уровень:	низкий
Контакт В12, сигнал SMEMR (Чтение данных из системной памяти)			
Период	15 мс	Размах напряжений	6,6 В
Частота	66,3 кГц	Максимальное напряжение	4,6 В
Длительность переднего фронта	26 нс	Минимальное напряжение	-2 В
Длительность заднего фронта	40 нс	Установившееся напряжение	-100 мВ
Длительность импульса	230 нс	Активный логический уровень:	низкий

В таблице 5.5 представлены временные диаграммы, снятые с контактов B28 (BALE) и B13 (IOW) во время тестирования видео.

Таблица 5.5 – Временные диаграммы сигналов BALE и IOW

Контакты B28, B13			
			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	500 нс/дел	Развертка по вертикали	2 В/дел
Контакт B28, сигнал BALE (Стробирование адреса)			
Период	1,46 мс	Размах напряжений	4,4 В
Частота	711 кГц	Максимальное напряжение	3,68 В
Длительность переднего фронта	21 нс	Минимальное напряжение	-720 мВ
Длительность заднего фронта	11 нс	Установившееся напряжение	10 мВ
Длительность импульса	40 нс	Активный логический уровень:	высокий
Контакт B13, сигнал IOW (Запись данных в УВВ)			
Период	1,51 мс	Размах напряжений	4,48 В
Частота	644,6 кГц	Максимальное напряжение	3,58 В
Длительность переднего фронта	11 нс	Минимальное напряжение	-0,9 В
Длительность заднего фронта	16 нс	Установившееся напряжение	-100 мВ
Длительность импульса	530 нс	Активный логический уровень:	низкий

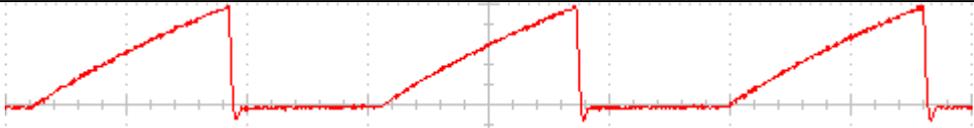
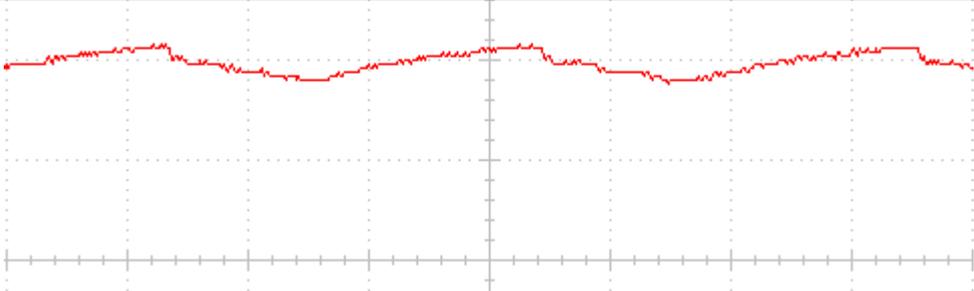
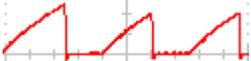
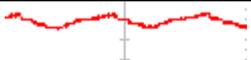
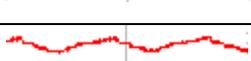
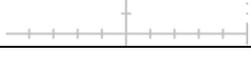
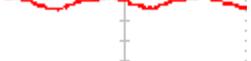
В таблице 5.6 представлены временные диаграммы, снятые с контактов А31-А23 (адресные биты 0-8) во время тестирования видео.

Таблица 5.6 – Временные диаграммы адресных битов 0-8

Контакты А31-В23					
A31					
A30					
A29					
A28					
A27					
A26					
A25					
A24					
A22					
Параметр		Значение	Параметр		Значение
Развертка по горизонтали		20 мс/дел	Развертка по вертикали		5 В/дел
Период		30 мс	Размах напряжений		4,2 В
Частота		33,1 кГц	Максимальное напряжение		3,4 В
Длительность переднего фронта		8 нс	Минимальное напряжение		-800 мВ
Длительность заднего фронта		13 нс	Установившееся напряжение		-240 мВ/ 3,6В
Длительность импульса		475 нс	Активный логический уровень:		высокий

В таблице 5.7 представлены временные диаграммы, снятые с контактов А9-А2 (биты данных 0-7) во время тестирования видео.

Таблица 5.7 – Временные диаграммы битов данных 0-7

Сигнал 1			
			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	500 нс/дел	Развертка по вертикали	2 В/дел
Период	1,5 мс	Размах напряжений	2,3 В
Частота	644 кГц	Максимальное напряжение	2 В
Длительность переднего фронта	516 нс	Минимальное напряжение	-0,3 В
Длительность импульса	166 нс	Активный логический уровень:	высокий
Сигнал 2			
			
Параметр	Значение	Параметр	Значение
Развертка по горизонтали	500 нс/дел	Развертка по вертикали	2 В/дел
Минимальное напряжение	3,4 В	Размах напряжений	840 мВ
	Красный	Зеленый	Синий
А9			
А8			
А7			
А6			
А5			
А4			
А3			
А2			

В таблице 5.8 представлены временные диаграммы сигналов при тестировании дисководов гибких дисков.

Контакт	Вид временной диаграммы			
B28 (BALE)				
B13 (IOW)				
B14 (IOR)				
Адрес				
Данные				
Параметр		Значение	Параметр	
Развертка по горизонтали		10 мкс/дел	Развертка по вертикали	
B28 (BALE)				
B13 (IOW)				
B14 (IOR)				
Адрес				
Данные				
Параметр		Значение	Параметр	
Развертка по горизонтали		500 нс/дел	Развертка по вертикали	

Выводы

На данном этапе работы было произведено снятие временных диаграмм сигналов шины ISA. Представлены внешний вид и технические характеристики осциллографа, с помощью которого осуществлялось снятие временных диаграмм, а также дано краткое описание процесса измерений.

В данном разделе представлены временные диаграммы, иллюстрирующие тактовые сигналы, сигнал запроса на прерывание.

Кроме того были сняты временные диаграммы во время тестирования видео: на монитор подавались красный, зеленый и синий цвета.

Полученные диаграммы соответствуют теоретическим диаграммам, рассмотренным в п. 1.4.3 (описание шины ISA).

ВЫВОДЫ ПО ПРОДЕЛАННОЙ РАБОТЕ

В рамках данной работы были успешно выполнены следующие задачи:

1) Исследован и подробно описан предложенный набор комплектующих.

2) Осуществлена сборка полностью рабочей ПЭВМ из предложенных комплектующих.

Возникающие трудности были решены путем замены неисправных комплектующих на исправные.

3) Подробно изучен процесс загрузки компьютера от нажатия кнопки Power до загрузки ОС и полной готовности ее к работе.

4) Изучены настройки базовой системы ввода-вывода BIOS.

5) На собранную ПЭВМ установлена операционная система MS DOS, проведено диагностирование ПЭВМ под MS DOS при помощи программы Checkit v3.0.

6) Подробно изучена шина ISA путем снятия временных диаграмм и сравнения результатов с теоретическими диаграммами работы шины ISA.

7) Сделаны выводы по каждому разделу.

ПРИЛОЖЕНИЕ А
Перечень элементов системной платы UM 386SX

