

БИБЛИОТЕКА «ПРИБОРОСТРОЕНИЕ»

В.В. Макарчук, И.А. Родионов

ПРОЕКТИРОВАНИЕ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ

БИБЛИОТЕКА «ПРИБОРОСТРОЕНИЕ»

Серия основана в 2022 году

Том 4

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

- В.А. Шахнов — главный редактор, д-р техн. наук, профессор, чл.-корр. РАН, зав. кафедрой МГТУ им. Н.Э. Баумана
- А.И. Власов — зам. главного редактора, канд. техн. наук, доцент МГТУ им. Н.Э. Баумана
- В.А. Быков — д-р техн. наук, профессор, президент Нанотехнологического общества России
- М.Ф. Булатов — д-р физ.-мат. наук, профессор МГУ им. М.В. Ломоносова
- Дун Гэ — профессор Университета Цинхуа (КНР)
- А.Н. Козырев — начальник производства ООО «Резонит»
- А.С. Комшин — д-р техн. наук, профессор МГТУ им. Н.Э. Баумана
- И.Г. Мироненко — д-р техн. наук, профессор СПГЭТУ «ЛЭТИ»
- С.Б. Нестеров — д-р техн. наук, профессор, президент Российского научно-технического вакуумного общества имени С.А. Векшинского
- В.В. Одинокоев — заместитель генерального директора по науке Акционерного общества «Научно-исследовательский институт точного машиностроения»
- И.А. Покровский — Генеральный директор Информационно-аналитического центра современной электроники
- Ю.С. Сахаров — д-р техн. наук, профессор университета «Дубна»
- А.Л. Стемповский — д-р техн. наук, профессор, академик РАН, научный руководитель Института проблем проектирования в микроэлектронике РАН
- В.Б. Стешенко — канд. техн. наук, доцент, заместитель генерального конструктора по электронной компонентной базе АО «Российские космические системы»

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Московский государственный технический университет имени Н.Э. Баумана
(национальный исследовательский университет)»

В.В. Макаrchук, И.А. Родионов

Проектирование электронной компонентной базы

*Допущено Федеральным учебно-методическим объединением
в системе высшего образования по укрупненной
группе специальностей и направлений подготовки
высшего образования 09.00.00
«Информатика и вычислительная техника»
в качестве учебного пособия*



Москва

ИЗДАТЕЛЬСТВО

МГТУ им. Н.Э. Баумана

2 0 2 4

УДК 621.382
ББК 32.844
М15

Издание доступно в электронном виде по адресу
[https:// press.bmstu.ru/catalog/item/8208](https://press.bmstu.ru/catalog/item/8208)

Издание учебно-методического комплекса по укрупненным группам специальностей и направлений «Информатика и вычислительная техника», «Электроника, фотоника, приборостроение и связь» подготовлено в рамках реализации программы развития передовой инженерной школы «Системная инженерия ракетно-космической техники» МГТУ им. Н.Э. Баумана

Рецензенты:

заведующий кафедрой «Конструирование и производство радиоаппаратуры» Пензенского государственного университета, заслуженный деятель науки РФ,
д-р техн. наук, профессор *Н.К. Юрков*
д-р техн. наук, профессор кафедры «Конструирование радиоэлектронных и микропроцессорных систем» Тамбовского государственного технического университета *Д.Ю. Муромцев*

Макарчук, В. В.

М15 Проектирование электронной компонентной базы: учебное пособие / В. В. Макарчук, И. А. Родионов. — Москва : Издательство МГТУ им. Н. Э. Баумана, 2024. — 134, [2] с. : ил. (Библиотека «Приборостроение». Т. 4).

ISBN 978-5-7038-6098-4

ISBN 978-5-7038-6321-3 (т. 4)

Учебное пособие по дисциплине «Проектирование электронной компонентной базы» содержит нормативную базу дисциплины, рекомендации по организации и проведению лекций, практических занятий, перечень слайдов и другие дидактические материалы для работы профессорско-преподавательского состава и студентов по данной дисциплине.

Соответствует стандартам WorldSkills по компетенции «Производство и инженерные технологии», а также содержанию и уровню подготовки студентов по укрупненным группам специальностей и направлений «Информатика и вычислительная техника», «Электроника, фотоника, приборостроение и связь». Может представлять интерес для преподавателей, студентов, а также специалистов, занимающихся вопросами приборостроения и созданием цифровых систем.

Электронная версия учебного пособия имеет свободный доступ — ее можно читать, загружать, копировать, распространять, печатать и ссылаться на их полные или частичные тексты с указанием авторства без каких-либо ограничений. Тип лицензии CC: Attribution 4.0 International (CC BY 4.0).

УДК 621.382

ББК 32.844



Уважаемые читатели! Пожелания, предложения, а также сообщения о замеченных опечатках и неточностях Издательство просит направлять по электронной почте: press@bmstu.ru

ISBN 978-5-7038-6321-3 (т. 4)
ISBN 978-5-7038-6098-4

© Макарчук В.В., Родионов И.А., 2024
© Оформление. Издательство МГТУ им. Н.Э. Баумана, 2024

Предисловие

Учебно-методические комплексы (УМК) дисциплин по направлению подготовки «Приборостроение» разработаны в рамках адаптации образовательных программ высшего образования к требованиям Перечня специальностей и укрупненных направлений подготовки высшего образования — бакалавриата и магистратуры (Приказ Министерства образования и науки РФ от 12 сентября 2013 г. № 1061 «Об утверждении перечней специальностей и направлений подготовки высшего образования» (с изменениями и дополнениями)). Они направлены на изучение и освоение компетенции Future Skills в рамках актуализированных образовательных программ высшего образования в соответствии с запросом цифровой трансформации промышленности.

В настоящее время трудно представить какую-либо отрасль промышленности, медицины, сельского хозяйства, оборонной техники, быта и т. д., где не использовались бы приборы различных классов, назначения, функциональной сложности. Это киберфизические системы, сенсорная техника, приборы для научных исследований, радиоэлектронные и электронно-вычислительные приборы и устройства, системы управления разного уровня, бытовая электроника.

Основная особенность предметной области «Приборостроение» — ее междисциплинарный характер, что требует особых методических приемов и подбора соответствующего научного и учебного материала. Современные образовательные программы должны обеспечивать приобретение студентами профессиональных навыков и компетенций, необходимых для эффективной и самостоятельной работы в приборной индустрии. В связи с этим актуальной задачей является разработка и издание УМК, которые обеспечат учебно-методическую поддержку подготовки бакалавров и магистров по основным образовательным программам высшего профессионального образования в рамках тематического направления «Приборостроение» образовательными учреждениями высшего профессионального образования на территории Российской Федерации.

Целью создания УМК дисциплин является повышение эффективности междисциплинарной подготовки бакалавров и магистров путем распространения передового опыта среди вузов, осуществляющих подготовку по тематическому направлению «Приборостроение», и внедрения компонентов вариативного маршрутного обучения на базе адаптированного, сетевого учебно-методического комплекса дисциплин и командной работы.

Трансформация подготовки инженерных кадров для развития технологического суверенитета страны предполагает переход к командной проектной подготовке. Необходимость перемен в обучении вызвана потребностью

в реверс-инжиниринге, разработке и эксплуатации в Российской Федерации принципиально новых технологий.

Образование будущего предусматривает переход от рутинного обучения инженеров к подготовке участников инженерных команд, способных объединяться для решения конкретных практических задач приборостроения, для чего предусматривается глубокая интеграция образования с промышленностью, наукой и органами власти.

Создание УМК дисциплин по направлению подготовки «Приборостроение» нацелено на развитие образовательных технологий, базирующихся на проектном опыте, что позволит выпускникам работать над практическими проектами, спрос на которые возрастает в текущих условиях.

Современное инженерное образование призвано сформировать компетенции для работы на всех уровнях готовности технологий — от исследования до реализации продуктовых решений.

Авторы выражают благодарность рецензентам: заведующему кафедрой «Конструирование и производство радиоаппаратуры» Пензенского государственного университета Н.К. Юркову и научному руководителю кафедры «Конструирование радиоэлектронных и микропроцессорных систем» Тамбовского государственного технического университета Д.Ю. Муромцеву, замечания которых позволили улучшить содержание УМК.

Разработанные УМК дисциплин обеспечат подготовку по основным образовательным программам высшего профессионального образования по направлениям подготовки 09.03.01 «Информатика и вычислительная техника» (уровень бакалавриата) и 12.03.01 «Приборостроение» (уровень бакалавриата) образовательными учреждениями высшего профессионального образования на территории Российской Федерации.

Сетевые версии учебно-методических комплексов дисциплин на основе web-версии, соответствующие стандарту SCORM 2004, 3rd edition, размещены на портале Электронной образовательной системы МГТУ им. Н.Э. Баумана (e-learning.bmstu.ru).

Авторы будут признательны читателям за все замечания по содержанию УМК, которые следует направлять по адресу: 105005, Москва, 2-я Бауманская ул., д. 5, стр. 1, МГТУ им. Н.Э. Баумана, кафедра ИУ4.

В.А. Шахнов

Список сокращений

БМС	— большая интегральная схема
ДТЛ	— диодно-транзисторная логика
ИИЛ	— интегральная инжекционная логика
ИМС	— интегральная микросхема
КМДП	— комплементарная (структура) металл–диэлектрик–полупроводник
КМОП	— комплементарная (структура) металл–оксид–полупроводник
ЛЭ	— логический элемент
МДП	— (структура) металл–диэлектрик–полупроводник
ОЗУ	— оперативное запоминающее устройство
ПХЭ	— передаточная характеристика элемента
РТЛ	— резисторно-транзисторная логика
САПР	— система автоматизированного проектирования
СБИС	— сверхбольшая интегральная схема
СИС	— интегральная схема средней степени интеграции
СПХ	— статическая передаточная характеристика
ТТЛ	— транзисторно-транзисторная логика
ТТЛШ	— транзисторно-транзисторная логика с диодами Шоттки
ЭВМ	— электронная вычислительная машина
ЭСЛ	— эмиттерно-связанная логика

Термины и определения

Булева алгебра	— математический аппарат, описывающий действие дискретных устройств в электронной аппаратуре
Вырожденный газ	— газ высокой плотности, в котором распределение частиц лимитировано квантово-механическим принципом тождественности частиц (принципом Паули для фермионов). Заполнение состояний такого газа описывается распределением Ферми
Длина свободного пробега	— среднее расстояние, которое носитель заряда проходит между последовательными актами рассеяния на дефектах
Инверсионный слой	— приповерхностная область полупроводника структуры металл–диэлектрик–полупроводник, в которой концентрация неосновных (по отношению к объему полупроводника) носителей превышает концентрацию заряженных примесей
Логический элемент	— устройство, выполняющее в электронной аппаратуре логические операции
Невырожденный газ	— газ малой плотности, в котором влиянием квантово-механического принципа тождественности частиц можно пренебречь. В случае фермионного газа это соответствует слабому влиянию принципа Паули на распределение частиц газа по состояниям, и газ с хорошей точностью может быть описан классической статистикой Больцмана
Обедненный слой	— область вблизи p – n -перехода в гетероструктурах или в структуре металл–диэлектрик–полупроводник, в которой концентрация свободных носителей заряда мала по сравнению с концентрацией имеющейся в этой области легирующей примеси
Обогащенный слой	— приповерхностная область полупроводника, образующаяся при приложении электрического поля, которое притягивает к поверхности основные носители заряда
Плотность состояний	— число энергетических состояний в системе размерности D , приходящихся на единичный интервал энергии в расчете на единицу D -мерного объема
Подвижность	— отношение дрейфовой скорости носителей заряда к электрическому полю

-
- Режим насыщения — режим работы биполярного транзистора, при котором инжекция носителей заряда в базу транзистора происходит одновременно через смещенные в прямом направлении $p-n$ -переходы база–эмиттер, база–коллектор, поэтому токи через его электроды эмиттера, базы и коллектора отличны от нуля
- Режим отсечки — режим работы биполярного транзистора, при котором инжекции носителей заряда через обратно смещенные $p-n$ -переходы база–эмиттер и база–коллектор не происходит, а потому токи через его области эмиттера, базы и коллектора равны нулю
- Степень интеграции — степень числа компонентов микросхемы, размещенных на одном кристалле
- Таблица истинности — один из способов представления результатов выполнения логическим элементом логических функций в виде таблицы
- Контактная разность потенциалов — разность потенциалов, возникающая при контакте двух материалов в гомо- или гетероструктуре, равная разности работ выхода для материалов, образующих этот гомо- и гетеропереход

1. КОНСПЕКТ ЛЕКЦИЙ

Основная цель дисциплины: изучение основной элементной базы, используемой в приборостроении для построения цифровых блоков электронной аппаратуры на основе интегральных микросхем. Получение навыков практической работы с современными САПР, используемыми при проектировании цифровых и аналоговых узлов электронной аппаратуры.

Задачи дисциплины:

- получение теоретических и практических знаний и навыков в области схемотехники;
- изучение основ теории цифровых устройств;
- изучение электронной элементной базы приборостроения и ее основных функциональных параметров;
- изучение элементной базы, используемой при создании цифровых блоков электронной аппаратуры.

При освоении дисциплины планируется формирование компетенций, предусмотренных основной профессиональной образовательной программой на основе самостоятельно установленного образовательного стандарта по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

В конце каждой лекции приведены тесты для контроля знаний студентов, включающие вопросы и ответы на них, среди которых следует выбрать один правильный.

1.1. ОСНОВЫ ТЕОРИИ ЦИФРОВЫХ УСТРОЙСТВ

Цель лекции — ознакомление с курсом, изучение основ теории цифровых устройств.

1.1.1. БУЛЕВА АЛГЕБРА

Математический аппарат, описывающий действие дискретных устройств, базируется на алгебре логики, или, как ее еще называют, *булевой алгебре*, названной в честь английского математика Дж. Буля*.

На практике булева алгебра впервые была применена американским ученым Кл. Шенноном** в 1938 г. при исследовании электрических цепей с контактными выключателями.

Булева алгебра оперирует двоичными переменными: 0 и 1, которые подчиняются следующему условию:

$$x = 1, \text{ если } x \neq 0, \text{ и } x = 0, \text{ если } x \neq 1.$$

В основе булевой алгебры лежит понятие переключательной (или булевой) функции вида

$$f(x_1, x_2, \dots, x_n) = 0 \text{ или } 1$$

относительно аргументов x_1, x_2, \dots, x_n , которая может принимать только эти два значения.

Логическая функция может быть задана одним из следующих способов:

- словесно;
- алгебраическим выражением;
- таблицей, называемой *таблицей истинности*.

* Буль Дж. (1815–1864) — английский математик, создатель алгебры логики, названной впоследствии в его честь булевой алгеброй. Родился в семье торговца. Самоучка. В конце карьеры — профессор математики в католическом колледже в г. Корке (Англия). Имел пять дочерей, в том числе будущую известную писательницу Э. Войнич, автора популярного в свое время романа «Овод», посвященного освободительной борьбе итальянского народа против австрийского господства.

** Шеннон К. (1916–2001) — американский ученый — математик и электротехник — французского происхождения. Один из создателей математической теории информации и связи. В 1936 г. окончил Мичиганский университет, а чуть позже — аспирантуру Массачусетского технологического института. В 1940 г. защитил докторскую диссертацию, в которой доказал, что работу переключателей и реле в электрических схемах можно представить посредством алгебры, созданной в середине XIX в. английским математиком Дж. Булем. «Просто случилось так, что никто другой не был знаком с этими обеими областями одновременно!» — так скромно Шеннон объяснил причину своего открытия.

Между обычной алгеброй и алгеброй логики имеются *существенные различия* в отношении числа и характера операций, а также законов, которым они подчиняются.

Действия над двумя переменными в булевой алгебре производят по правилам логических операций. Существуют три простейшие логические операции:

- 1) отрицание (инверсия, или операция НЕ);
- 2) логическое умножение (конъюнкция, или операция И);
- 3) логическое сложение (дизъюнкция, или операция ИЛИ).

Более сложные логические операции и преобразования можно свести к этим трем операциям.

Операция отрицания (инверсии) выполняется над одной переменной и характеризуется следующими свойствами:

$$y = 1, \text{ если } x = 0, \text{ и } y = 0, \text{ если } x = 1.$$

Отрицание обозначается чертой над переменной, с которой производится операция:

$$y = \bar{x} \text{ (соответственно } \bar{\bar{y}} = y).$$

Операция логического умножения (конъюнкции) для двух переменных определяется следующей таблицей истинности:

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Операция обозначается как

$$y = x_1 \wedge x_2, \text{ или } y = x_1 \cdot x_2,$$

и может быть распространена на большее число переменных.

Операция логического сложения (дизъюнкции) для двух переменных определяется следующей таблицей истинности:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Операция обозначается как

$$y = x_1 \vee x_2, \text{ или } y = x_1 + x_2,$$

и также может быть распространена на большее число переменных.

Первое обозначение предпочтительно, так как оно позволяет отличить логическое сложение от арифметического.

Совокупность различных значений переменных в булевой алгебре называется *набором*. Булева функция от n аргументов может иметь до $N = 2^n$ наборов.

Поскольку функция принимает только два значения, общее число булевых функций от n аргументов равно 2^{2^n} .

Для одного аргумента это четыре значения: $y = x$, $y = \bar{x}$, $y = 1$, $y = 0$.

Если аргументов два, то число операций возрастает до 16 (табл. 1.1).

Таблица 1.1

Логические операции над набором из двух переменных

Аргументы					Функция	Наименование операции
x_1	0	0	1	1		
x_2	0	1	0	1		
	0	0	0	0	$y = 0$	Константа 0
	0	0	0	1	$y = x_1 \cdot x_2$	Конъюнкция, операция И
	0	0	1	0	$y = x_1 \cdot \bar{x}_2 = x_1 \rightarrow \bar{x}_2$	Запрет по x_1
	0	0	1	1	$y = x_1$	Тождественность x_1
	0	1	0	0	$y = \bar{x}_1 \cdot x_2 = x_2 \rightarrow x_1$	Запрет по x_1
	0	1	0	1	$y = x_2$	Тождественность x_1
	0	1	1	0	$y = x_1 \cdot \bar{x}_2 \vee x_1 \cdot \bar{x}_2$	Исключающее ИЛИ (отрицание равнозначности, сумма по модулю 2)
	0	1	1	1	$y = x_1 \vee x_2 = x_1 + x_2$	Дизъюнкция, операция ИЛИ
	1	0	0	0	$y = \bar{x}_1 \vee \bar{x}_2 = x_1 \downarrow x_2$	Стрелка Пирса, операция ИЛИ–НЕ
	1	0	0	1	$y = x_1 \cdot x_2 \vee x_1 \cdot \bar{x}_2 = x_1 \sim x_2$	Равнозначность, эквивалентность
	1	0	1	0	$y = \bar{x}_2$	Инверсия x_1
	1	0	1	1	$y = x_1 \vee \bar{x}_2 = x_2 \rightarrow x_1$	Импликация от x_2 к x_1
	1	1	0	0	$y = \bar{x}_1$	Инверсия x_1
	1	1	0	1	$y = \bar{x}_1 \vee x_2 = x_1 \rightarrow x_2$	Импликация от x_1 к x_2
	1	1	1	0	$y = \overline{x_1 \cdot x_2} = x_1 / x_2$	Штрих Шеффера, операция И–НЕ
	1	1	1	1	$y = 1$	Константа 1

1.1.2. АКСИОМЫ И ЗАКОНЫ БУЛЕВОЙ АЛГЕБРЫ

Булева алгебра базируется на нескольких аксиомах, из которых выводят основные законы для преобразований с двоичными переменными.

Каждая аксиома вследствие принципа дуальности (двойственности) логических операций, согласно которому операции конъюнкции и дизъюнкции допускают взаимную замену, если одновременно поменять логическую единицу на логический ноль, а логический ноль на логическую единицу, знак ИЛИ на знак И, а И на ИЛИ, может быть представлена в двух видах: *конъюнктивном* и *дизъюнктивном*.

АКСИОМЫ БУЛЕВОЙ АЛГЕБРЫ

Аксиома операции отрицания: $\overline{\overline{0}} = 1$; $\overline{\overline{1}} = 0$.

Аксиомы операций конъюнкции и дизъюнкции:

- | | |
|------------------------------------|----------------------------------|
| 1) $0 \cdot 0 = 0$ (а) | 1) $1 \vee 1 = 1$ (б) |
| 2) $1 \cdot 0 = 0 \cdot 1 = 0$ (а) | 2) $0 \vee 1 = 1 \vee 0 = 1$ (б) |
| 3) $1 \cdot 1 = 1$ (а) | 3) $0 \vee 0 = 0$ (б) |

Аксиома 1 (б) не имеет аналога в двоичной арифметике, где $1 + 1 = 10$ (здесь цифры и знаки имеют обычный арифметический смысл).

ЗАКОНЫ БУЛЕВОЙ АЛГЕБРЫ

Законы булевой алгебры вытекают из аксиом и также имеют две формы выражения: для *конъюнкции* и *дизъюнкции*. Приведем их без доказательств, поскольку их правильность легко проверить по таблицам истинности либо путем подстановки нуля и единицы вместо соответствующих значений переменных.

Законы булевой алгебры представлены в виде табл. 1.2.

Таблица 1.2

Законы булевой алгебры

Но- мер п/п	Закон	Конъюнктивная форма	Дизъюнктивная форма
1	Переместительный	$x_1 \cdot x_2 = x_2 \cdot x_1$	$x_1 \vee x_2 = x_2 \vee x_1$
2	Сочетательный	$x_1 \cdot (x_2 \cdot x_3) =$ $= (x_1 \cdot x_2) \cdot x_3 =$ $= x_1 \cdot x_2 \cdot x_3$	$x_1 \vee (x_2 \vee x_3) =$ $= (x_1 \vee x_2) \vee x_3 =$ $= x_1 \vee x_2 \vee x_3$
3	Повторения	$x \cdot x = x$	$x \vee x = x$
4	Обращения	Если $x_1 = x_2$, то $\overline{x_1} = \overline{x_2}$	

Окончание табл. 1.2

Номер п/п	Закон	Конъюнктивная форма	Дизъюнктивная форма
5	Двойной инверсии	$\overline{\overline{x}} = x$	
6	Нулевого множества	$x \cdot 0 = 0$	$x \vee 0 = x$
7	Универсального множества	$x \cdot x = x$	$x \vee 1 = 1$
8	Дополнительности	$x \cdot \overline{x} = 0$	$x \vee \overline{x} = 1$
9	Распределительный	$x_1 \cdot (x_2 \vee x_3) = x_1 \cdot x_2 \vee x_1 \cdot x_3$	$x_1 \vee (x_2 \cdot x_3) = (x_1 \vee x_2) \cdot (x_1 \vee x_3)$
10	Поглощения	$x_1 \vee x_1 \cdot x_2 = x_1$	$x_1 \cdot (x_1 \vee x_2) = x_1$
11	Склеивания	$(x_1 \vee x_2) \cdot (x_1 \vee \overline{x_2}) = x_1$	$x_1 \cdot x_2 \vee x_1 \cdot \overline{x_2} = x_1$
12	Инверсии (закон де Моргана)	$\overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2}$	$\overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2}$
		После инвертирования левых и правых частей	
		$x_1 \cdot x_2 = \overline{\overline{x_1} \vee \overline{x_2}}$	$x_1 \vee x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}$

Широкое применение в практике проектирования цифровых устройств приведенных в табл. 1.2 законов позволяет упростить процесс проектирования, сократив затрачиваемое на него время.

1.1.3. ВЗАИМНОЕ СООТВЕТСТВИЕ БУЛЕВЫХ ФУНКЦИЙ И ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Двоичные переменные, входящие в логические уравнения, можно представить двумя разными электрическими сигналами. Путем преобразований этих сигналов получают другие, также двоичные, сигналы, которые соответствуют результатам определенных логических операций. Имея запись булевой функции $y = f(x_1, x_2, \dots, x_n)$, можно составить развернутую электрическую схему, которая будет преобразовывать логические сигналы x_1, x_2, \dots, x_n согласно указанной функции.

Устройство, выполняющее в электронной аппаратуре логические операции, называют *логическим элементом* (ЛЭ). Логические элементы различаются характером реализуемой функции, числом входов (по числу одновременно действующих переменных), числом выходов и другими признаками. Их работа оценивается только с точки зрения логики, без учета практического воплощения (технической базы, способа питания и т. п.).

Входы и выходы ЛЭ в зависимости от уровня сигнала, при котором воспринимается или вырабатывается определенное значение двоичной переменной, подразделяют на прямые и инверсные. На *прямом* входе (выходе) двоичная переменная имеет значение логической единицы, когда сигнал на этом входе (выходе) имеет значение, принятое за единицу. На *инверсном* входе (выходе) двоичная переменная имеет значение логической единицы, когда уровень сигнала на этом входе (выходе) соответствует состоянию, принятому за ноль.

На логические входы можно подавать постоянные логические уровни 1 и 0 (константа 1 и константа 0) согласно законам универсального и нулевого множеств. Входы, равноценные в логическом отношении (которые можно менять местами без ущерба для выполняемой функции), допускают объединение по *закону повторения*. При этом они действуют как один вход.

Для примера преобразуем на основе законов булевой алгебры функцию

$$y = x_1 \cdot x_2 (x_3 \vee x_1 \cdot x_3).$$

Раскроем скобки:

$$y = x_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot x_1 \cdot x_3.$$

Поскольку $x_1 \cdot x_1 = 0$, то $y = x_1 \cdot x_2 \cdot x_3 \vee 0 = x_1 \cdot x_2 \cdot x_3$.

Проектирование различных устройств осуществляется с помощью специальных методик. Они сводятся к последовательным формальным процедурам, которые могут быть реализованы на ЭВМ. Широко используются логические элементы, совмещающие несколько операций, например И–НЕ, ИЛИ–НЕ, И–ИЛИ–НЕ, И–ИЛИ, «исключающее ИЛИ» и др.

1.1.4. ПОЛОЖИТЕЛЬНАЯ И ОТРИЦАТЕЛЬНАЯ ЛОГИКА

В современных цифровых устройствах логические состояния представлены двумя уровнями напряжения (потенциалов): высоким, близким к напряжению источника питания, и низким, близким к нулю. Это так называемая *потенциальная система представления информации*, для которой характерны непосредственная связь между отдельными элементами схемы. Длительность потенциальных сигналов определяется частотой смены информации, а переключающими импульсами служат перепады напряжения от одного уровня к другому.

Два уровня напряжения, характеризующие логические состояния, определяют просто как более высокий — *H* (от англ. High — высокий) и более низкий — *L* (Low — низкий). Эти два значения называют *логическими уровнями*. Существует два рода так называемых логических соглашений в зависимости от того, каким уровнем напряжения кодировать логическую единицу (и соответственно логический ноль).

В соглашении положительной логики более высокий уровень напряжения (*H*) соответствует логической единице, а низкий (*L*) — логическому нулю. В соглашении отрицательной логики — наоборот.

Элемент, выполняющий логические функции, можно оценивать с позиций как положительной, так и отрицательной логики. Его функциональная роль в обоих случаях будет различной. Это важное положение, которым часто пользуются на практике, вытекает из *закона де Моргана*.

С учетом сказанного логические элементы, выполняющие логические операции, допускается изображать на принципиальных схемах в двух логически эквивалентных формах. Имея изображение ЛЭ, его эквивалентную форму можно получить, проделав следующие преобразования:

1) в основном поле изображения ЛЭ символ операции & заменить на символ 1 либо наоборот;

2) все прямые входы ЛЭ заменить инверсными, а инверсные — прямыми;

3) все прямые выходы ЛЭ заменить инверсными, а инверсные — прямыми.

Соглашение положительной логики имеет преимущественное применение. В каталогах, справочниках, на заводских этикетках логические функции цифровых интегральных микросхем также даются для положительной логики.

Следует обратить внимание на то, что многие разработчики электронной аппаратуры на принципиальных схемах логические свойства элементов всегда показывают так, как они даны в справочниках. Между тем с точки зрения наглядности и удобства чтения принципиальной схемы для тех случаев, когда переключающим сигналом служит логический ноль, лучше изображать элементы в отрицательной логике.

1.1.5. ИЗОБРАЖЕНИЕ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА ПРИНЦИПИАЛЬНОЙ ЭЛЕКТРИЧЕСКОЙ СХЕМЕ

В конструкторской документации на принципиальных электрических схемах логический элемент согласно ГОСТ 2.743–91 «Обозначения условные графические в схемах. Элементы цифровой техники» изображают прямоугольником (так называемое основное поле), в верхней части которого указывают символ функции: & для И, 1 для ИЛИ (рис. 1.1). Входы показывают с левой стороны прямоугольника, выходы — с правой.

Допускается другая ориентация прямоугольника, при которой входы располагают сверху, а выходы снизу. Инверсные входы и выходы выделяют индикатором логического отношения — небольшим кружком у вывода. Выводы питания и общий вывод в графических схемах цифровых устройств обычно не показывают. Это обстоятельство всегда следует иметь в виду при разборе прохождения токов на входах и выходах микросхем. Когда нужно, шины, не несущие логической информации (в том числе питания и общие), подводят к левой или правой стороне прямоугольника и помечают звездочкой.

В принципиальной электрической схеме цифрового устройства токи должны протекать сверху вниз, а сигналы распространяться слева направо.

В конструкторской документации западных стран используются обозначения логических элементов, установленные стандартом Международной электротехнической комиссии МЭК 117-15А.

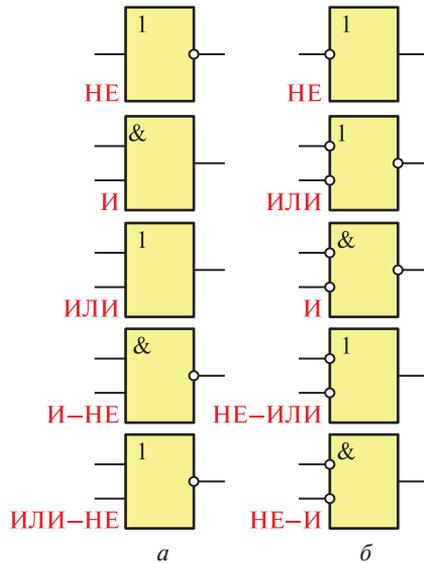


Рис. 1.1. Эквивалентные формы представления логических элементов: *a* — в положительной логике; *б* — в отрицательной логике

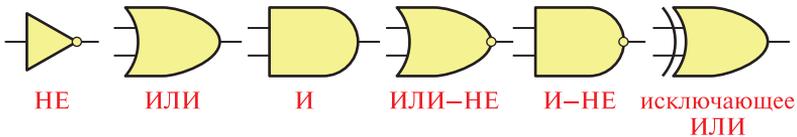


Рис. 1.2. Обозначение основных логических элементов в соответствии со стандартом MilSpace

ГОСТ 2.743–91 почти полностью соответствует международному стандарту МЭК 117–15.

В США для обозначения логических элементов используется стандарт MilSpace (рис. 1.2).

Тесты к лекции 1.1

1. Как называется операция логического умножения?

- а) конъюнкция;
- б) дизъюнкция;
- в) импликация.

2. Как называется операция логического сложения?

- а) дизъюнкция;
- б) конъюнкция;
- в) инверсия.

3. Что такое логический элемент?

а) устройство, выполняющее в электронной аппаратуре логическую операцию;

б) устройство, с помощью которого в электронной аппаратуре генерируют цифровые сигналы;

в) устройство, которое усиливает электрические сигналы.

4. Какие законы булевой алгебры относятся только к одной переменной?

- а) двойной инверсии, повторения и дополнительности;
- б) нулевого множества и обращения;
- в) сочетательный, переместительный и универсального множества.

5. Что такое соглашение положительной логики?

а) соглашение, при котором высокий уровень логического сигнала принимают за логическую единицу, а низкий — за логический ноль;

б) соглашение, при котором высокий уровень логического сигнала принимают за логический ноль, а низкий — за логическую единицу.

1.2. КЛАССИФИКАЦИЯ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ И ЕЕ ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ ПАРАМЕТРЫ

Цель лекции: изучение электронной компонентной базы приборостроения и ее основных функциональных параметров.

1.2.1. КЛАССИФИКАЦИЯ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ ПО ИСПОЛЬЗУЕМЫМ АКТИВНЫМ ЭЛЕМЕНТАМ И ТЕХНОЛОГИЯМ МИКРОЭЛЕКТРОНИКИ

В зависимости от того, по какой микроэлектронной технологии производится та или иная интегральная микросхема (ИМС) и какие активные элементы составляют ее основу, всю компонентную базу логических элементов, применяемых в приборостроении, можно в общем классифицировать так, как показано на рис. 1.3.

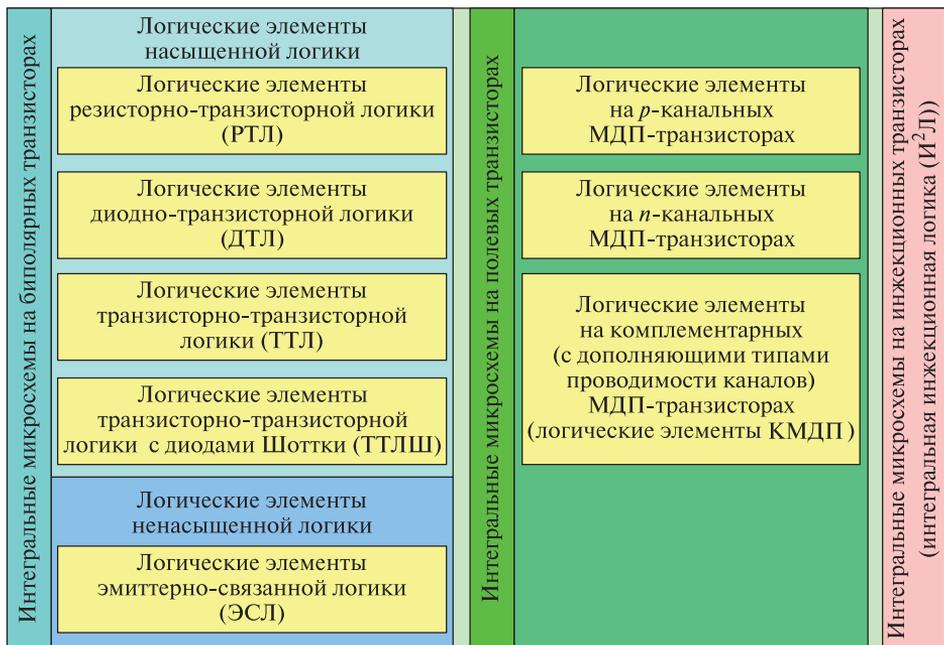


Рис. 1.3. Общая классификация электронной компонентной базы приборостроения

Каждый из представленных в классификации типов компонентной базы, используемой в приборостроении, отличается технологией изготовления, топологической реализацией, уровнями логических сигналов, предельным быстродействием и т. д.

1.2.2. ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ

Каждый логический элемент ИМС оценивается рядом параметров, обусловленных внутренней структурой и конструктивным исполнением. Некоторые из этих параметров касаются конкретной ИМС, другие характеризуют все изделия данной серии. Если в условиях эксплуатации эти параметры будут выдержаны, предприятие-изготовитель гарантирует нормальную работу микросхемы. Значения параметров, как правило, задаются с запасом и не исчерпывают физических возможностей ИМС, однако превышать их не следует, особенно те из них, от которых зависят работоспособность и надежность микросхемы.

К параметрам, характеризующим логические и схемотехнические возможности логических элементов больших (БИС) и сверхбольших (СБИС) микросхем, относятся следующие:

- реализуемая логическая функция;
- нагрузочная способность n , характеризующая возможность подключения к выходу ЛЭ определенного числа идентичных логических элементов;
- коэффициент объединения по входу m ($m_{И}$ — для реализации логической функции И; $m_{ИЛИ}$ — для реализации логической функции ИЛИ);
- средняя задержка распространения сигнала $t_{зд,р.ср}$ (полусумма значений времени задержек передачи сигналов 1 и 0 с входа ЛЭ на его выход);
- предельная рабочая частота f_p (частота переключения асинхронного RS-триггера, составленного из рассматриваемых логических элементов);
- помехоустойчивость (статическая и динамическая);
- потребляемая мощность;
- энергия переключения.

1.2.3. ВЫПОЛНЯЕМАЯ ЛОГИЧЕСКАЯ ФУНКЦИЯ

По виду реализуемой логической функции все логические элементы условно могут быть разделены на два класса. К *первому* классу относят логические элементы одноуровневой логики. Это простейшие логические элементы, реализующие функции И, ИЛИ, НЕ, И–НЕ, ИЛИ–НЕ.

Ко *второму* классу относят логические элементы двухуровневой логики, реализующие более сложные функции: И–ИЛИ, ИЛИ–И, НЕ–И–ИЛИ, И–ИЛИ–НЕ, И–ИЛИ–И и др.

1.2.4. НАГРУЗОЧНАЯ СПОСОБНОСТЬ (КОЭФФИЦИЕНТ РАЗВЕТВЛЕНИЯ ПО ВЫХОДУ)

Нагрузочная способность ЛЭ — n определяет максимальное число входов идентичных логических элементов, которые могут быть подключены к выходу рассматриваемого ЛЭ при условии обеспечения неискаженной передачи двоичных символов 0 и 1 в цифровом устройстве по цепи из произвольного числа последовательно включенных логических элементов при наихудшем сочетании дестабилизирующих факторов. Дестабилизирующими факторами могут быть изменение питающего напряжения, разброс параметров компонентов, изменение температуры и т. п.

Часто нагрузочную способность n называют *коэффициентом разветвления по выходу* и выражают целым положительным числом ($n = 4, 5, 7, 10$ и т. д.). Чем выше нагрузочная способность логических элементов, тем шире их логические возможности и тем меньше затраты при построении цифрового устройства. Однако увеличение нагрузочной способности n возможно до определенных пределов, поскольку при этом ухудшаются другие параметры ЛЭ: снижается быстродействие, ухудшается помехоустойчивость и увеличивается потребляемая мощность. По этой причине в состав одной серии интегральных микросхем часто входят логические элементы с различной нагрузочной способностью: *основные* с $n = 4 + 10$ и *буферные* — так называемые усилители мощности — с $n = 20 - 50$. Это позволяет более гибко проектировать цифровые устройства, достигая оптимальных показателей по потребляемой мощности и числу логических элементов.

Буферные логические элементы, как правило, выполняют со сложным транзисторным выходом, обеспечивающим коммутацию больших токов нагрузки. В зависимости от электрической схемы базовые логические элементы в основном работают в режиме, когда нагрузочные входы потребляют ток с выхода ЛЭ или когда выход ЛЭ забирает ток от нагрузочных входов последующих логических элементов. Существуют логические элементы, которые в одном логическом состоянии отдают ток в нагрузку, а в другом — получают его от нагрузки.

Логические элементы интегральных МДП-микросхем (на структурах металл–диэлектрик–проводник), имеющие высокое входное сопротивление ($R_{вх} > 10^{12}$ Ом), в статическом режиме практически не отдают ток в нагрузку и не забирают его из нагрузки. Их нагрузочная способность высока ($n > 10$), и ее увеличение ограничивается только ухудшением динамических параметров ЛЭ вследствие возрастания постоянных времени заряда и разряда паразитной нагрузочной емкости C_n при больших значениях n , так как $C_d = C_{вх} + C_{вых}$, где $C_{вх}$ — емкость входа одного ЛЭ; $C_{вых}$ — емкость выхода ЛЭ, включая линию связи.

В зависимости от частотного диапазона работы логических МДП-микросхем их нагрузочная способность может изменяться в широких пределах ($n = 10 - 100$).

1.2.5. КОЭФФИЦИЕНТ ОБЪЕДИНЕНИЯ ПО ВХОДУ

Коэффициент объединения по входу — m характеризует максимальное число входов логического элемента. С увеличением значения m расширяются логические возможности микросхемы за счет выполнения функций с большим числом аргументов на одном типовом ЛЭ И–НЕ, ИЛИ–НЕ и т. п. Однако при увеличении числа входов, как правило, ухудшаются другие параметры ЛЭ, такие как быстродействие, помехоустойчивость и нагрузочная способность.

С точки зрения возможности увеличения коэффициента объединения по входу И или по входу ИЛИ логические схемы существенно различаются. Так, в ИМС, где функция первой логической ступени выполняется на диодах или эмиттерных переходах многоэмиттерного транзистора, увеличение числа входов не требует существенных дополнительных затрат площади кристалла.

В интегральных микросхемах, где функция первой логической ступени выполняется на транзисторах, увеличение значения m требует существенного увеличения числа компонентов ЛЭ и большей площади кристалла ИМС. Особенности сложности вызывает увеличение значения $m_{И}$ или $m_{ИЛИ}$ в ЛЭ на комплементарных МДП-транзисторах (ЛЭ КМДП).

В существующих сериях интегральных микросхем основные логические элементы выполняют, как правило, с числом входов $m_{И} = 2 - 6$ или $m_{ИЛИ} = 2 - 4$. Увеличение числа входов m обеспечивается введением в серию ЛЭ специального логического расширителя, подключение которого к основной ИМС дает возможность увеличить значение $m_{И}$ или $m_{ИЛИ}$ до 10 и более. Число входов ЛЭ в составе БИС не увеличивают путем запараллеливания транзисторов или их последовательным (ярусным) включением, так как это снижает динамические параметры и ухудшает показатели потребляемой мощности.

В технологии БИС чаще применяют методику реализации функций по многоступенчатой логической схеме И–ИЛИ, так как в этом случае первые ступени имеют малую нагрузку ($n = 1, 2$), а выходная логическая ступень выполняется на простом инверторе с высокой нагрузочной способностью. Это позволяет экономить площадь кристалла БИС и обеспечивать высокое быстродействие при передаче информации вследствие небольших размеров транзисторов первых логических ступеней и низкой межэлементной емкости между ними.

1.2.6. СРЕДНЯЯ ЗАДЕРЖКА РАСПРОСТРАНЕНИЯ СИГНАЛА

К основным *динамическим параметрам* логических элементов относят следующие:

$t_{ф1}$ — длительность фронта формирования уровня логической единицы;

$t_{ф0}$ — длительность фронта формирования уровня логического нуля;

$t_{зд}^{10}$ — время задержки переключения из состояния 1 в состояние 0;

$t_{зд}^{01}$ — время задержки переключения из состояния 0 в состояние 1;

$\tau_{и}$ — длительность импульса;

f_p — рабочая частота.

Определение этих параметров обеспечивается путем сравнения сигналов на входе и выходе ЛЭ, т. е. при рассмотрении процесса передачи информации через ЛЭ.

Характеристики сигналов на входе и выходе инвертора приведены на рис. 1.4, показаны также уровни отсчета, относительно которых определяются динамические параметры ЛЭ. Уровнями отсчета динамических параметров ЛЭ являются (рассматривается положительная логика) максимальный уровень логического нуля и минимальный уровень логической единицы. Задержку переключения $t_{зд}^{10}$ определяют как временной интервал между уровнем 1 фронта нарастания входного импульса (положительный импульс) и уровнем 0 фронта спада выходного импульса (отрицательный импульс). Задержку переключения $t_{зд}^{01}$ определяют как временной интервал между уровнем 0 фронта спада входного импульса и уровнем 1 фронта нарастания выходного импульса. Фронты импульса, определяемые между уровнями 1 и 0 спада импульса, обозначают $t_{ф0}$, между уровнями 0 и 1 нарастания импульса — $t_{ф1}$. Длительность импульса на выходе элемента определяется временным интервалом между фронтами $t_{ф0}$ и $t_{ф1}$ на уровне логической единицы.

Среднюю задержку распространения сигнала $t_{зд.р.ср}$ в логическом элементе определяют как полусумму задержек $t_{зд}^{10}$ и $t_{зд}^{01}$. Этот усредненный параметр быстродействия используется при расчете временных характеристик многоэлементных последовательно включенных логических микросхем.

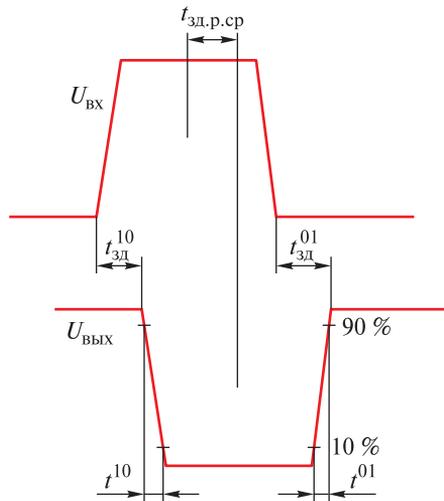


Рис. 1.4. Определение динамических параметров логического элемента (инвертора)

Параметр $t_{\text{зд.р.ср}}$ приводится в технических условиях или руководящем материале по применению ИМС. Для упрощения расчета временных характеристик сложных логических цепей сигналы часто считают прямоугольными, т. е. полагают $t^{10} = t^{01} = 0$.

1.2.7. ПРЕДЕЛЬНАЯ РАБОЧАЯ ЧАСТОТА

Предельная рабочая частота ЛЭ — это предельная частота переключения асинхронного RS-триггера, реализованного на базе ЛЭ данного типа логики (см. рис. 1.3).

1.2.8. ПОМЕХОУСТОЙЧИВОСТЬ

Базовый элемент ИМС в статическом режиме может находиться в одном из двух устойчивых состояний (0 или 1). В связи с этим различают *статическую помехоустойчивость* ЛЭ по уровню логического нуля ($U_{\text{п}}^0$) и по уровню логической единицы ($U_{\text{п}}^1$). Статическая помехоустойчивость базовых элементов ИМС, определяется значением напряжения, которое может быть подано на вход ИМС, относительно уровня логического нуля или уровня логической единицы, не вызывая ее ложного срабатывания (например, переход из состояния 1 в состояние 0 или наоборот).

Значения параметров $U_{\text{п}}^0$ и $U_{\text{п}}^1$ определяют посредством анализа семейства статических передаточных характеристик логических элементов ИМС. Передаточные характеристики элемента (ПХЭ), выполняющего функцию инверсии НЕ, приведены на рис. 1.5. Показаны точки, относительно которых определяется статическая помехоустойчивость ИМС по уровню логического нуля ($U_{\text{п}}^0$) и по уровню логической единицы ($U_{\text{п}}^1$). Параметр $U_{\text{п}}^0$ определяют как разность напряжений в точке А, соответствующей месту перегиба нижней огибающей ПХЭ в зоне уровня логической единицы, и максимального уровня логического нуля (U_{max}^0). Параметр $U_{\text{п}}^1$ определяют как разность напряжений минимального уровня логической единицы точки В, соответствующей месту перегиба верхней огибающей ПХЭ в зоне уровня логического нуля (U_{min}^1).

Верхняя и нижняя огибающие ПХЭ являются огибающими семейства передаточных характеристик инвертора, полученных с учетом наихудших условий его работы (при изменении температуры, питающего напряжения, нагрузки и т. п.). Однако статическая помехоустойчивость не дает полной

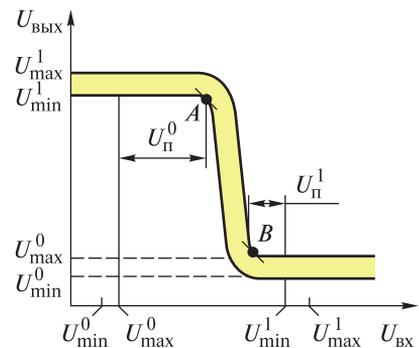


Рис. 1.5. Семейство передаточных характеристик логического элемента (инвертора)

информации об устойчивой работе ЛЭ в устройстве, так как не характеризует помехоустойчивость в динамическом режиме работы ИМС.

В общем случае *динамическая помехоустойчивость* зависит от длительности, мощности и формы сигнала помехи, а также от уровня статической помехоустойчивости и скорости переключения базового ЛЭ. Однако высокая статическая помехоустойчивость не всегда определяет высокую динамическую помехоустойчивость ЛЭ.

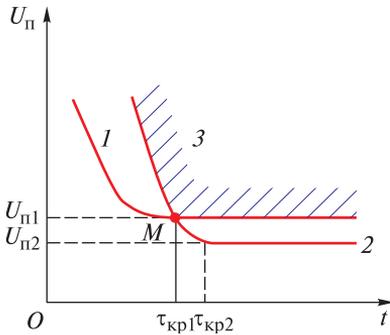


Рис. 1.6. Характеристики динамической помехоустойчивости логического элемента:

1 — высокого уровня быстродействия;
2 — низкого уровня быстродействия;
3 — область, в которой ЛЭ утрачивает свое состояние (U_n — амплитуда помехи; t — время действия помехи)

Динамическую помехоустойчивость ЛЭ следует анализировать с применением запоминающего элемента — *триггера*, построенного на основе базовых логических элементов, поскольку триггер в конечном счете фиксирует превращение помехи в ложную информацию, т. е. запоминает сигнал помехи. Изменяя амплитуду и длительность импульсных помех, воздействующих на входы триггера, и добиваясь его срабатывания, можно получить границы динамической помехоустойчивости логических элементов при воздействии импульсных помех различной формы. В результате анализа поведения триггера может быть графически определена зона динамической помехоустойчивости логических элементов.

Пример графика, построенного для логических элементов высокого и низкого быстродействия, приведен на рис. 1.6. По оси

абсцисс отложена длительность импульса помехи, по оси ординат — его амплитуда. При большой длительности импульсов помехи зона динамической помехоустойчивости определяется статическим уровнем помехоустойчивости ЛЭ.

Критической длительностью $\tau_{кр}$ импульса помехи можно назвать такую длительность, при которой амплитуда импульса соответствует уровню статической помехоустойчивости ЛЭ. Для импульсных помех различной формы (синусоидальной, прямоугольной и др.) значение $\tau_{кр}$ различно для одного и того же ЛЭ. Логические элементы низкого быстродействия, как правило, имеют критическую длительность импульса помехи, значительно бóльшую, чем логические элементы высокого быстродействия.

Как следует из характеристик динамической помехоустойчивости, приведенных на рис. 1.6, справа от точки M пересечения характеристик быстродействующий ЛЭ обеспечивает более устойчивую работу устройства, а слева от точки M более устойчивую работу устройства обеспечивает медленнодействующий ЛЭ.

Сложность получения семейства характеристик динамической помехоустойчивости логических элементов не позволяет в настоящее время приводить их в качестве основного или справочного материала в технических условиях на микросхемы.

1.2.9. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ

При работе в реальном устройстве каждый ЛЭ может находиться в следующих состояниях: в состоянии «выключено»; в стадии включения; в состоянии «включено»; в стадии выключения. В каждом из этих состояний ЛЭ потребляет от источника питания различную мощность. При этом некоторые логические элементы большую мощность потребляют в статических состояниях («включено», «выключено») и сравнительно незначительную — во время переходного процесса из состояния «включено» в состояние «выключено» и наоборот. Другие многочисленные и широко применяемые логические элементы характеризуются большой потребляемой мощностью во время переходных процессов и относительно невысокой — в статических состояниях. Первый класс логических элементов характеризуется *средней* потребляемой мощностью, которую определяют по выражению

$$P_{\text{cp}} = P_0 + \frac{P_1}{2},$$

где P_0 — мощность, потребляемая микросхемой в состоянии «выключено»; P_1 — мощность, потребляемая микросхемой в состоянии «включено».

Микросхемы другого класса, помимо средней потребляемой мощности, характеризуются еще и средней мощностью, потребляемой при максимальной частоте переключения ЛЭ. Дополнительный учет потребляемой мощности в этих микросхемах необходим ввиду того, что во время перехода из одного состояния в другое резко возрастают токи в цепях питания и, следовательно, увеличивается потребляемая мощность. Такие микросхемы характеризуются динамической потребляемой мощностью P_d .

К микросхемам, потребляемая мощность которых зависит от частоты, в первую очередь относятся биполярные ИМС с симметричным транзисторным выходом, а также логические элементы на комплементарных МДП-транзисторах.

Тесты к лекции 1.2

1. Каким параметром характеризуется нагрузочная способность логического элемента?

- а) коэффициентом разветвления по выходу;
- б) коэффициентом объединения по входу;
- в) потребляемой мощностью.

2. По какой характеристике ЛЭ можно определить запас его статической помехоустойчивости?

- а) по статической передаточной характеристике;
- б) по зависимости тока потребления от напряжения питания;
- в) по характеристике запаса динамической помехоустойчивости.

3. Какие логические элементы имеют минимальную рассеиваемую мощность?

- а) на n -канальных МДП-транзисторах;
- б) на биполярных транзисторах;
- в) интегральной инжекционной логики;
- г) КМДП.

4. На какие функциональные параметры логических элементов влияет коэффициент объединения по входу?

- а) никак не влияет ни на какие параметры;
- б) влияет на быстродействие и помехоустойчивость;
- в) влияет на ток потребления;
- г) влияет на среднее время распространения сигнала.

5. В каких координатах рассматривают динамическую помехоустойчивость ЛЭ?

- а) x — время действия помехи, y — амплитуда помехи;
- б) x — амплитуда помехи, y — выходное напряжение;
- в) x — время действия помехи, y — выходное напряжение.

1.3. СХЕМОТЕХНИКА КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ РЕЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Цель лекции: изучение основ схемотехники компонентной базы приборостроения на биполярных транзисторах. В данной лекции работа всех логических элементов и реализуемая ими логическая функция рассматриваются для положительной логики.

Логический элемент резисторно-транзисторной логики (РТЛ), созданный еще до изобретения ИМС, когда существовали только дискретные транзисторы, представляет собой один из первых типов логических элементов. Принципиальная схема двухвходового базового ЛЭ РТЛ показана на рис. 1.7.

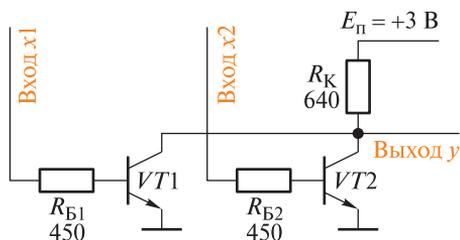


Рис. 1.7. Схема базового логического элемента резисторно-транзисторной логики

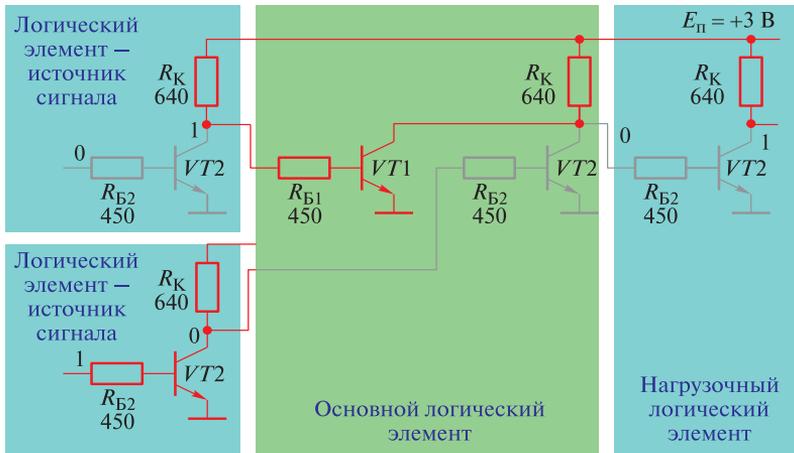
Если на обоих входах x_1 и x_2 логического элемента присутствуют низкие уровни логических сигналов, то оба транзистора $VT1$ и $VT2$ закрыты. Ток через резистор R_K не протекает и падения напряжения на нем нет, поэтому на выходе ЛЭ напряжение будет соответствовать высокому уровню логического сигнала.

Если хотя бы на одном из входов ЛЭ присутствует высокий уровень логического сигнала, то транзистор, подключенный базой к этому входу, открыт и находится в состоянии насыщения. Коллекторный ток протекает через этот транзистор, и на резисторе R_K есть падение напряжения, поэтому на выходе ЛЭ присутствует низкий уровень логического сигнала.

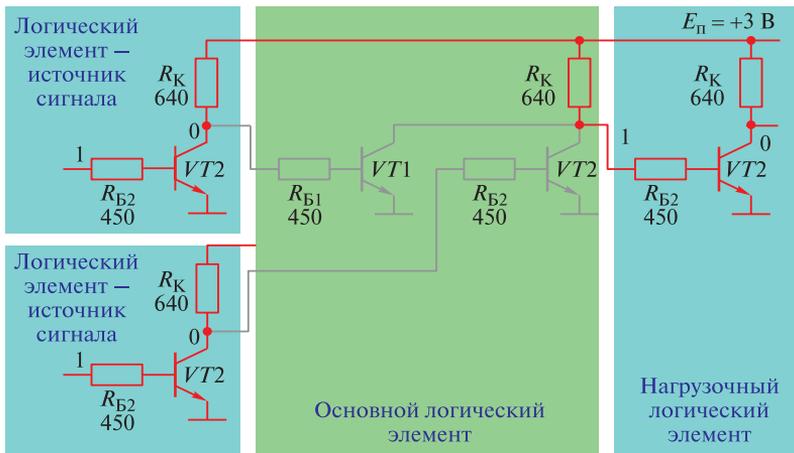
Таким образом, ЛЭ реализует логическую функцию ИЛИ–НЕ, которая выражается следующей таблицей истинности:

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

При определении запаса помехоустойчивости схему анализируют в предположении, что ЛЭ получает входной сигнал от такого же логического элемента и работает так, как показано на рис. 1.8 (серым цветом выделены цепи, через которые при данных уровнях логических сигналов протекают токи).



а



б

Рис. 1.8. Схема работы базового логического элемента резисторно-транзисторной логики при уровнях на входе основной схемы:

а — логической единицы; б — логического нуля

В случае подключения n нагрузочных схем базовый ЛЭ РТЛ работает так, как показано на рис. 1.9. Для этого случая семейство статических передаточных характеристик будет таким, как показано на рис. 1.10.

Для $n = 1$ переход в состояние логического нуля на выходе начинается при напряжении на входе $U_{вх} = 0,85 \dots 0,90$ В. Напряжение падает до $U_{КЭ\text{нас}} \approx 0,2$ В. Для нахождения рабочих точек оси меняют местами и находят точки пересечения двух кривых. Это и будут рабочие точки ЛЭ при уровнях входного сигнала 0 и 1.

Можно показать, что в ЛЭ РТЛ при нагрузке на n логических элементов значение выходного напряжения в точке A U_A составит:

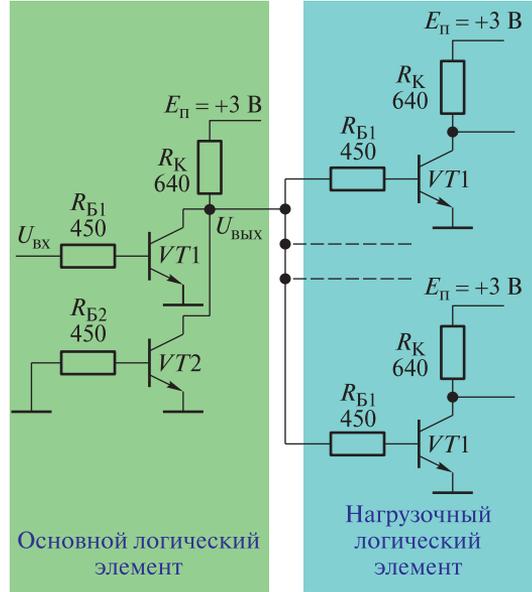


Рис. 1.9. Схема нагрузки базового логического элемента резисторно-транзисторной логики на n логических элементах

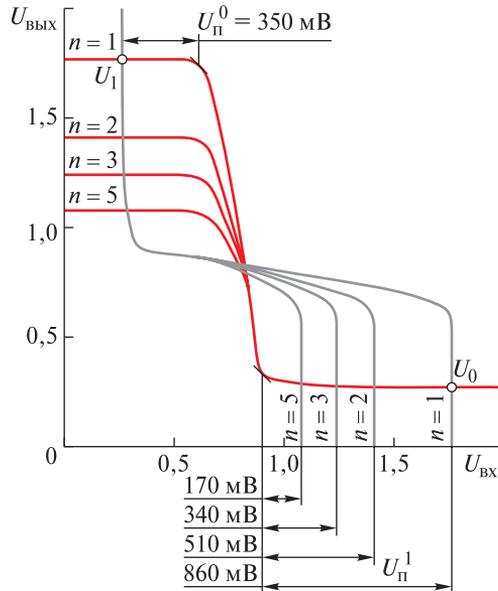


Рис. 1.10. Статические передаточные характеристики логического элемента резисторно-транзисторной логики при работе на разное число n нагрузочных схем

$$U_A = U_{БЭ} + \frac{(E_{п} - U_{БЭ}) \frac{R_B}{n}}{R_K + \frac{R_B}{n}}.$$

Для ЛЭ РТЛ при увеличении числа логических элементов, подключенных к выходу, запас помехоустойчивости по положительной помехе практически не изменяется, а по отрицательной помехе значительно уменьшается.

Как видно из представленной характеристики, при $n = 5$ запас помехоустойчивости по отрицательной помехе составляет лишь 170 мВ, что крайне мало.

Недостатки логических элементов резисторно-транзисторной логики:

- зависимость уровня логической единицы от числа нагрузочных схем;
- уменьшение запаса статической помехоустойчивости по отрицательной помехе при увеличении числа нагрузочных схем.

В настоящее время ЛЭ РТЛ не выпускаются и для построения цифровых устройств практически не применяются. В данной лекции они были рассмотрены с единственной целью — дать представление о том, с чего началась схемотехника полупроводниковых логических элементов и какими недостатками она обладала.

Тесты к лекции 1.3

1. Какую логическую операцию выполняет базовый ЛЭ резисторно-транзисторной логики?

- а) ИЛИ–НЕ;
- б) И–НЕ;
- в) И–ИЛИ–НЕ.

2. В чем состоят недостатки логических элементов резисторно-транзисторной логики?

- а) зависимость уровня логической единицы от числа нагрузочных схем и, как следствие, сокращение запасов его статической помехоустойчивости с увеличением их числа;
- б) низкое напряжение питания и малый размах логических уровней ноля и единицы;
- в) большой ток потребления и высокое значение уровня логического ноля.

3. Как зависит уровень логической единицы в ЛЭ резисторно-транзисторной логики от числа нагрузочных схем?

- а) с увеличением числа нагрузочных схем уровень логической единицы снижается;
- б) с увеличением числа нагрузочных схем значение уровня логической единицы возрастает;
- в) уровень логической единицы в ЛЭ резисторно-транзисторной логики не зависит от числа нагрузочных схем.

4. Каков основной недостаток ЛЭ РТЛ?

- а) уменьшение запаса статической помехоустойчивости по отрицательной помехе при увеличении числа нагрузочных схем;
- б) зависимость уровня логической единицы от числа нагрузочных схем;
- в) зависимость тока потребления от числа нагрузочных схем;
- г) малый размах уровня логического сигнала.

5. Какую логическую функцию выполняет ЛЭ РТЛ?

- а) И–НЕ;
- б) ИЛИ–НЕ;
- в) ИЛИ.

6. На сколько логических элементов можно нагрузить логический элемент РТЛ, чтобы размах уровней логического сигнала был не менее 1 В?

- а) два;
- б) три;
- в) пять.

1.4. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ДИОДНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Цель лекции: ознакомление с логическими элементами диодно-транзисторной логики.

1.4.1. СХЕМА БАЗОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА ДИОДНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Схема базового ЛЭ диодно-транзисторной логики (ДТЛ) приведена на рис. 1.11, на рис. 1.12 показана его статическая передаточная характеристика. Диодно-транзисторная логика, как и резисторно-транзисторная, относится к классу насыщенных логических схем: выходной транзистор $VT1$ ЛЭ работает или в режиме отсечки, или в режиме насыщения. Рассасывание заряда в базе происходит через резистор $R2$. В случае его отсутствия рассасывание заряда в базе было бы долгим, а быстродействие ЛЭ слабым.

Если хотя бы на одном из входов присутствует низкий уровень входного сигнала, то ток от источника питания $E_{п}$ через резистор $R1$ и диод $VD1$ или $VD2$ течет в коллектор насыщенного транзистора схемы (к входу подключен такой же ЛЭ).

В этом случае напряжение в точке A $U_A = U_{VD3} + U_{КЭ\text{ нас } VT1} \approx 0,7 + 0,4 = 1,1$ В. Диоды реализуются из транзисторов путем замыкания областей базы и коллектора (рис. 1.13).

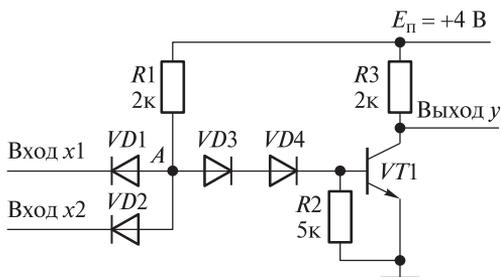


Рис. 1.11. Схема базового логического элемента диодно-транзисторной логики

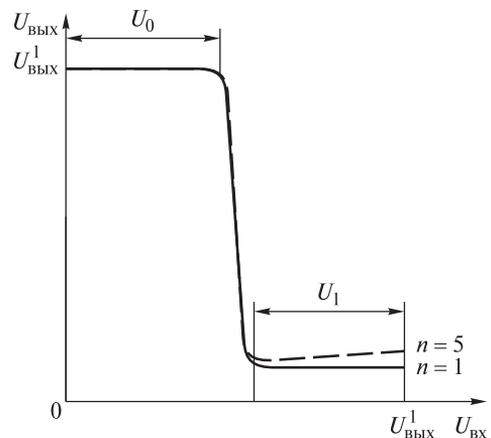


Рис. 1.12. Статическая передаточная характеристика логического элемента диодно-транзисторной логики

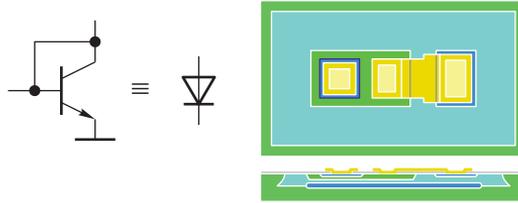


Рис. 1.13. Вариант топологической реализации диода в интегральных микросхемах

Если на входе присутствует сигнал уровня логического нуля, для открытия транзистора $VT1$ необходимо напряжение в точке A не ниже

$$U_A = U_{VD3} + U_{VD4} + U_{VT1} = 0,7 \text{ В} + 0,7 \text{ В} + 0,7 \text{ В} = 2,1 \text{ В}.$$

Следовательно, транзистор $VT1$ закрыт, через резистор $R3$ ток не протекает, падения напряжения на нем нет, поэтому на выходе схемы устанавливается уровень логической единицы.

Если на обоих входах ЛЭ присутствует высокий уровень логического сигнала, то диоды $VD1$ и $VD2$ закрываются. В этом случае ток, протекающий через резистор $R1$, течет через диоды $VD3$ и $VD4$ и частично через резистор $R2$ (небольшая часть, так как сопротивление резистора $R2$ велико), и далее в базу транзистора $VT1$, который открывается и переходит в режим насыщения. Его коллекторный ток, протекающий через резистор $R3$, приведет к падению на нем напряжения и низкому уровню выходного сигнала $U_0 \approx U_{КЭ \text{ нас}} = 0,3 \dots 0,4 \text{ В}$.

Логический элемент ДТЛ реализует логическую функцию И–НЕ. В этом ЛЭ, в отличие от ЛЭ РТЛ, размах логического сигнала практически не зависит от числа схем в нагрузке. Схема обладает высоким коэффициентом разветвления по выходу. Но каждая новая подключаемая схема вносит дополнительную емкость на входе, с увеличением числа нагрузочных схем динамические характеристики такого ЛЭ ухудшаются.

Для того чтобы определить точку перегиба статической передаточной характеристики (СПХ) логического элемента ДТЛ, надо определить напряжение на его входе, при котором открывается транзистор $VT1$ (в момент его открытия диод $VD1$ еще открыт):

$$U_{\text{п}} = U_{VD3} + U_{VD4} + U_{VT1} - U_{VD1} = 0,7 \text{ В} + 0,7 \text{ В} + 0,7 \text{ В} - 0,7 \text{ В} = 1,4 \text{ В}.$$

Вследствие наличия у транзистора $VT1$ сопротивления тела коллектора с увеличением числа n нагрузочных схем СПХ в зоне уровня логического нуля на выходе немного поднимается.

Точку перегиба СПХ можно сдвинуть вправо на $0,7 \text{ В}$, добавив диод в цепь диодов $VD3$ и $VD4$.

Микросхемы ДТЛ выпускались в начале и середине 1960-х гг. В настоящее время выпускаются микросхемы ДТЛ, имеющие большой запас помехоустойчивости. Логические элементы этого типа будут рассмотрены далее.

Недостатки логических элементов диодно-транзисторной логики:

– высокоомный резистор $R2$ занимает большую площадь кристалла, поскольку его формировали методом диффузии (метода ионной имплантации в то время еще не существовало), с помощью которого получить области с высоким поверхностным сопротивлением было затруднительно;

– ЛЭ имеет высокое выходное сопротивление и, как следствие, продолжительное время перехода из одного состояния в другое.

Для увеличения быстродействия модернизировали ЛЭ ДТЛ, применив схему со сложным инвертором (рис. 1.14).

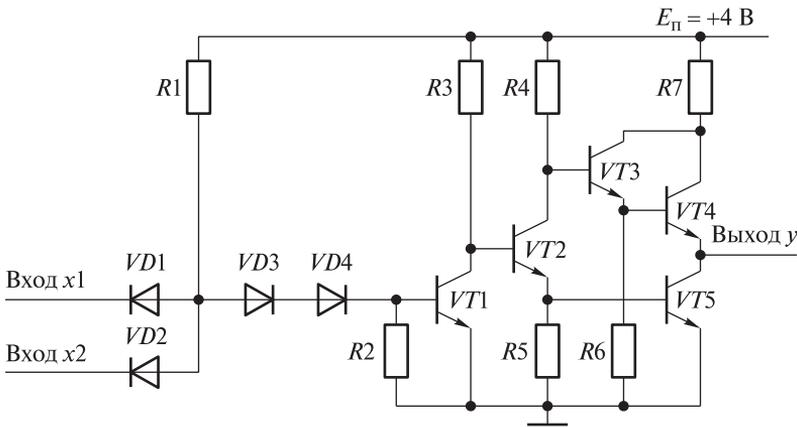


Рис. 1.14. Принципиальная схема логического элемента диодно-транзисторной логики со сложным инвертором, реализующая логическую функцию $2И$

Резистор $R7$ ограничивает ток, протекающий через транзисторы $VT4$ и $VT5$. Резистор $R6$ необходим для того, чтобы увеличить ток базы транзистора $VT3$. Без этого резистора ток базы $VT3$ сравним с токами утечки, что в случае отклонений в технологическом процессе производства ИМС приведет к неработоспособности микросхемы.

Когда на выходе ЛЭ присутствует уровень логического нуля, транзистор $VT5$ находится в режиме насыщения. Следовательно, у транзистора $VT5$ есть базовый ток. Для существования тока необходимо падение напряжения на резисторе $R5$. Это возможно лишь при открытом транзисторе $VT2$. Если он открыт, есть падение напряжения на резисторе $R4$ и напряжения на базе транзистора $VT3$ недостаточно для того, чтобы открыть пару транзисторов $VT3$ и $VT4$. Через резистор $R3$ протекает ток базы $VT2$, что возможно лишь при закрытом транзисторе $VT1$, т. е. только тогда, когда хотя бы на одном из входов ЛЭ присутствует уровень логического нуля. Таким образом, рассмотренная схема реализует логическую функцию $И$.

1.4.2. ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ДИОДНО-ТРАНЗИСТОРНОЙ ЛОГИКИ С УВЕЛИЧЕННЫМ ЗАПАСОМ ПОМЕХОУСТОЙЧИВОСТИ

Вариант ЛЭ ДТЛ с усовершенствованной входной цепью приведен на рис. 1.15.

Транзистор $VT1$ нужен для обеспечения протекания малых токов во входной цепи. При логическом нуле на входе он работает как эмиттерный повторитель. Кроме того, его наличие повышает помехоустойчивость ЛЭ вследствие падения напряжения на еще одном $p-n$ -переходе. Большая часть тока, протекающего через резистор $R1$, уходит в его коллекторную цепь, меньшая часть протекает через резистор $R2$ и уходит в предыдущую схему.

Логические элементы данного типа (рис. 1.16) применяют в схемах промышленной автоматики (управление станками с числовым программным управлением).

Для того чтобы сэкономить площадь кристалла, цепочку диодов смещения заменили стабилитроном, работающим в режиме пробоя. Транзистор $VT2$ должен быть рассчитан на протекание достаточно больших токов, так как сопротивление резистора $R3$ составляет лишь 5 кОм. Транзистор $VT3$ открывается, только если транзистор $VT2$ закрыт. Диод $VD3$ — дополнительный диод, который пропускает ток при закрытом транзисторе $VT3$. Статическая передаточная характеристика такой схемы приведена на рис. 1.17.

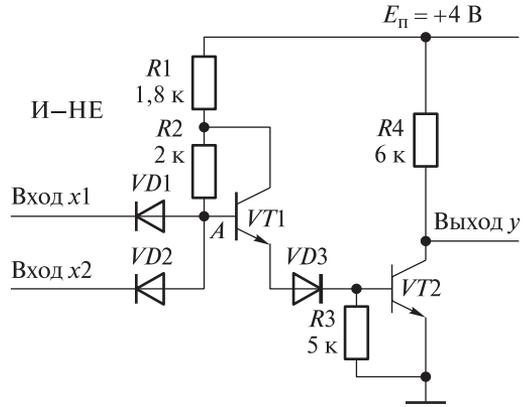


Рис. 1.15. Схема усовершенствованного логического элемента диодно-транзисторной логики с уменьшенным входным током

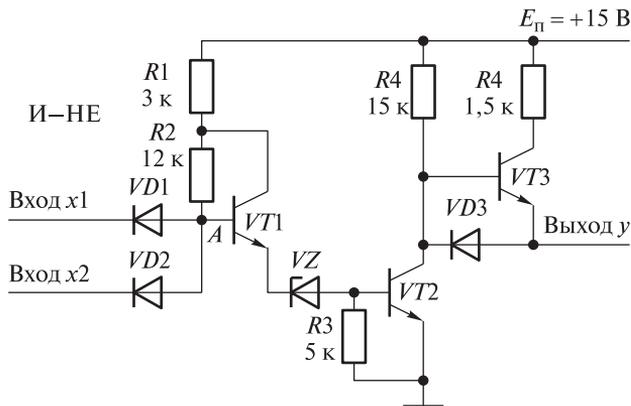


Рис. 1.16. Схема логического элемента диодно-транзисторной логики с повышенной помехоустойчивостью

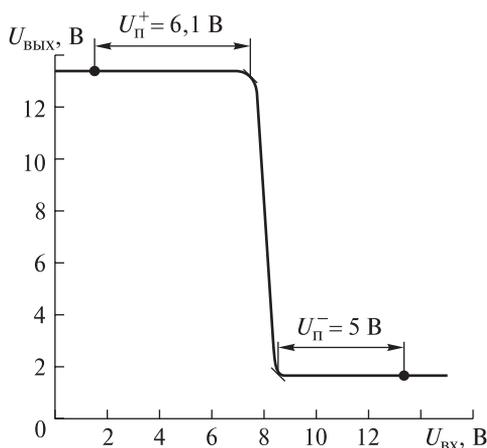


Рис. 1.17. Статическая передаточная характеристика логического элемента диодно-транзисторной логики с увеличенным запасом статической помехоустойчивости

Недостатки логических элементов диодно-транзисторной логики:

- большие номиналы резисторов;
- большая площадь кристалла, занимаемая диодной сборкой;
- наличие паразитных емкостей в цепочке диодов смещения (снижение быстродействия).

Стабилитрон VZ (см. рис. 1.16) улучшает температурные характеристики ЛЭ, но является источником шума. Однако в цифровой схемотехнике это практически никак не влияет на работу ЛЭ.

Тесты к лекции 1.4

1. В чем заключается усовершенствование ЛЭ ДТЛ, схема которого приведена на рис. 1.15?

а) в схеме на рис. 1.15 входной резистор $R1$ (см. рис. 1.11) разделен на два — $R1$ и $R2$. Суммарное сопротивление этих резисторов больше, потому входной ток ЛЭ — меньше. В связи с этим ЛЭ имеет больший коэффициент объединения по входу и к его входам можно подключить большее число логических элементов;

б) в схеме на рис. 1.15 у транзистора $VT1$ напряжение на коллекторе всегда выше напряжения на базе, поэтому он никогда не может оказаться в режиме насыщения. Быстродействие такого ЛЭ выше.

2. Какие достоинства и недостатки свойственны логическим элементам ДТЛ?

а) основное достоинство в том, что уровни логических сигналов почти не зависят от числа нагрузочных логических элементов, основной недостаток — входная диодная сборка занимает на кристалле ЛЭ большую площадь;

б) размах уровней логических сигналов практически равен напряжению питания;

в) сопротивление резистора, подключенного между эмиттером и базой выходного транзистора, велико, а сам резистор занимает на кристалле большую площадь.

3. Какую функцию выполняют диоды $VD3$ и $VD4$ в схеме ЛЭ ДТЛ, приведенной на рис. 1.11?

а) изменяют статический режим работы ЛЭ4;

б) обеспечивают запас статической помехоустойчивости ЛЭ;

в) увеличивают быстродействие ЛЭ.

4. Какую функцию выполняет резистор $R2$ в схеме ЛЭ ДТЛ, приведенной на рис. 1.11?

а) обеспечивает быстрый разряд избыточного заряда дырок в базе транзистора $VT1$ и вывод его из режима насыщения, увеличивая быстродействие ЛЭ;

б) уменьшает степень насыщения транзистора $VT1$ вследствие отвода части его базового тока;

в) изменяет статический режим работы транзистора $VT1$.

1.5. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Цель лекции: ознакомление с логическими элементами транзисторно-транзисторной логики.

1.5.1. СХЕМА БАЗОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

В логических элементах транзисторно-транзисторной логики (ТТЛ) с целью улучшения электрических параметров (увеличения быстродействия, уменьшения мощности рассеяния) и повышения плотности размещения элементов на кристалле входная матрица диодов заменена многоэмиттерным транзистором. Принципиальная схема простого базового ТТЛ и его СПХ показаны на рис. 1.18, *а*, *б*, таблица истинности приведена ниже:

x_2	x_1	y
0	0	1
0	1	1
1	0	1
1	1	0

Представленная схема имеет большое выходное сопротивление, а потому медленно переключается из одного состояния в другое. Для снижения выходного сопротивления логического элемента и улучшения его функциональных параметров введена схема сложного инвертора. В результате ЛЭ имеет схему, показанную на рис. 1.19. Схема содержит три каскада: входной (транзистор $VT1$ и резистор $R1$), фазорасщепительный (транзистор $VT2$, резисторы $R2$ и $R3$) и выходной (транзисторы $VT3$ – $VT5$ и токоограничительный резистор $R4$).

Если хотя бы на одном из входов ЛЭ присутствует низкий уровень логического сигнала, то ток от источника питания протекает через резистор $R1$ и далее через соответствующий открытый переход база–эмиттер многоэмиттерного транзистора $VT1$ втекает в коллектор транзистора $VT2$ предыдущего ЛЭ. Переход база–коллектор транзистора $VT1$ закрыт, поэтому тока в базу транзистора $VT2$ нет и он находится в режиме отсечки. Нет падения напряжения на резисторе $R2$, и на выходе ЛЭ устанавливается высокий уровень логического сигнала. Отметим, что в этом случае транзистор $VT1$ работает в активном режиме.

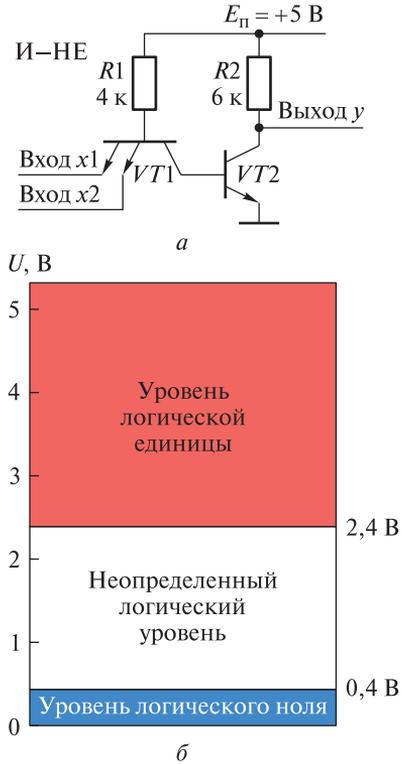


Рис. 1.18. Простой базовый логический элемент транзисторно-транзисторной логики:

a — принципиальная схема; *б* — принятые в транзисторно-транзисторной логике уровни логических сигналов

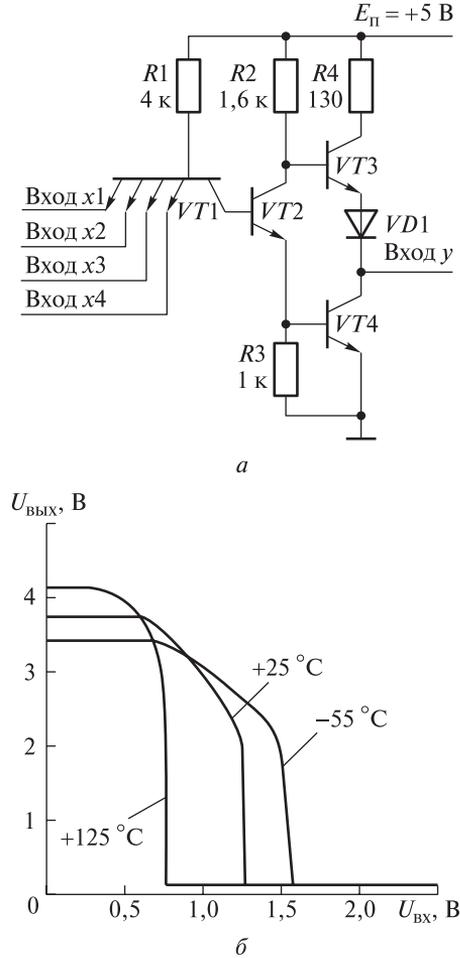


Рис. 1.19. Базовый логический элемент транзисторно-транзисторной логики:

a — принципиальная схема; *б* — статическая передаточная характеристика ($U_n = 5$ В; $R_n = 4$ кОм)

Если на обоих входах схемы присутствует высокий уровень логического сигнала, то все переходы база–эмиттер многоэмиттерного транзистора VT_1 закрыты, а переход база–коллектор открыт. Поэтому ток от источника питания через резистор R_1 течет в базу транзистора VT_2 , вызывая его переход из режима отсечки в активный режим и затем в режим насыщения. В этом случае его коллекторный ток протекает через резистор R_2 , и на нем есть падение напряжения. На выходе схемы устанавливается низкий уровень логического сигнала. Транзистор VT_1 в этом случае работает в инверсном активном режиме.

В рассматриваемой схеме (см. рис. 1.18, б) сопротивление резистора $R2$ должно быть достаточно большим (3...6 кОм), чтобы гарантировать попадание транзистора $VT2$ в режим насыщения при наихудшем сочетании параметров.

Работу этого ЛЭ при различных уровнях входного сигнала иллюстрирует рис. 1.20. Для ЛЭ ТТЛ принята шкала уровней логического сигнала, показанная на рис. 1.18, б.

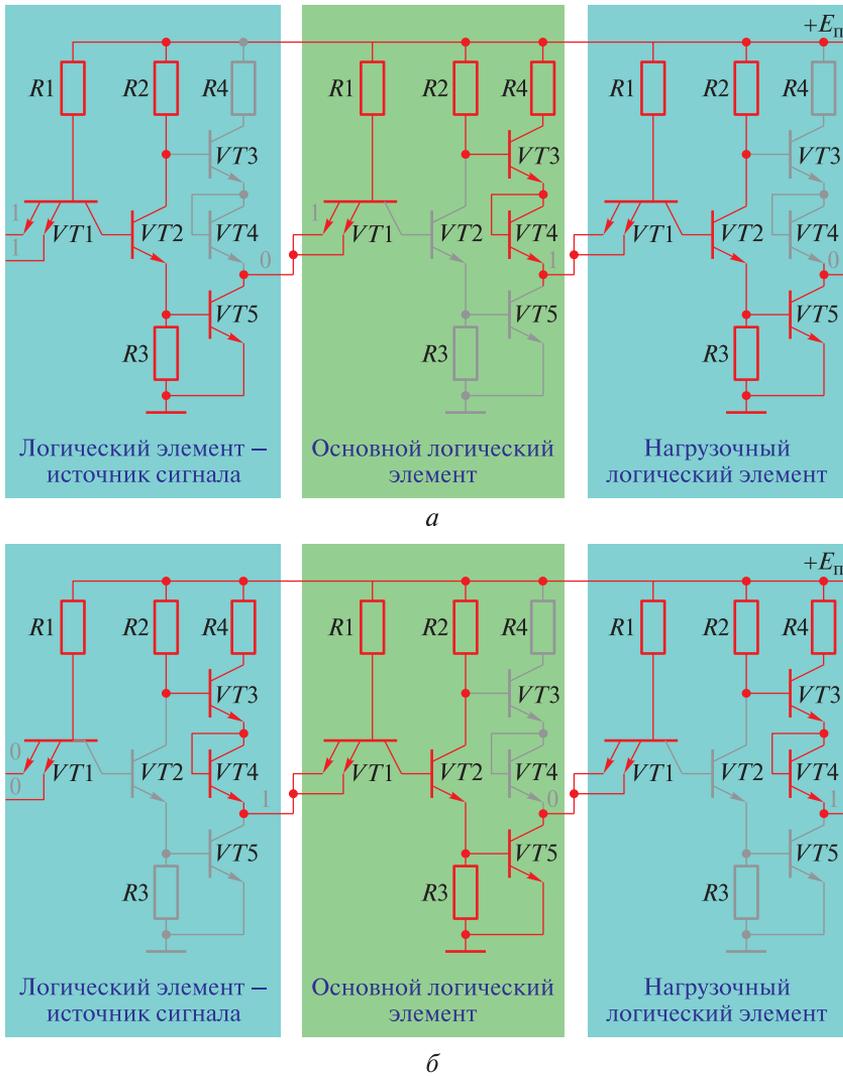


Рис. 1.20. Схема работы базового логического элемента транзисторно-транзисторной логики при уровнях на входе основного логического элемента:

а — логический единицы; *б* — логического нуля

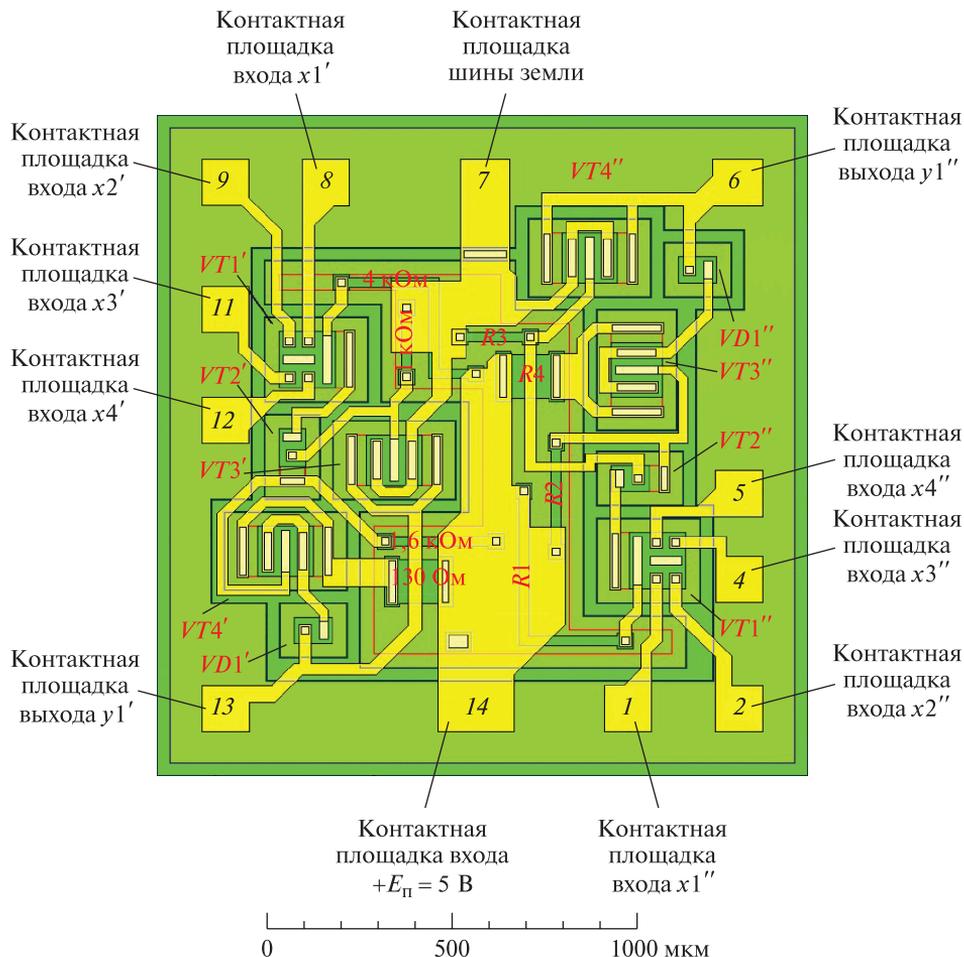


Рис. 1.21. Топология кристалла микросхемы К155ЛА1 (зарубежный аналог — микросхема SN7420)

На рис. 1.21 приведена топология кристалла микросхемы К155ЛА1, в котором реализованы два четырехвходовых логических элемента, имеющих принципиальную схему, представленную на рис. 1.18, а.

1.5.2. РАЗНОВИДНОСТИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

На рис. 1.22 приведена принципиальная схема универсального базового ЛЭ ТТЛ. Такие элементы выпускались как самостоятельные изделия и служили для построения других, более сложных приборов.

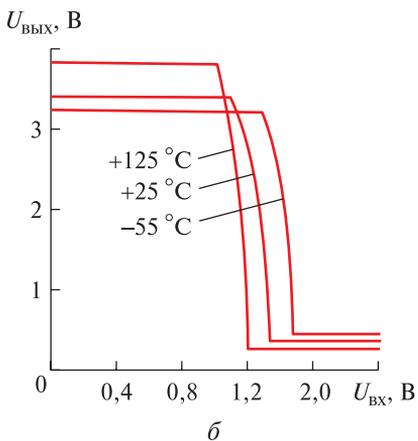
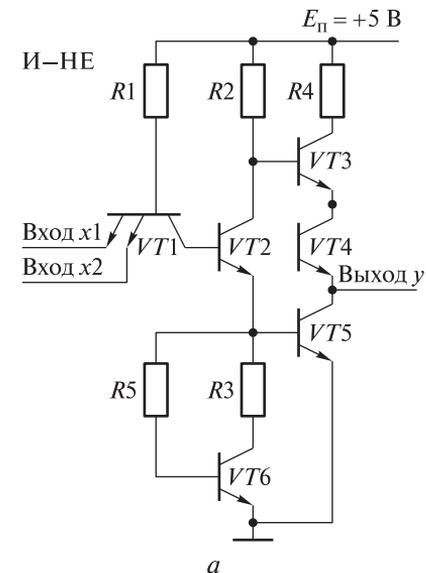


Рис. 1.22. Базовый логический элемент транзисторно-транзисторной логики:

a — принципиальная схема; *б* — улучшенная форма статической передаточной характеристики ($U_{п} = 5 \text{ В}$, $R_{н} = 280 \text{ Ом}$)

В этом ЛЭ узел $VT6$, $R3$, $R5$ служит для улучшения формы статической передаточной характеристики. При первом рассмотрении он может быть представлен как резистор с сопротивлением 1 кОм .

Иногда на вход такой схемы между входом и общей землей ставят так называемые защитные диоды. При нормальном использовании ЛЭ эти диоды смещены в обратном направлении, имеют очень большое сопротивление и не влияют на работу ЛЭ.

Когда один или несколько входов соединены с общей шиной — непосредственно или через выходной транзистор предыдущего каскада, — соответствующий эмиттерный переход транзистора $VT1$ окажется смещенным в прямом направлении, поскольку потенциал базы выше потенциала эмиттера.

На рис. 1.23 приведена схема микро-мощного базового логического элемента ТТЛ.

Различие логических элементов, представленных на рис. 1.19, *a* и 1.23, состоит в основном в номиналах сопротивлений резисторов. В логическом элементе, представленном на рис. 1.23, сопротивления резисторов существенно выше. Поскольку сопротивления достаточно велики, протекающие в цепях логических элементов токи малы, поэтому мощность, рассеиваемая на каждом транзисторе микросхемы, также мала.

С увеличением сопротивлений резисторов быстродействие снижается, однако медленнее, чем увеличиваются номиналы их сопротивлений. Объясняется это тем, что транзисторы с малой мощностью рассеяния выполняют меньших размеров, а значит, они обладают меньшими паразитными емкостями. Микро-мощные логические элементы ТТЛ рассеивают примерно в 10 раз меньшую мощность по сравнению с аналогичными по назначению логическими элементами универсальных серий, но уступают им по быстродействию примерно в 3–5 раз. Кроме того, микросхемы характеризуются меньшей работой переключения.

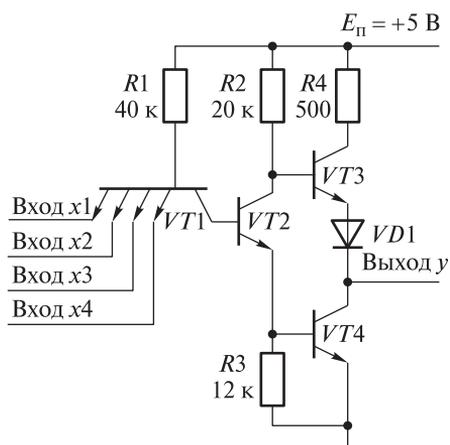


Рис. 1.23. Принципиальная схема микро-мощного логического элемента ТТЛ

Микросхемы таких серий (см. рис. 1.23) допускают непосредственное сопряжение по входам и выходам с микросхемами универсальных серий, а также с КМДП-структурами в случае питания последних от источника напряжения $E_{п} = +5$ В. Благодаря тому что в составе микросхем имеются функциональные узлы СИС, которых нет среди изделий других серий ТТЛ КМДП, арсенал технических средств разработчика аппаратуры приборостроения увеличивается.

1.5.3. МИКРОСХЕМЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ ПОВЫШЕННОГО БЫСТРОДЕЙСТВИЯ

Быстродействие микросхем ТТЛ можно повысить двумя способами:

- 1) уменьшая сопротивление резисторов и паразитные емкости;
- 2) предотвращая насыщение транзисторов схемы, а следовательно, и накопление носителей зарядов в их базах.

Оба способа нашли практическое воплощение.

Микросхемы, реализующие *первый* способ, имеют задержку распространения $t_{зд} = 12$ нс на ЛЭ при мощности потребления 23 мВт. Базовый ЛЭ такой микросхемы (рис. 1.24) схематически не отличается от аналогичных элементов других серий ТТЛ. Выходной каскад с парой совмещенных транзисторов (схема Дарлингтона) обладает меньшим выходным сопротивлением, что повышает его быстродействие. Схемы этого типа могут работать с тактовой частотой до 50 МГц.

Второй способ повышения быстродействия микросхем ТТЛ — более результативный и перспективный — связан с применением транзисторов с базой Шоттки.

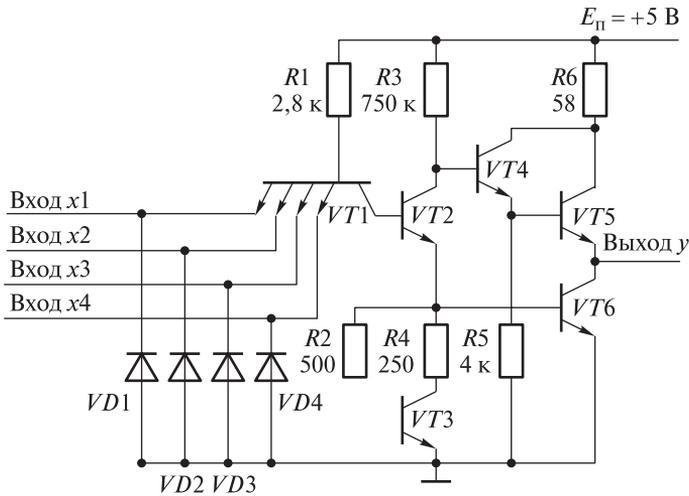


Рис. 1.24. Принципиальная схема базового логического элемента транзисторно-транзисторной логики повышенного быстродействия

Микросхемы этого вида среди других изделий ТТЛ имеют максимальное быстродействие, которое сочетается с умеренным потреблением мощности. Эти качества достигаются за счет введения в схему структур металл–слабо легированный полупроводник, обладающих выпрямляющими свойствами (диодов с барьером Шоттки, или, короче, *диодов Шоттки*).

По принципу действия диоды Шоттки существенно отличаются от диодов, работа которых основана на свойствах электронно-дырочного $p-n$ -перехода. В $p-n$ -переходе, смещенном в прямом направлении, перенос тока обусловлен инжекцией неосновных носителей заряда из одной области полупроводника в другую. Вследствие этого после переключения приложенного напряжения с прямого на обратное ток еще протекает некоторое время, пока избыточная концентрация неосновных носителей не снизится до нуля (время рассасывания).

В диоде Шоттки накопления неосновных носителей заряда не происходит, поскольку перенос тока в нем обусловлен переходом (эмиссией) основных носителей заряда из полупроводника в металл. Благодаря этому время их выключения очень мало (до 100 пс) и не зависит от температуры, в то время как для $p-n$ -переходов оно составляет 1...100 нс.

Другое достоинство диодов Шоттки состоит в том, что для их отпириания требуется напряжение 0,2...0,4 В против 0,6...0,7 В для диодов с $p-n$ -переходом, это напряжение можно регулировать подбором металла, образующего контакт с полупроводником.

В стандартных микросхемах ТТЛ открытые транзисторы находятся в состоянии насыщения, при котором эмиттерный и коллекторный переходы

смещены в прямом направлении и инжектируют носители заряда в базу. Это создает избыточное количество неосновных носителей заряда в базовой и коллекторной областях, которые, как и в случае одиночного перехода, удлиняют процесс выключения транзистора. Подключаемые параллельно коллекторному переходу транзистора диоды Шоттки придают ему ряд новых качеств (рис. 1.25). Диоды Шоттки формируются на общем кристалле одновременно с остальными элементами микросхемы в едином технологическом процессе. Транзисторы с диодами Шоттки часто называют транзисторами с барьером Шоттки или просто *транзисторами Шоттки*.

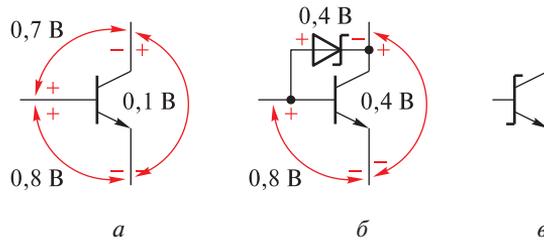
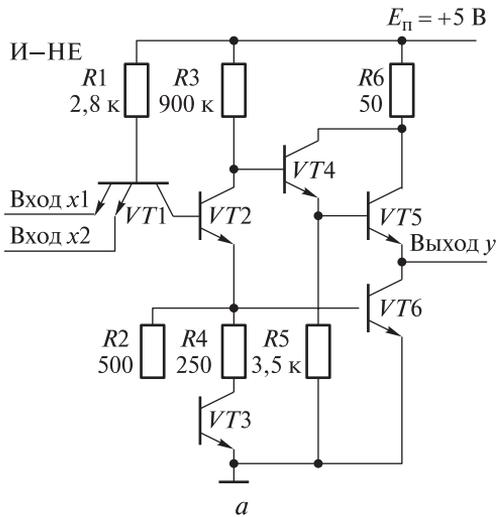


Рис. 1.25. Распределение напряжений в режиме насыщения в биполярном транзисторе: а — обычном; б — с диодом Шоттки; в — условное изображение транзистора Шоттки

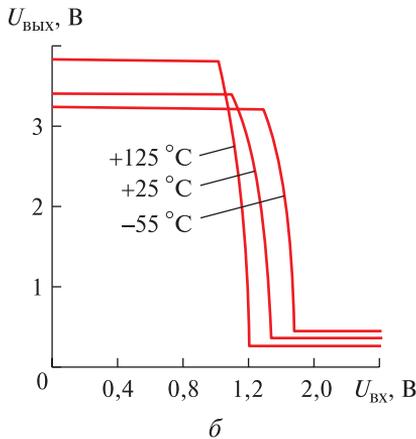
Когда транзистор заперт или находится в ненасыщенном режиме, потенциал коллектора выше потенциала базы, а значит, диод смещен в обратном направлении и не влияет на работу транзистора. Если в процессе отпирания транзисторов потенциал коллектора становится ниже потенциала базы, диод Шоттки открывается и на нем устанавливается прямое напряжение U_d^+ . Поскольку это напряжение меньше 0,5 В, переход база–коллектор практически заперт, а следовательно, не возникает режима насыщения и связанных с ним двойной инжекции и накопления избыточного заряда в базе. Благодаря этому при запираии транзистора существенно сокращается время задержки, необходимое для его рассасывания.

На рис. 1.25, а, б указаны напряжения на электродах транзистора. Остаточное напряжение на коллекторе транзистора Шоттки составляет 0,2...0,4 В, т. е. немного больше, чем на обычном насыщенном транзисторе. На рис. 1.26 показаны принципиальная схема и статическая передаточная характеристика логического элемента транзисторно-транзисторной логики с диодами Шоттки (ТТЛШ).

В микросхемах ТТЛ с диодами Шоттки, как и в универсальных сериях ТТЛ, переключения из одного состояния в другое сопровождаются бросками тока в цепи питания; потребляемая мощность быстро возрастает с увеличением частоты переключений. Если в статическом режиме микросхема ТТЛШ потребляет практически такую же мощность, что и аналогичная микросхема универсальных серий ТТЛ, то при частоте переключений 50 МГц рассеиваемая мощность удваивается, а при частоте 100 МГц утраивается.



а



б

Рис. 1.26. Базовый логический элемент транзисторно-транзисторной логики с диодами Шоттки:

а — принципиальная схема; б — статическая передаточная характеристика $U_{\text{п}} = 5 \text{ В}$, $R_{\text{н}} = 280 \text{ Ом}$

пустимые помехи для микросхем этих серий немного меньше, ввиду того что между базой входного транзистора и шиной земли находятся два $p-n$ -перехода, а не три, как у микросхем ТТЛ других серий.

Важно отметить, что суммарная мощность, рассеиваемая микросхемой, ограничена некоторым предельным значением, которое определяется типом используемого корпуса. Так, для пластмассового корпуса с 14 выводами максимальная мощность составляет 0,5 Вт, что накладывает существенные ограничения на функциональную сложность микросхемы. По этой причине

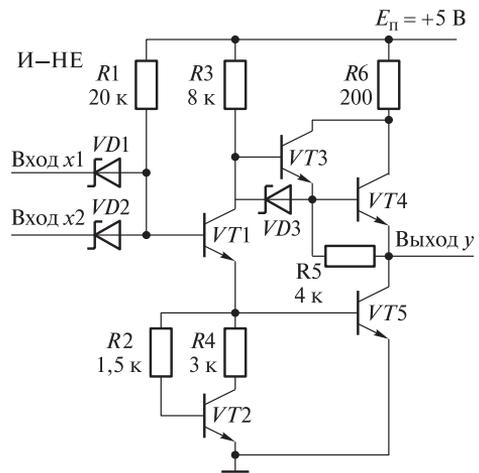


Рис. 1.27. Принципиальная схема улучшенного базового логического элемента маломощных микросхем ТТЛШ

В маломощных микросхемах ТТЛ с диодами Шоттки (рис. 1.27) высокое быстродействие сочетается с умеренным потреблением мощности. При одинаковом с универсальным ЛЭ ТТЛ быстродействию потребляемая мощность ЛЭ ТТЛШ в 5 раз меньше.

В целом схема повторяет рассмотренные ранее схемы логических элементов ТТЛ, но отличается от них тем, что на входе вместо многоэмиттерного транзистора стоят диоды Шоттки, благодаря чему свободные входы могут непосредственно подключаться к шине питания.

обычные ТТЛ-схемы, а также схемы ТТЛШ не подходят для создания БИС. Поскольку маломощные микросхемы с диодами Шоттки потребляют примерно в 5 раз меньшую мощность, на одном кристалле можно разместить в 5 раз больше транзисторов и других элементов без превышения норм перегрева.

По сравнению с другими сериями семейства микросхем ТТЛ маломощные микросхемы ТТЛШ наиболее привлекательны для использования в аппаратуре приборостроения, работающей с высокой производительностью.

Тесты к лекции 1.5

1. Что такое диод Шоттки? Какова его структура?

- а) область контакта между слабо легированным полупроводником и металлом;
- б) $p-n$ -переход между металлом и полупроводником;
- в) диод, подключенный параллельно областям базы и коллектора транзистора.

2. В чем заключаются преимущества логических элементов ТТЛШ перед логическими элементами ТТЛ?

- а) диоды Шоттки являются практически безынерционными элементами, поэтому при их использовании можно получить логические элементы с большим быстродействием. Будучи подключенными параллельно $p-n$ -переходу между базой и коллектором транзистора, они вследствие другой формы ВАХ уменьшают степень насыщения транзистора, что также способствует повышению быстродействия логических элементов;
- б) по сравнению с логическими элементами ТТЛ, логические элементы ТТЛШ имеют больший запас статической помехоустойчивости;
- в) логические элементы ТТЛШ, по сравнению с логическими элементами ТТЛ, имеют большую потребляемую мощность.

1.6. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ С РАСШИРЕННЫМИ ЛОГИЧЕСКИМИ ФУНКЦИЯМИ

Цель лекции: ознакомление с логическими элементами транзисторно-транзисторной логики с расширенными логическими функциями.

Логические элементы И–НЕ наиболее характерны для микросхем семейства ТТЛ. Помимо базового элемента (два элемента 4И–НЕ) выпускаются также логические элементы 4×2И–НЕ, 3×3И–НЕ, 8И–НЕ, обладающие такими же электрическими и временными характеристиками. Число входов (расширение по логической функции И) можно увеличить, объединив несколько схем И–НЕ на основе закона де Моргана. Тот же результат может быть достигнут при подключении дополнительных внешних диодов и резистора к любому входу микросхемы И–НЕ (рис. 1.28).

На рис. 1.29 представлена принципиальная схема логического элемента И–ИЛИ–НЕ ТТЛ, реализующего ЛЭ двухступенчатой логики и относящегося к логическим элементам, которые обладают расширенными функциональными возможностями. Рис. 1.30 иллюстрирует работу этого ЛЭ при различных сочетаниях входных сигналов.

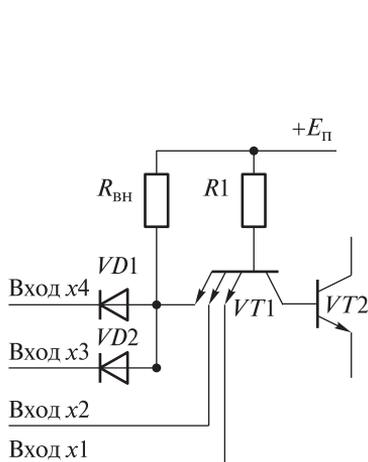


Рис. 1.28. Способ увеличения числа входов И (расширение по логической функции И) в логическом элементе транзисторно-транзисторной логики

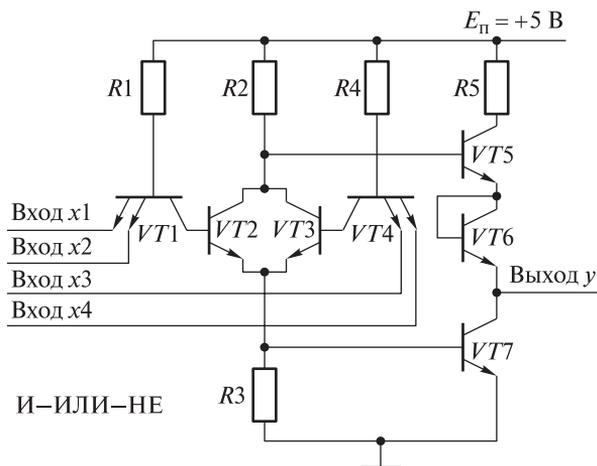


Рис. 1.29. Принципиальная схема логического элемента И–ИЛИ–НЕ транзисторно-транзисторной логики

Еще одним ЛЭ, относящимся к группе логических элементов, которые обладают расширенными логическими функциями, относится ЛЭ ТТЛ с разрешением работы по входу (рис. 1.31). Этот ЛЭ имеет дополнительный вход EI , с помощью которого осуществляется фиксация его выходного состояния.

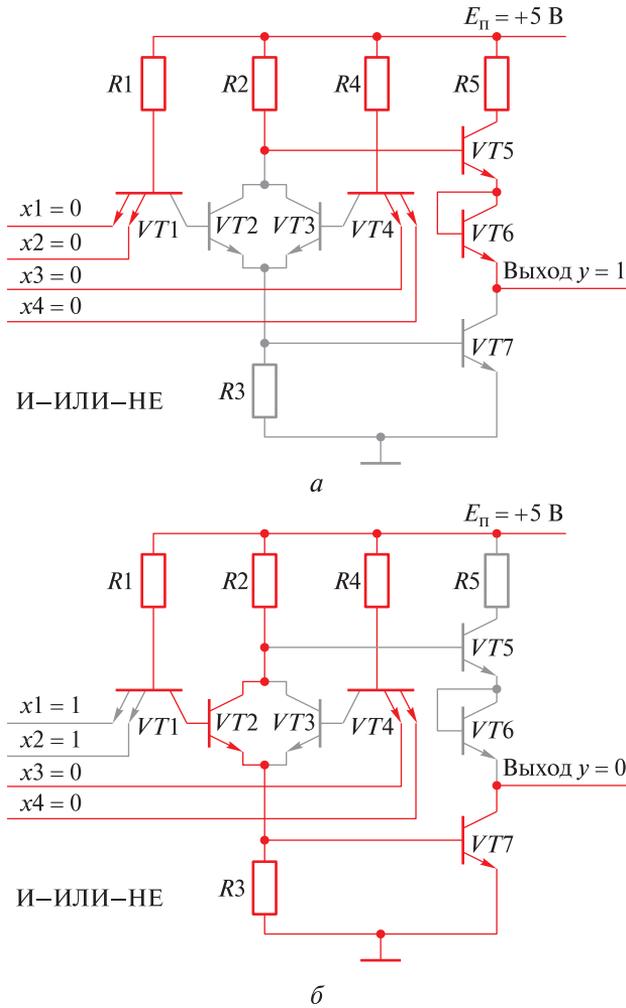


Рис. 1.30. Иллюстрация работы логического элемента транзисторно-транзисторной логики И-ИЛИ-НЕ при различных сочетаниях входных сигналов:

а — $x1 = 0, x2 = 0, x3 = 0, x4 = 0$; *б* — $x1 = 1, x2 = 1, x3 = 0, x4 = 0$

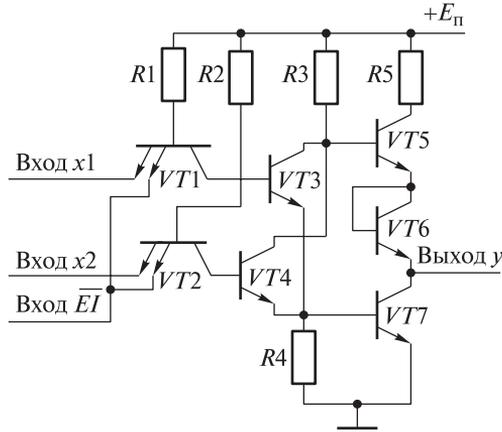


Рис. 1.31. Принципиальная схема логического элемента транзисторно-транзисторной логики с разрешением работы по входу

Рис. 1.32 иллюстрирует работу ЛЭ с разрешением работы по выходу при различных сочетаниях входных сигналов. Кроме того, ниже дополнительно приведена таблица истинности его работы:

Входы			y
x ₁	x ₂	EI	
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	0
X	X	0	1

Наконец, рассмотрим еще один ЛЭ ТТЛ, относящийся к типу логических элементов с расширенными функциональными возможностями, который обладает свойством иметь на выходе высокоимпеданное состояние. Его принципиальная схема показана на рис. 1.33, а его работу при различных сочетаниях входных сигналов иллюстрирует рис. 1.34.

Рассмотрим работу этого ЛЭ. Пока транзистор *VT4* (см. рис. 1.34) заперт, схема работает подобно обычному ЛЭ ТТЛ, выполняющему логическую функцию ИЛИ–НЕ. В этом случае диод *VD1* смещен в обратном направлении.

При открытом транзисторе *VT4* (см. рис. 1.34) диод *VD1* также открыт и напряжение в точке *A* равно $U_{КЭ\text{ нас}VT4} + U_{VD1} \approx 1,1$ В, поэтому транзистор *VT6* в этом случае оказывается закрытым вместе с транзистором *VT7*, поскольку для их открытия нужно, чтобы напряжение в точке *A* было примерно равно 1,4 В.

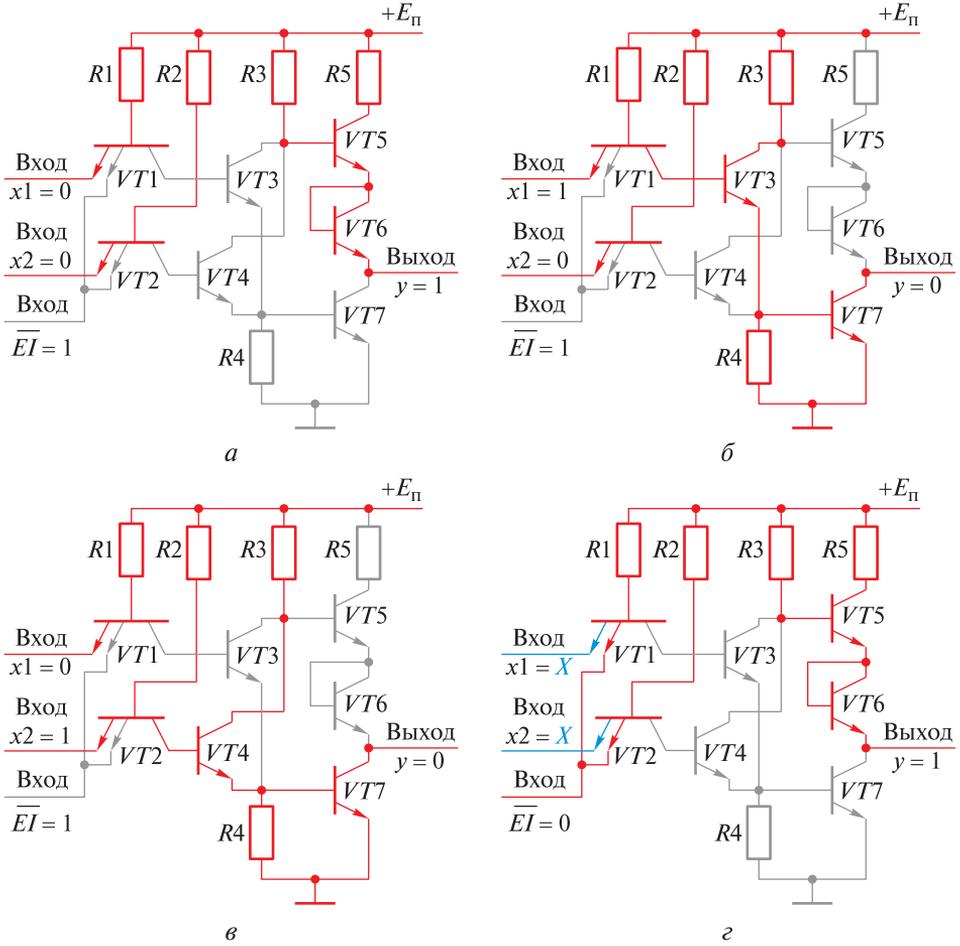


Рис. 1.32. Иллюстрация работы логического элемента транзисторно-транзисторной логики с разрешением работы по выходу при различных сочетаниях входных сигналов:

- $a - x1 = 0, x2 = 0; \overline{EI} = 1; б - x1 = 1, x2 = 0; \overline{EI} = 1; в - x1 = 0, x2 = 1; \overline{EI} = 1;$
 $г - x1 = X, x2 = X; \overline{EI} = 0$

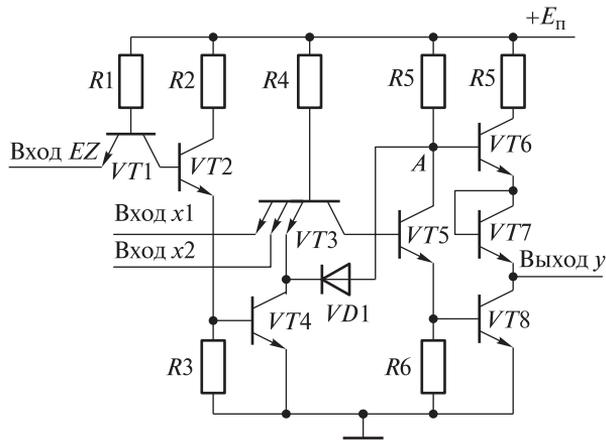


Рис. 1.33. Принципиальная схема логического элемента транзисторно-транзисторной логики с тремя выходными состояниями

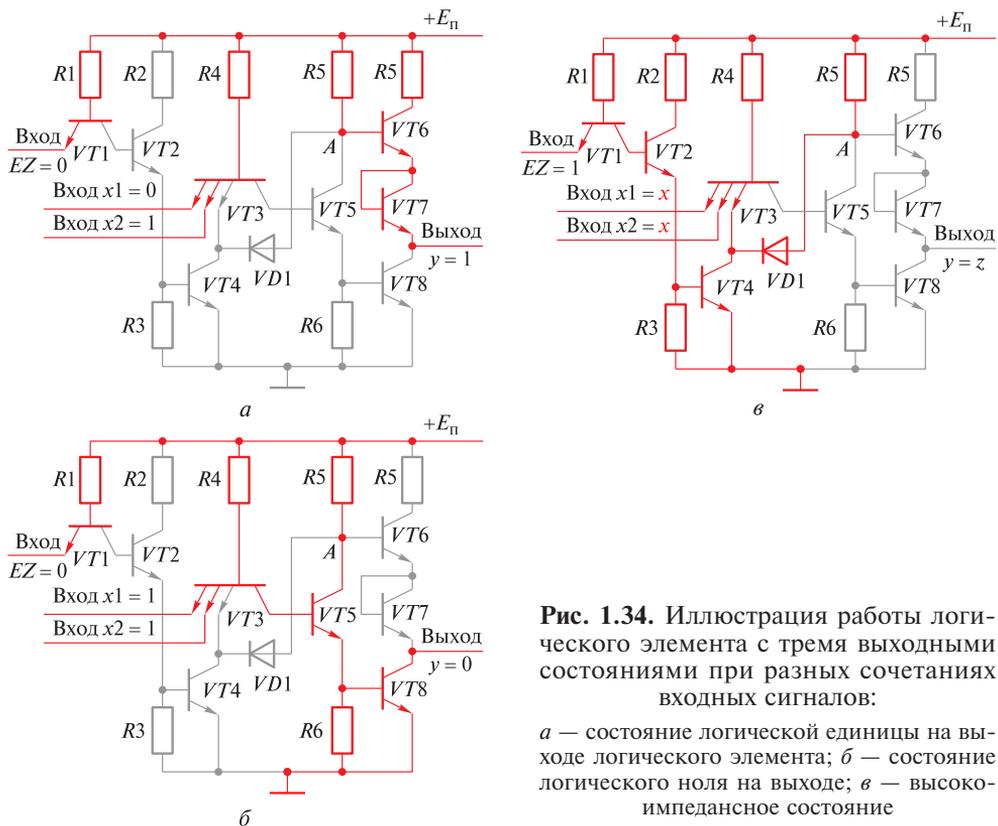


Рис. 1.34. Иллюстрация работы логического элемента с тремя выходными состояниями при разных сочетаниях входных сигналов:

a — состояние логической единицы на выходе логического элемента; *б* — состояние логического нуля на выходе; *в* — высокоимпедансное состояние

Транзистор $VT5$ закрыт, значит, закрыт и транзистор $VT8$. Поэтому выход ЛЭ оказывается отсоединенным и от источника питания, и от общей шины (высокоимпедансное состояние). В этом состоянии ЛЭ потребляет значительно меньшую мощность.

Таблица истинности ЛЭ с тремя выходными состояниями приведена ниже:

Входы			у
x_1	x_2	EZ	
0	0	0	1
0	1	0	1
1	0	0	1
1	1	0	0
X	X	1	Z

В таблице приняты следующие обозначения: Z — высокоимпедансное состояние; X — любое логическое состояние (0 или 1).

Тесты к лекции 1.6

1. При каком уровне сигнала на входе EI на выходе ЛЭ с разрешением работы по входу состояние его выхода не будет зависеть от комбинации сигналов на входах?

- а) при $EI = 0$ (поясните);
- б) при $EI = 1$ (поясните).

2. При каком уровне сигнала на входе EZ на выходе ЛЭ с тремя выходными состояниями будет иметь место высокоимпедансное состояние?

- а) при $EZ = 1$ (поясните);
- б) при $EZ = 0$ (поясните).

3. Какое напряжение должно быть в точке A ЛЭ с тремя выходными состояниями, чтобы оба транзистора верхнего плеча схемы сложного инвертора находились в режиме отсечки?

- а) не выше 1,6 В;
- б) не выше 2,5 В;
- в) не ниже 1,1 В.

1.7. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

Цель лекции: ознакомление с принципами работы логических элементов эмиттерно-связанной логики.

1.7.1. СХЕМА БАЗОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

Ранее были рассмотрены логические элементы, при работе которых хотя бы один из транзисторов оказывался в режиме насыщения, что снижало быстродействие таких схем. Однако на биполярных транзисторах можно построить логические элементы, в которых ни один из транзисторов в процессе работы никогда не окажется в режиме насыщения. Примером таких логических элементов являются логические элементы эмиттерно-связанной логики (ЭСЛ). Это сверхбыстродействующие схемы.

Основу схемотехники ЛЭ ЭСЛ составляет схема дифференциального каскада (рис. 1.35).

Для обеспечения ненасыщенного режима работы транзисторов напряжение на их коллекторах должно быть больше напряжения на базах, поэтому для согласования уровней входных и выходных сигналов ЛЭ с целью понижения выходного напряжения в схему вводят эмиттерные повторители. В результате она изменяется так, как показано на рис. 1.36.

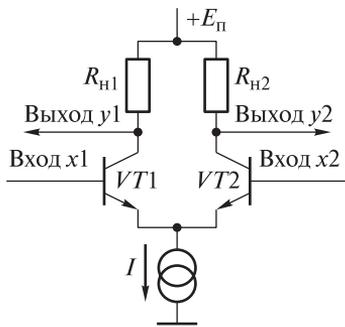


Рис. 1.35. Схема дифференциального каскада

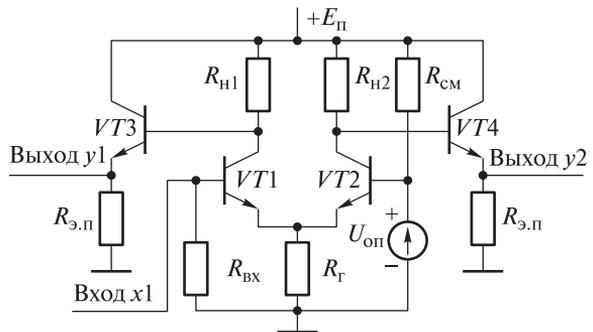


Рис. 1.36. Дифференциальный каскад с эмиттерными повторителями:

R_n — сопротивление нагрузки; $R_{см}$ — сопротивление смещения; $R_{э.п}$ — сопротивление эмиттерного повторителя; $R_{вх}$ — сопротивление на входе; R_r — элемент, выполняющий функцию генератора тока; $U_{оп}$ — источник опорного напряжения

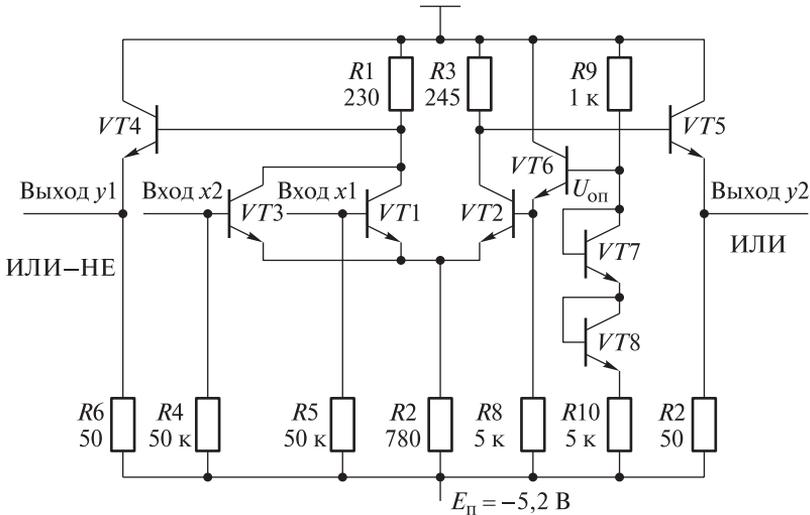


Рис. 1.37. Базовый логический элемент эмиттерно-связанной логики

Для того чтобы получить ЛЭ ЭСЛ для указанного случая, необходимо разработать схему источника опорного напряжения.

В результате получаем схему, представленную на рис. 1.37. В этой схеме транзистор $VT6$ вместе с транзисторами $VT7$ и $VT8$ в диодном включении, а также резисторами $R8$, $R9$ и $R10$ образуют схему источника опорного напряжения.

1.7.2. ОСОБЕННОСТИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

К основным особенностям логических элементов ЭСЛ относят следующее.

1. Логические элементы ЭСЛ являются более дорогостоящими, чем ЛЭ ТТЛ или любой другой логической серии, поскольку они содержат большее число элементов и имеют более сложную электрическую схему, а потому занимают большую площадь кристалла ИМС, чем ЛЭ других типов.

2. В логических элементах ЭСЛ есть возможность одновременного получения двух логических функций (ИЛИ и ИЛИ-НЕ), т. е. парафазного выходного сигнала, что является уникальной особенностью логических элементов ЭСЛ, значительно расширяющей возможности их применения при проектировании цифровых устройств.

3. Логические уровни сигналов в логических элементах ЭСЛ не совпадают с логическими уровнями сигналов логических элементов других серий, что затрудняет их сопряжение.

4. Малый перепад уровней логического сигнала (около 800 мВ) делает логические элементы ЭСЛ более чувствительными к помехам.

Если на обоих входах ЛЭ присутствует низкий уровень сигнала, то транзисторы $VT1$ и $VT3$ (см. рис. 1.35) закрыты. Ток от генератора тока, реализованного на резисторе $R2$, течет через транзистор $VT2$. На резисторе $R3$ есть падение напряжения, которое через эмиттерный повторитель на транзисторе $VT5$ транслируется на выход Q . В результате на этом выходе устанавливается низкий уровень логического сигнала.

Если открывается какой-либо из входных транзисторов, то ток протекает через него. В схеме дифференциальной пары транзисторов один транзистор открыт, а второй закрыт, поэтому закрыт и транзистор $VT4$. Таблица истинности базового ЛЭ ЭСЛ приведена ниже:

Входы		Выходы	
x_2	x_1	y_2	y_1
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Логические элементы ЭСЛ, как быстродействующие схемы, в подавляющем большинстве случаев в качестве линии передачи данных и нагрузки имеют высокочастотный коаксиальный кабель, что позволяет как увеличить скорость передачи сигнала, так и исключить появление помех, с учетом того, что в высокочастотной области электромагнитных колебаний каждая неэкранная линия передачи сигнала является антенной, излучающей помехи.

Основной технической характеристикой конструкции коаксиального кабеля является значение его волнового сопротивления. Для того чтобы в линиях передачи сигналов с использованием коаксиального кабеля не было отраженных сигналов, выходное сопротивление ЛЭ ЭСЛ и волновое сопротивление кабеля должны быть согласованы (одинаковы).

Обычно волновое сопротивление коаксиального кабеля, изготавливаемого промышленностью и используемого в устройствах ЭВМ, — 50 Ом, а телевизионного кабеля — 75 Ом. В связи с этим в схему базового ЛЭ ЭСЛ включены резисторы $R6$ и $R7$ с сопротивлением 50 Ом (см. рис. 1.37). Поскольку их сопротивление достаточно мало, транзисторы $VT4$ и $VT5$ работают при больших эмиттерных токах. Это необходимо только для выходных схем в ЭСЛ, которые работают непосредственно на коаксиальный кабель. А таких схем в вычислительных устройствах обычно немного.

Большие номиналы сопротивлений резисторов $R4$ и $R5$ нужны, чтобы защитить транзисторы $VT1$ и $VT3$ от действия статического электричества. Через них базы входных транзисторов связаны с источником питания $E_n = -5$ В. В результате переход база–эмиттер входных транзисторов при отсутствии входного сигнала закрыт и на нем не может быть наведено статическое напряжение, способное вызвать пробой перехода эмиттер–база входных транзисторов (типовое значение пробивного напряжения — 7 В).

Статическая передаточная характеристика ЛЭ ЭСЛ приведена на рис. 1.38.

Базовый ЛЭ ЭСЛ по сравнению с ранее рассмотренными логическими элементами потребляет бóльшую мощность. С целью ее снижения была разработана модификация базового ЛЭ ЭСЛ с меньшей потребляемой мощностью, в которой резисторы R_6 и R_7 вместо подключения к источнику питания $E_{\text{п}} = -5,2$ В подключали к дополнительному источнику питания $E_{\text{п}} = -2$ В.

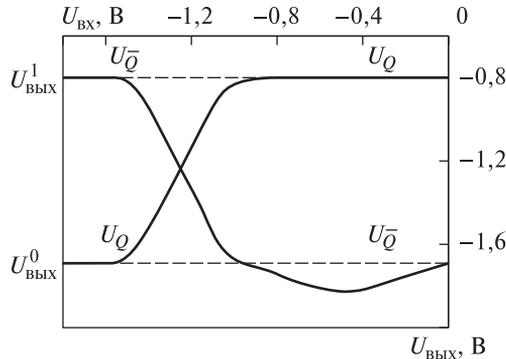


Рис. 1.38. Статическая передаточная характеристика логического элемента эмиттерно-связанной логики:

$U_{\bar{Q}}$ — напряжение на выходе ИЛИ–НЕ (см. рис. 1.37);

U_Q — напряжение на выходе ИЛИ

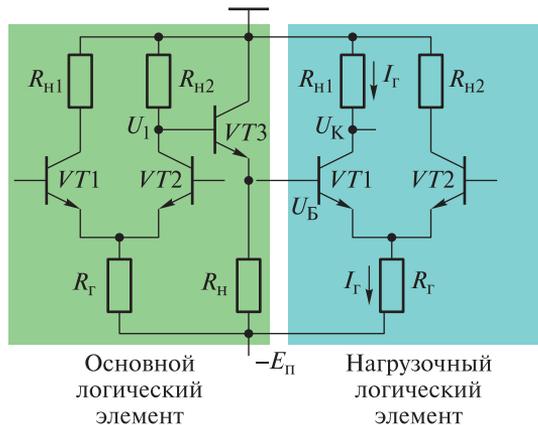


Рис. 1.39. Схема, поясняющая ограничение размаха уровня логического сигнала в логическом элементе эмиттерно-связанной логики

По способу подачи напряжения питания выделяют следующие логические элементы ЭСЛ:

- с заземленными эмиттерами;
- с нулевой коллекторной шиной;
- с отдельными коллекторными выводами.

В логических элементах ЭСЛ размах логического сигнала *не может быть больше напряжения база–эмиттер*. Понять, почему это так, позволяет схема на рис. 1.39. В этой схеме, если пренебречь падением напряжения на резисторе $R_{н2}$ от протекания базового тока транзистора $VT3$, при логической единице на выходе можно считать, что $U_1 = 0$. Тогда $U_B = -U_{БЭVT3}$ и $I_r = (E_n - 2U_{БЭ})/R_r$.

Для обеспечения активного режима транзистора $VT1$ нагрузочной схемы необходимо, чтобы напряжение на его базе было меньше напряжения на коллекторе, т. е. выполнялось условие $U_{КVT1} > U_{БVT1}$. Или иначе: $-I_r R_{н1} > -U_{БЭ}$. Умножив обе части неравенства на -1 , что вызывает изменение знака неравенства, получаем $U_{БЭ} > I_r \times R_{н1}$. Но $I_r R_{н1}$ — это и есть размах логического сигнала.

Тесты к лекции 1.7

1. В чем заключается самое главное преимущество логических элементов эмиттерно-связанной логики?

- а) поскольку в логических элементах ЭСЛ ни один из его транзисторов никогда не работает в режиме насыщения, эти логические элементы обладают самым высоким быстродействием среди рассмотренных;
- б) ЛЭ ЭСЛ содержит большое число элементов, которые занимают на кристалле микросхемы большую площадь;
- в) ЛЭ ЭСЛ имеет большой запас статической помехоустойчивости.

2. Почему разность уровней логического сигнала в логических элементах ЭСЛ не может быть больше напряжения база–эмиттер транзистора?

- а) схемотехническая реализация ЛЭ ЭСЛ показывает, что для обеспечения активных режимов работы всех транзисторов ЛЭ разность уровней логических сигналов не должна превышать падения напряжения на переходе база–эмиттер транзистора;
- б) потому что нагрузочные сопротивления транзисторов дифференциальной пары транзисторов имеют малое сопротивление;
- в) потому что для обеспечения работы на коаксиальный кабель на выходах ЛЭ сопротивления должны быть равны волновому сопротивлению кабеля.

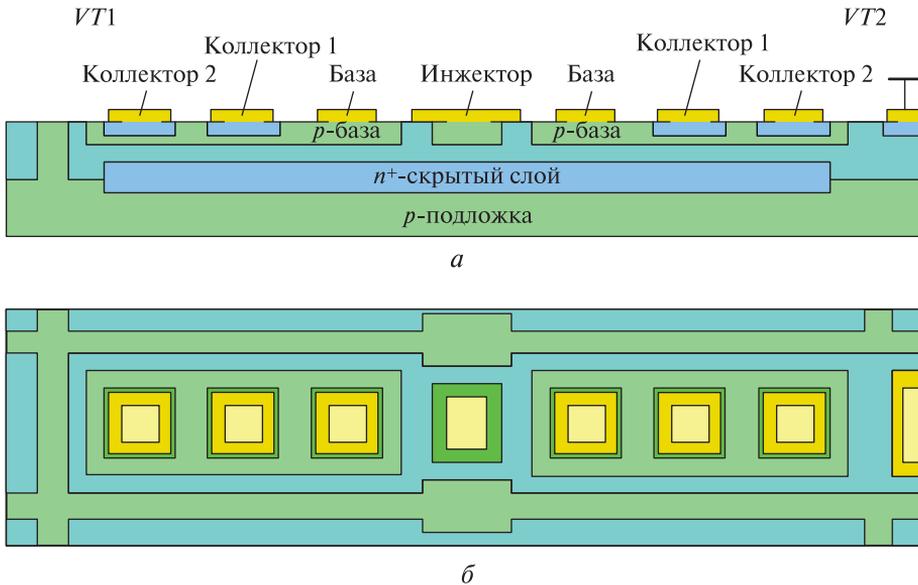


Рис. 1.41. Инжекционный транзистор:

а — вертикальный профиль; б — вариант топологической реализации

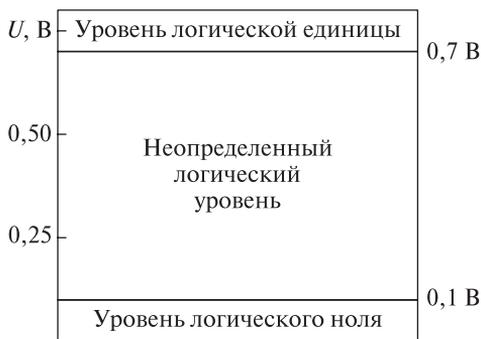


Рис. 1.42. Шкала уровней логических сигналов в логическом элементе интегральной инжекционной логики

транзистор принято не показывать, однако его наличие всегда подразумевается. Более того, при таком соглашении на принципиальной схеме сразу можно отличить инжекционный транзистор от биполярного (хотя обозначения у них одинаковы) по тому признаку, что коллектор предыдущего инжекционного транзистора соединен с базой последующего. В случае биполярных транзисторов такая конструкция не работоспособна.

Схемотехническая реализация основных логических функций на логических элементах интегральной инжекционной логики показана на рис. 1.43.

Из представленного рисунка ясно, что для реализации этих функций необходим минимум транзисторов, при этом следует отметить, что для каждой из основных логических функций требуется различное число инжекционных транзисторов.

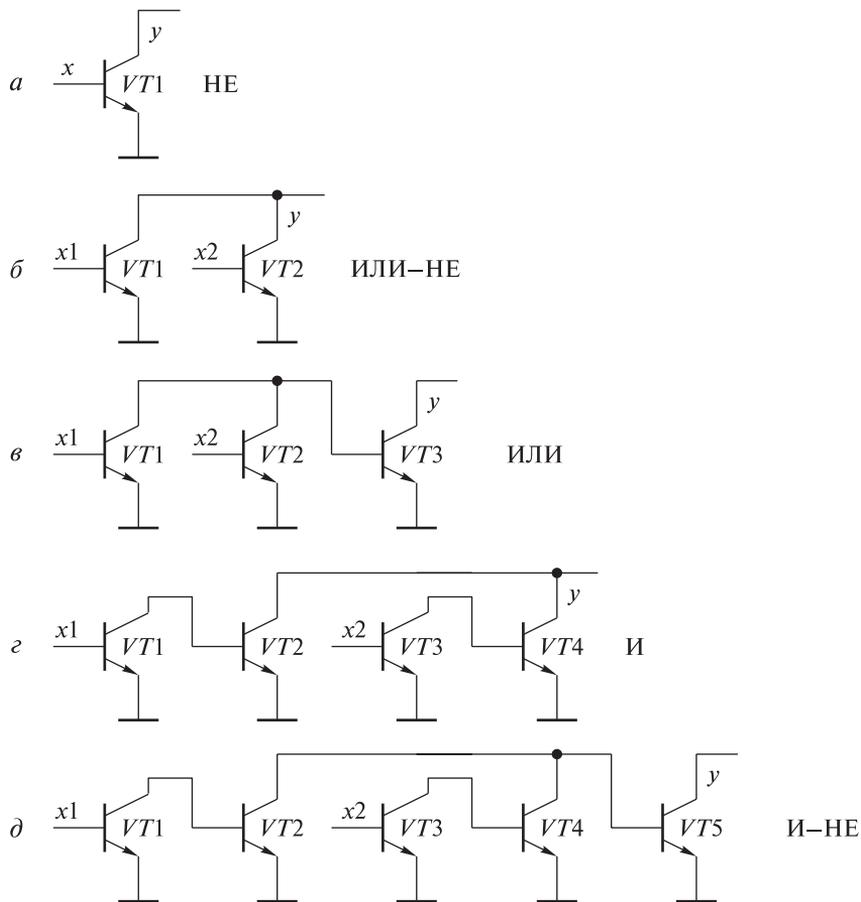


Рис. 1.43. Базовые логические функции логических элементов на инжекционных транзисторах

В этом случае справедлив принцип «добавления одного транзистора», заключающийся в том, что при интегральной логике добавление транзистора изменяет логическую функцию схемы по цепочке: НЕ – ИЛИ – НЕ – ИЛИ – И – И – НЕ.

1.8.3. ПРИМЕНЕНИЕ ИНТЕГРАЛЬНОЙ ИНЖЕКЦИОННОЙ ЛОГИКИ В СХЕМОТЕХНИКЕ ЦИФРОВЫХ УСТРОЙСТВ

В схемотехнике цифровых устройств интегральная инжекционная логика наиболее часто применяется при построении логических элементов двух типов — дешифратора и счетного триггера (T -триггера).

ДЕШИФРАТОР НА ИНЖЕКЦИОННЫХ ТРАНЗИСТОРАХ

Дешифратором называется цифровое устройство, преобразующее входную кодовую комбинацию в уровни выходного сигнала на выходах этой схемы. В простейшем случае можно построить дешифратор, у которого в зависимости от кодовой комбинации на его входах только на одном из выходов может быть установлен уровень сигнала (высокий или низкий), отличающийся от остальных. Таблица истинности работы дешифратора 1 из 8 приведена ниже:

x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

На рис. 1.44 приведена принципиальная схема дешифратора 1 из 8, реализованная на инжекционных транзисторах. Отметим, что для реализации трехразрядного дешифратора 1 из 8 требуется лишь шесть инжекционных транзисторов. Они занимают минимум площади кристалла, причем, как видно на рис. 1.45, разводка устройства выполнена одним слоем металлизации.

В случае реализации этого устройства на логических элементах ТТЛ или логики другого типа схемотехнические затраты будут существенно большими.

СЧЕТНЫЙ Т-ТРИГГЕР

Триггер (англ. trigger — курок) — бесконтактное электронное устройство с двумя устойчивыми состояниями равновесия. Под действием внешнего управляющего сигнала триггер способен переходить скачком из одного устойчивого состояния в другое. Устойчивое состояние равновесия — такой режим работы схемы, при котором токи и напряжения в любом ее элементе постоянны во времени.

Принципиальная электрическая схема счетного *T*-триггера с входом принудительного сброса приведена на рис. 1.46. Схема реализована на восьми инжекционных многоколлекторных транзисторах. Основу схемы составляют три *RS*-триггера (первый — транзисторы *VT1* и *VT2*, второй — транзисторы *VT3* и *VT4*, третий (выходной) — транзисторы *VT5* и *VT6*).

Поступление сигнала $T=1$ на вход триггера приводит к переключению двухступенчатого *RS*-триггера в состояние, противоположное имевшемуся ранее. Поскольку триггер двухступенчатый, сигнал на его выходе изменится только по окончании действия входного сигнала $T=1$.

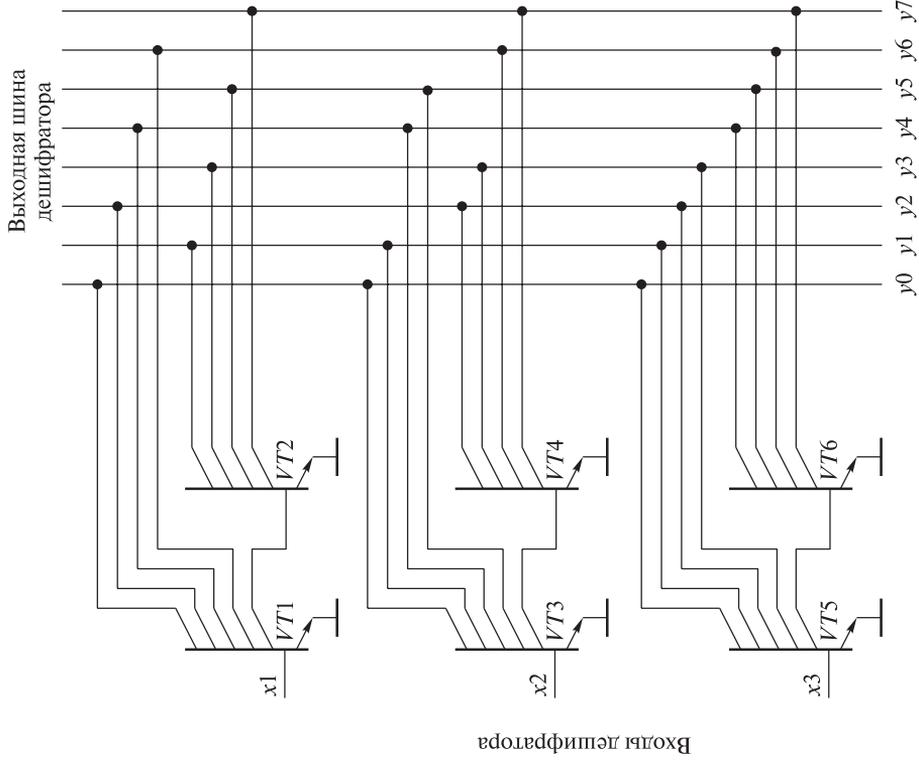


Рис. 1.44. Принципиальная схема трехразрядного дешифратора на логических элементах интегральной инжекционной логики

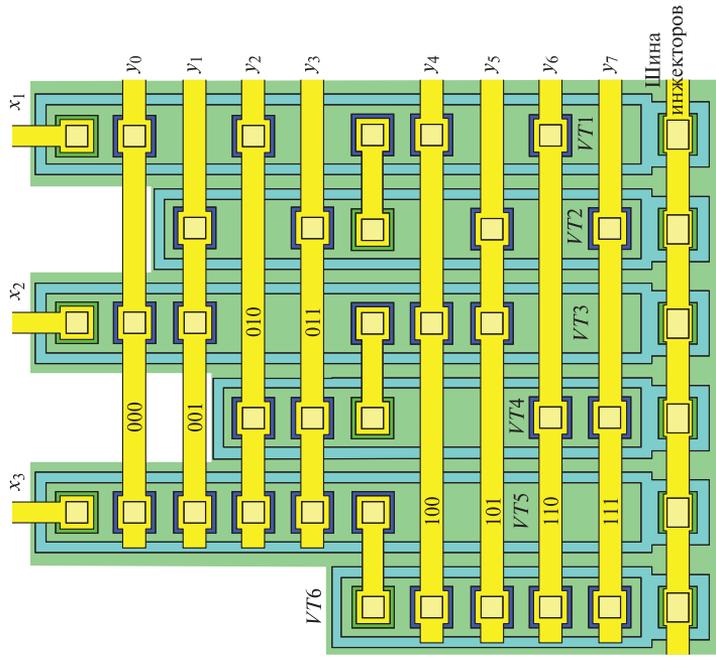


Рис. 1.45. Вариант топологической реализации дешифратора на инжекционных транзисторах

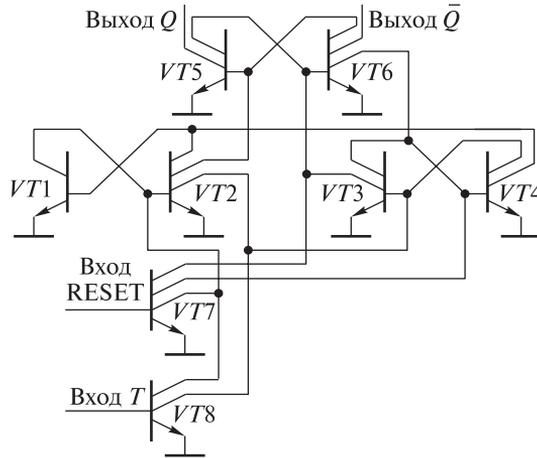


Рис. 1.46. Принципиальная схема счетного T -триггера, реализованного на инжекционных транзисторах

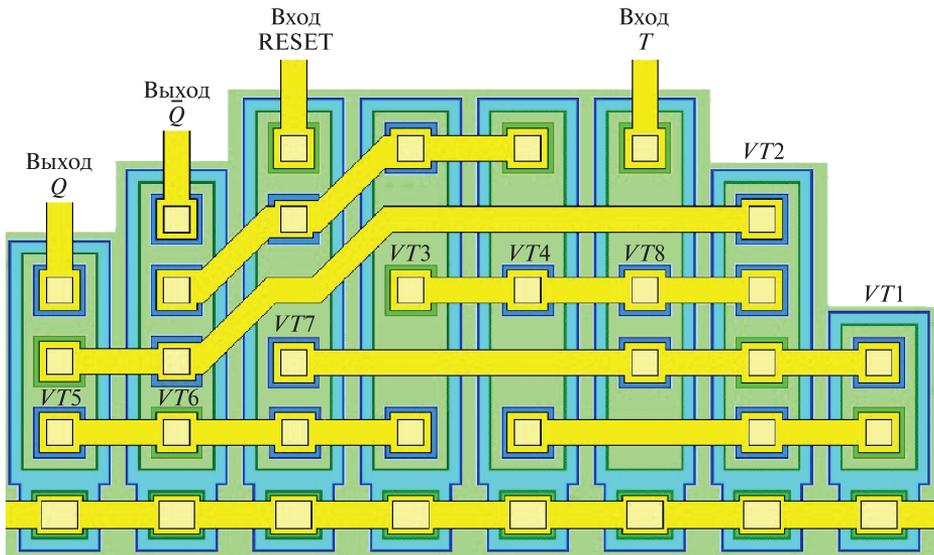


Рис. 1.47. Вариант топологической реализации T -триггера на инжекционных транзисторах

Вариант топологической реализации T -триггера на инжекционных транзисторах показан на рис. 1.47.

В случае реализации такого устройства на логических элементах ТТЛ или логики другого типа схемотехнические затраты будут более значительными.

1.8.4. СОПРЯЖЕНИЕ ФУНКЦИОНАЛЬНЫХ УЗЛОВ МИКРОСХЕМ, РЕАЛИЗОВАННЫХ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ ИНТЕГРАЛЬНОЙ ИНЖЕКЦИОННОЙ ЛОГИКИ С БИПОЛЯРНОЙ ЧАСТЬЮ ИНТЕГРАЛЬНОЙ МИКРОСХЕМЫ

Технология формирования инжекционных транзисторов совместима с планарно-эпитаксиальной технологией производства аналоговых схем, поэтому часто в интегральных микросхемах И²Л была просто фрагментом ИМС, которая выполняла цифровую обработку сигналов.

Поскольку уровни сигналов в аналоговой и цифровой частях микросхем И²Л не совпадали, возникала задача их сопряжения. Было необходимо организовать сопряжение, которое передавало бы аналоговый сигнал в цифровую инжекционную часть микросхемы для обработки, а после обработки возвращало его в аналоговую часть микросхемы.

Принципиальная схема узла сопряжения инжекционной части микросхемы с биполярной приведена на рис. 1.48. В этой схеме транзисторы VT1–VT3 и резистор R1 образуют схему токового зеркала. Значение тока, вытекающего из него, может быть определено по выражению

$$I = \frac{E_n - 2U_{БЭ}}{R1}.$$

Данный ток в зависимости от уровня сигнала на входе инжекционного транзистора VT4a либо течет в его коллектор, и тогда транзистор VT5 закрыт, либо при закрытом транзисторе VT4a течет в базу транзистора VT5, и тогда транзистор VT5 открыт.

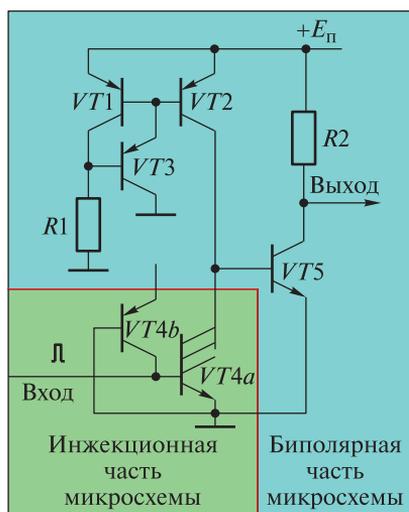


Рис. 1.48. Схема сопряжения инжекционной части микросхемы с биполярной

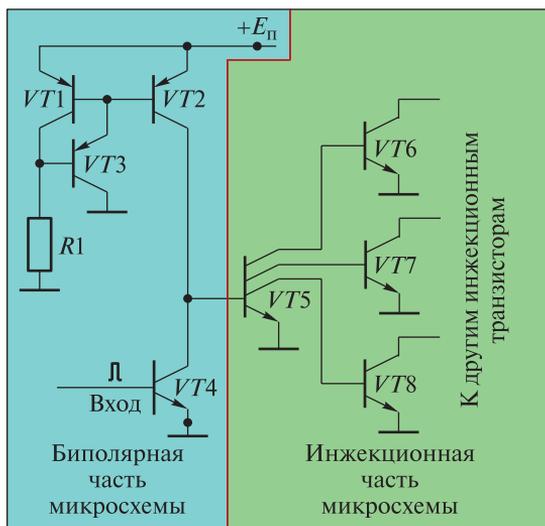


Рис. 1.49. Схема сопряжения биполярной части микросхемы с инжекционной

В этой схеме сопряжения выходной инжекционный транзистор $VT4a$ топологически выполняют мощным с объединенными коллекторами, поскольку протекающий ток должен быть достаточно большим, что необходимо для нормальной работы биполярного транзистора $VT5$.

Принципиальная схема обратного перехода от биполярной части микросхемы к инжекционной приведена на рис. 1.49.

Эта схема напоминает предыдущую (см. рис. 1.48). Различие состоит в том, что теперь инжекционный и биполярный транзисторы поменялись местами. Как и в предыдущем случае, инжекционный транзистор топологически выполняют мощным. Но теперь коллекторы у него разделены, для того чтобы обеспечить передачу сигнала инжекционным транзисторам следующих каскадов инжекционной части микросхемы.

Тесты к лекции 1.8

1. Что представляет собой инжекционный транзистор?

- а) комбинацию латерального $p-n-p$ - и вертикального $n-p-n$ -транзисторов;
- б) четырехслойную структуру типа $p-n-p-n$;
- в) два транзистора, связанные между собой общей базовой областью.

2. Как осуществляется переход от инжекционной к биполярной части интегральной микросхемы?

- а) с помощью специальной схемы, содержащей источник тока типа токового зеркала на $p-n-p$ -транзисторах;
- б) нужен источник тока типа токового зеркала, реализованный на $n-p-n$ -транзисторах.

1.9. СХЕМОТЕХНИКА КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ НА *n*-КАНАЛЬНЫХ МДП-ТРАНЗИСТОРАХ

Цель лекции: изучение схемотехники элементной базы приборостроения на *n*-канальных МДП-транзисторах.

1.9.1. ПРИНЦИПЫ РАБОТЫ ПОЛЕВОГО ТРАНЗИСТОРА С ИНДУЦИРОВАННЫМ КАНАЛОМ

Постоянное совершенствование МДП-технологии шло в направлении создания *n*-канальных и КМДП-ЛЭ.

Основные преимущества ЛЭ на полевых транзисторах по сравнению с ранее рассмотренными на биполярных и инжекционных транзисторах состоят в следующем:

- возможность достижения высокой степени интеграции вследствие малых размеров полевых транзисторов и малой площади, занимаемой базовыми логическими элементами на их основе;

- высокое быстродействие МДП-структур, которое тем выше, чем меньше длина канала полевого транзистора и, как следствие, меньше занимаемая им площадь;

- низкий уровень рабочих токов, протекающих через канал полевого транзистора, и, как следствие, малая потребляемая мощность, что снимает проблему отвода теплоты от кристалла микросхемы.

Вертикальная структура *n*-канального МДП-транзистора с индуцированным каналом показана на рис. 1.50.

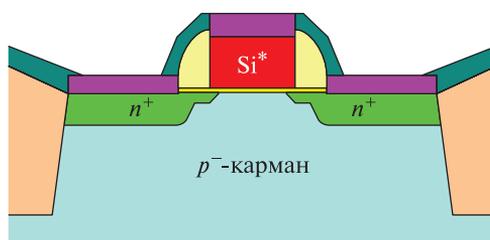


Рис. 1.50. Вертикальная структура *n*-канального МДП-транзистора с индуцированным каналом

Полевой транзистор управляется потенциалом, приложенным между истоком и затвором. При напряжении на затворе относительно истока, равном нулю, и при наличии напряжения на стоке ток стока оказывается ничтожно малым. Он представляет собой обратный ток $p-n$ -перехода между подложкой и сильно легированной областью стока.

При приложении к затвору отрицательного напряжения по отношению к напряжению истока в результате проникновения электрического поля сквозь диэлектрический слой в полупроводник при малом напряжении на затворе (меньшем $U_{зи\ пор}$) у поверхности полупроводника под затвором возникает обедненный основными носителями заряда слой. При напряжении на затворе, большем $U_{зи\ пор}$, у поверхности полупроводника под затвором возникает инверсный слой, который является каналом, соединяющим области истока и стока.

Работа МДП-транзистора с индуцированным каналом основана на регулировании уровня тока в приповерхностном слое полупроводникового материала вследствие влияния поперечного электрического поля на электрическую проводимость (толщину и поперечное сечение) канала. Так происходит управление током стока в полевом транзисторе с изолированным затвором и индуцированным каналом.

В связи с тем, что затвор отделен от подложки диэлектрическим слоем, ток в цепи затвора ничтожно мал, мала и мощность, потребляемая от источника сигнала в цепи затвора и необходимая для управления относительно большим током стока. Таким образом, МДП-транзистор с индуцированным каналом может осуществлять усиление сигнала, поданного на затвор, как по напряжению, так и по мощности.

Под действием напряжения на затворе в полупроводнике под затвором возникает канал, по которому от истока к стоку движутся носители заряда. Двигаясь по направлению постоянной составляющей электрического поля, они разгоняются этим полем, и их энергия увеличивается за счет энергии

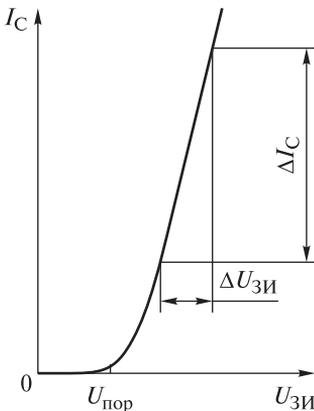


Рис. 1.51. Прямая вольт-амперная характеристика МДП-транзистора с индуцированным каналом

источника питания в цепи стока. Одновременно с возникновением канала и появлением в нем подвижных носителей заряда уменьшается напряжение на стоке, т. е. мгновенное значение переменной составляющей электрического поля в канале направлено противоположно постоянной составляющей. В связи с этим носители заряда тормозятся переменным электрическим полем, отдавая ему часть своей энергии.

Прямая вольт-амперная характеристика полевого транзистора с индуцированным каналом приведена на рис. 1.51.

На рисунке по оси абсцисс отложено напряжение между затвором и истоком полевого транзистора, а по оси ординат —

ток, протекающий между его истоком и стоком. Напряжение между его затвором и истоком, при котором происходит инверсия типа проводимости полупроводникового материала под затвором и между его истоком и стоком возникает ток, называют пороговым напряжением $U_{пор}$.

Наклон этой характеристики позволяет оценить сопротивление канала как $R_{кан} = \Delta U_{ЗИ} / \Delta I_C$.

1.9.2. СХЕМОТЕХНИКА БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА *n*-КАНАЛЬНЫХ МДП-ТРАНЗИСТОРАХ

Логические элементы на *n*-канальных МДП-транзисторах, обладая более высоким быстродействием и большей крутизной передаточной характеристики, чем биполярные логические элементы ТТЛ и ТТЛШ, позволяют обеспечить единый номинал питающего напряжения +5 В, такой же, как у биполярных ЛЭ ТТЛ и ТТЛШ. По этой причине все основные разновидности МДП-ЛЭ статического, квазистатического и динамического действия будут рассмотрены на примере приборов именно этого типа.

Схема инвертора на полевом транзисторе (рис. 1.52, *a*) не отличается от схемы ключа на биполярном транзисторе.

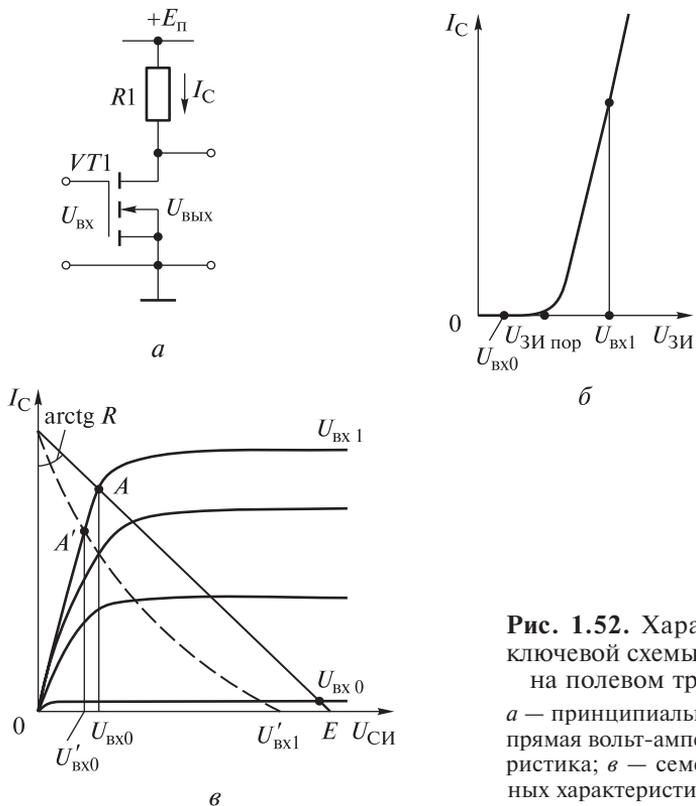


Рис. 1.52. Характеристики ключевой схемы и инвертора на полевом транзисторе: *a* — принципиальная схема; *б* — прямая вольт-амперная характеристика; *в* — семейство выходных характеристик транзистора

При подаче на вход схемы (затвор транзистора) напряжения, превышающего пороговое напряжение $U_{\text{вх1}} > U_{\text{зи пор}}$ (рис. 1.52, б), транзистор $VT1$ открывается. Падение напряжения $I_C R_1$ снижает напряжение на выходе схемы до значения $U_{\text{вых0}}$, определяемого выходной характеристикой транзистора (рис. 1.52, в). Таким образом, рассмотренная ключевая схема является инвертором, реализующим логическую операцию НЕ.

В качестве нагрузочного резистора $R1$ целесообразно использовать МДП-транзистор того же типа, что и транзистор, выполняющий роль ключа, поскольку он занимает меньшую площадь на кристалле (рис. 1.53). В этой схеме $VT2$ — сигнальный транзистор, на затвор которого поступает входной сигнал, а $VT1$ — нагрузочный транзистор.

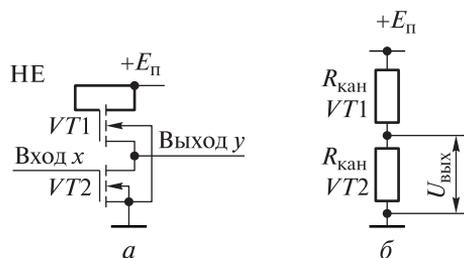


Рис. 1.53. Инвертор на n -канальных МДП-транзисторах

a — принципиальная схема; *б* — эквивалентная схема, когда оба транзистора открыты

Для того чтобы транзистор заменял резистор, необходимо, чтобы напряжение между его затвором и истоком всегда было больше порогового, т. е. чтобы канал транзистора всегда оставался открытым и его сопротивление оставалось более или менее постоянным. Осуществить это просто, если соединить затвор транзистора $VT1$, заменяющего резистор в схеме, с его стоком. При таком включении напряжение $U_{\text{зи}}$ этого транзистора равно падению напряжения между его истоком и источником питания $E_{\text{п}}$, поэтому оно всегда остается положительным, хотя изменяется

вместе с изменением падения напряжения на транзисторе $VT1$. В результате транзистор $VT1$ представляет собой нелинейное сопротивление с нагрузочной характеристикой, изображенной на рис. 1.52, в штриховой линией.

В итоге напряжение на выходе в замкнутом и разомкнутом состояниях ключа несколько уменьшается, но схема по-прежнему будет выполнять функцию инвертора, реализующего операцию НЕ.

Кроме того, такая схема имеет только идентичные логические элементы, что позволяет сократить число технологических операций при их изготовлении и снизить их стоимость.

На рис. 1.53, б представлена эквивалентная схема инвертора при открытых транзисторах. Если на входе инвертора — низкий уровень логического сигнала, то транзистор $VT2$ закрыт. В этом случае ток через инвертор не протекает, падения напряжения нет, и через открытый транзистор $VT1$ напряжение питания поступает на выход ЛЭ:

$$U_{\text{вых}} = +E_{\text{п}}.$$

Если на входе — высокий уровень логического сигнала, то транзистор $VT2$ открыт. Уровень сигнала на выходе принимают за нулевой. Этот уровень

сигнала не равен потенциалу земли, а, согласно эквивалентной схеме инвертора, пропорционален отношению сопротивлений каналов обоих транзисторов. В случае когда топология транзисторов идентична, этот уровень будет равен $E_{\text{п}}/2$.

Таким образом, если нужно получить большой перепад уровня логического сигнала, то необходимо, чтобы выполнялось условие

$$R_{\text{кан } VT1} \ll R_{\text{кан } VT2},$$

где $R_{\text{кан } VT1}$, $R_{\text{кан } VT2}$ — сопротивления каналов соответствующих МДП-транзисторов.

Эту задачу решают топологически. Сигнальный транзистор $VT1$ выполняют с коротким и широким каналом, поэтому сопротивление канала такого транзистора мало. Нагрузочный транзистор $VT2$ выполняют с длинным и узким каналом, поэтому сопротивление канала такого транзистора велико. Результат проектирования топологии представлен на рис. 1.54.

Статическая передаточная характеристика рассматриваемого инвертора показана на рис. 1.55. Из рисунка следует, что запас помехоустойчивости по положительной (открывающей) помехе (U_0) меньше, чем запас по отрицательной (закрывающей) помехе (U_1).

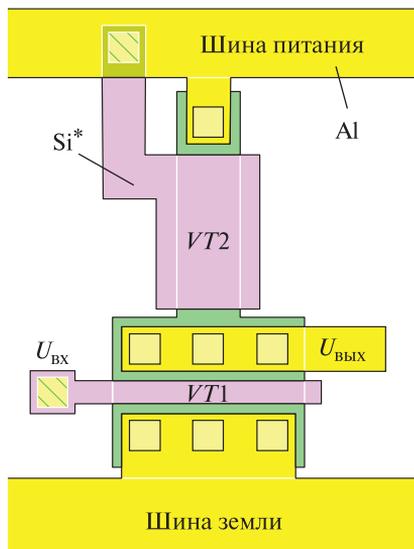


Рис. 1.54. Топология инвертора на *n*-канальных МДП-транзисторах

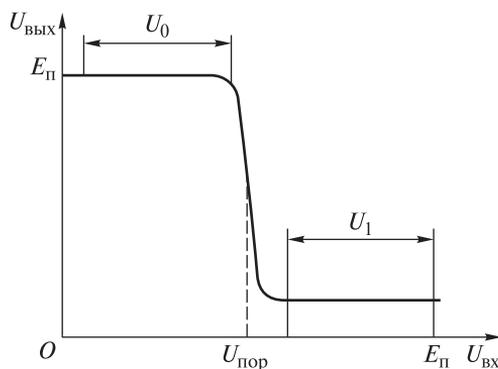


Рис. 1.55. Статическая передаточная характеристика вентиля/инвертора на *n*-канальных МДП-транзисторах ($U_{\text{пор}}$ — пороговое напряжение)

Для того чтобы получить инвертор с примерно одинаковыми запасами как по положительной, так и по отрицательной помехоустойчивости, необходимо, чтобы пороговое напряжение сигнального транзистора находилось на уровне примерно половины напряжения питания.

1.9.3. СХЕМОТЕХНИКА БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И–НЕ И ИЛИ–НЕ НА n -КАНАЛЬНЫХ МДП-ТРАНЗИСТОРАХ

Основные принципы построения логических схем статического действия на МДП-транзисторах одной структуры во многом соответствуют принципам построения ЛЭ резисторно-транзисторной логики. Так, для построения многовходового логического элемента ИЛИ–НЕ, выполняющего функции вентиля, к одному нагрузочному МДП-транзистору подключают стоки от логических транзисторов, а их истоки — к общей шине. На рис. 1.56, *a* приведена схема вентиляльного элемента ИЛИ–НЕ на два входа, содержащая один нагрузочный транзистор и два логических. Ограничение коэффициента объединения по входу $m_{\text{ИЛИ}}$ такой схемы определяется снижением уровня логической единицы на входе вследствие падения напряжения на нагрузке от суммарного тока утечки I_0 цепи сток–исток всех m входных МДП-транзисторов. Поскольку ток I_0 МДП-транзисторов достаточно мал, значение параметра m логической схемы может достигать 10 и более.

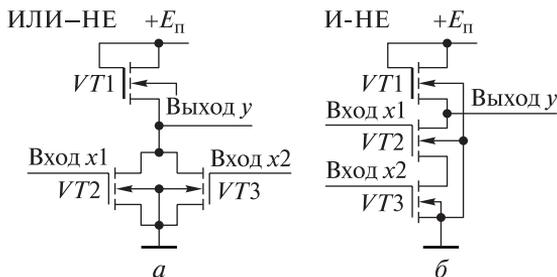


Рис. 1.56. Схема логических элементов на n -канальных МДП-транзисторах:
a — ИЛИ–НЕ; *б* — И–НЕ

Обладая сверхвысоким входным сопротивлением по затвору, МДП-транзистор обеспечивает построение ЛЭ с очень высокой нагрузочной способностью ($n > 20$). Нагрузочная способность ИМС МДП ограничивается лишь снижением быстродействия с ростом числа нагрузок, так как увеличивается постоянная времени заряда паразитной емкости нагрузки $C_{\text{н}}$ током, протекающим через нагрузочный МДП-транзистор.

Интегральная технология МДП-структур позволяет использовать последовательное (ярусное) включение МДП-транзисторов, когда в цепь между нагрузкой и общей шиной включены не один, а два, три или четыре МДП-транзистора по схеме И.

Схема ЛЭ И–НЕ на однотипных МДП-транзисторах показана на рис. 1.56, б. Она содержит общий нагрузочный транзистор и группу из двух последовательно включенных управляющих транзисторов. На выходе схемы будет действовать сигнал логического нуля только при одновременно открытых управляющих транзисторах.

В логических элементах на МДП-транзисторах уровню логической единицы по входу и выходу соответствует потенциал, близкий к напряжению питания $E_{\text{п}}$, превышающий пороговое напряжение транзисторов; уровню логического нуля соответствует потенциал, близкий к нулю, меньший $U_{\text{пор}}$.

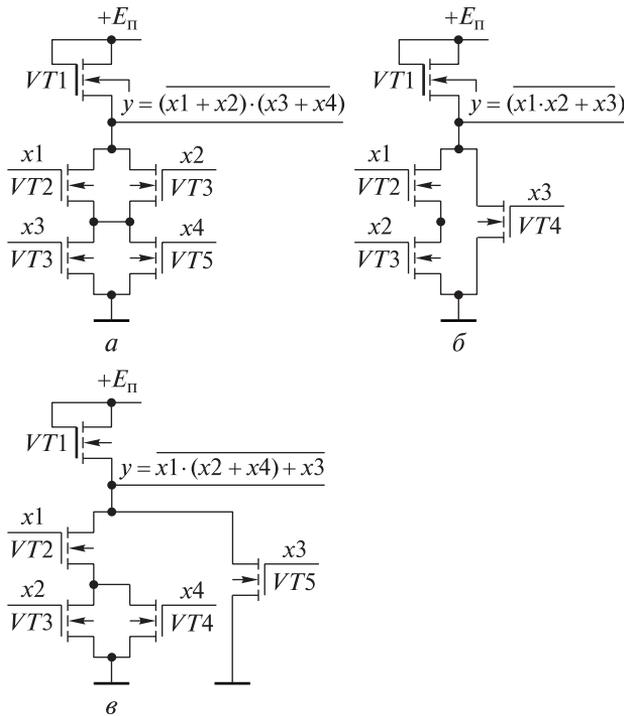


Рис. 1.57. Варианты элементов двухуровневой логики на *n*-канальных МДП-транзисторах

На МДП-транзисторах удобно реализовывать схемы двухуровневой логики. Примеры такой реализации показаны на рис. 1.57.

Тесты к лекции 1.9

1. Какими должны быть конфигурации затворов сигнального и нагрузочного транзисторов, для того чтобы схема инвертора имела достаточный запас статической помехоустойчивости?

а) затвор сигнального транзистора должен быть длинным и узким, а нагрузочного — длинным и широким. Тогда сопротивление канала сигнального транзистора будет в несколько раз меньше сопротивления канала нагрузочного транзистора, и статическая передаточная характеристика будет иметь большой размах;

б) затворы сигнального и нагрузочного транзисторов должны быть одинаковыми;

в) конфигурация затворов обоих транзисторов не влияет на запас помехоустойчивости.

2. Что такое пороговое напряжение?

а) напряжение между затвором и истоком МДП-транзистора, при котором между областями истока и стока заканчивается формирование канала того же типа проводимости, что и у этих областей, и между ними начинает протекать ток;

б) напряжение между стоком и затвором МДП-транзистора, при котором между областями стока и истока заканчивается формирование канала того же типа проводимости, что и у этих областей, и между ними начинает протекать ток;

в) напряжение между стоком и истоком, при котором МДП-транзистор открывается и по нему начинает протекать ток.

3. Какими параметрами МДП-транзисторов определяется размах логического сигнала в схеме инвертора на *n*-канальных МДП-транзисторах?

а) пороговым напряжением МДП-транзисторов;

б) отношением значений порогового напряжения МДП-транзисторов;

в) отношением геометрических размеров сигнального и нагрузочного МДП-транзисторов.

4. Какое значение имеет уровень логической единицы в ЛЭ на *n*-канальных МДП-транзисторах?

а) половина напряжения питания ЛЭ;

б) три четверти напряжения питания ЛЭ;

в) практически равное напряжению питания ЛЭ.

5. Почему в схемах на *n*-канальных МДП-транзисторах нагрузочный резистор часто заменяют полевым транзистором?

а) МДП-транзистор занимает на кристалле меньшую площадь, чем резистор с сопротивлением, равным сопротивлению канала МДП-транзистора;

б) сопротивление резистора менее стабильно, чем сопротивление канала МДП-транзистора;

в) нагрузочный МДП-транзистор всегда проще согласовать с сигнальным МДП-транзистором.

1.10. СХЕМОТЕХНИКА КОМПОНЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ НА КОМПЛЕМЕНТАРНЫХ МДП-ТРАНЗИСТОРАХ

Цель лекции: изучение схемотехники компонентной базы приборостроения на комплементарных МДП-транзисторах.

1.10.1. ИНВЕРТОР НА ТРАНЗИСТОРАХ С ДОПОЛНЯЮЩИМИ ТИПАМИ ПРОВОДИМОСТИ КАНАЛА (КМДП-ИНВЕРТОР)

Для повышения быстродействия и снижения потребляемой мощности ЛЭ строят на комплементарных МДП-транзисторах, имеющих взаимодополняющие типы проводимости индуцированных каналов.

В случае использования комплементарных (с дополняющими типами проводимости каналов) МДП-транзисторов схема инвертора будет выглядеть так, как показано на рис. 1.58.

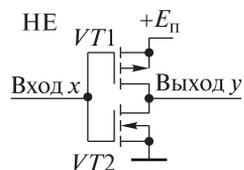


Рис. 1.58. Схема инвертора на КМДП-транзисторах

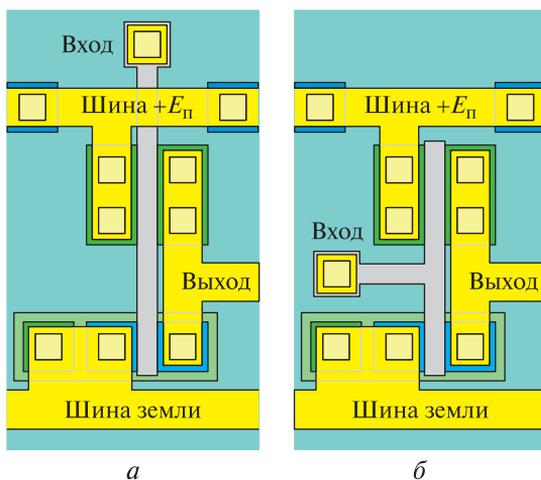


Рис. 1.59. Варианты топологической реализации схемы инвертора:

а — контакт к затвору вне шин питания и земли; *б* — контакт к затвору внутри шин питания и земли

Рабочими точками на статической передаточной характеристике такого инвертора являются либо 0, либо E_n . Низкий уровень логического сигнала для n -канального транзистора является закрывающим, а для p -канального — открывающим. Когда на вход подается сигнал логического нуля, на выходе — $+E_n$, а в случае логической единицы на входе — на выходе получают уровень логического нуля.

Для обеспечения правильной работы схемы важно, чтобы пороговые напряжения n - и p -канального транзисторов были подогнаны таким образом, чтобы в момент, когда один транзистор закрывается, другой открывался. Если пороговые напряжения не подогнаны, возможна некорректная работа схемы. В связи с этим в технологический процесс производства КМДП-микросхем включают технологические операции по подгонке пороговых напряжений n - и p -канальных МДП-транзисторов.

Примеры топологической реализации схемы КМДП-инвертора приведены на рис. 1.59.

1.10.2. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ИЛИ–НЕ И И–НЕ НА КМДП-ТРАНЗИСТОРАХ

Схема двухвходового ЛЭ ИЛИ–НЕ, выполненного на комплементарных МДП-транзисторах, показана на рис. 1.60, *а*. В ней параллельно соединенные транзисторы $VT2$ и $VT4$ с каналом n -типа являются управляющими, а транзисторы $VT1$ и $VT3$ с каналом p -типа — нагрузочными.

Если на обоих входах такого ЛЭ присутствует напряжение низкого уровня, то транзисторы $VT2$ и $VT4$ закрыты, а транзисторы $VT1$ и $VT3$ — открыты и сопротивление их каналов относительно мало. А поскольку ток через них практически не протекает, через открытые транзисторы на выходе ЛЭ устанавливается напряжение, близкое к напряжению источника питания, т. е. уровень логической единицы.

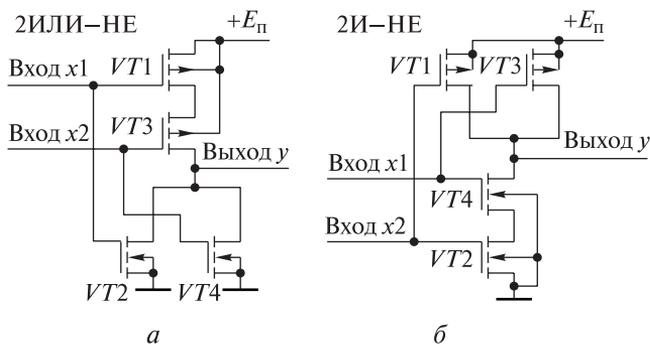


Рис. 1.60. Логические элементы на КМДП-транзисторах:
а — ИЛИ–НЕ; б — И–НЕ

Если хотя бы на один из входов ЛЭ поступает напряжение высокого уровня, то соответствующий транзистор нижнего плеча ЛЭ открывается, а транзистор верхнего плеча — закрывается, препятствуя появлению высокого уровня на выходе схемы. В результате на выходе ЛЭ благодаря открытому транзистору нижнего плеча устанавливается напряжение низкого уровня, близкое к нулю. Работу ЛЭ КМДП 2ИЛИ–НЕ иллюстрирует рис. 1.61.

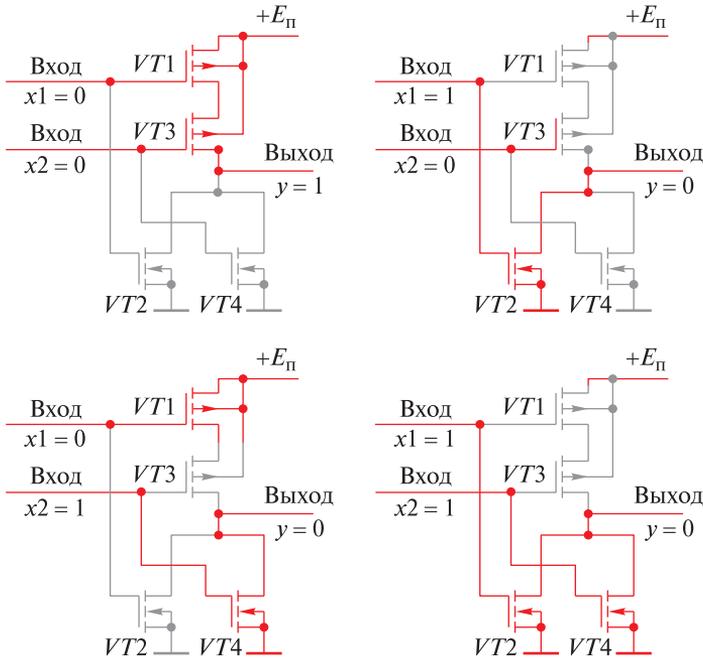


Рис. 1.61. Иллюстрация работы базового логического элемента 2ИЛИ–НЕ при различных сочетаниях входных сигналов:
a — $x_1 = 0, x_2 = 0$; *б* — $x_1 = 1, x_2 = 1$; *в* — $x_1 = 0, x_2 = 1$; *г* — $x_1 = 1, x_2 = 1$

Вариант топологической реализации представленного на рис. 1.60, *a* рассмотренного ЛЭ приведен на рис. 1.62.

В логических элементах И–НЕ (рис. 1.60, *б*) управляющие МДП-транзисторы *VT2* с каналом *n*-типа и *VT4* включены последовательно, а нагрузочные с каналами *p*-типа — параллельно. Сопротивление нижнего плеча будет мало в том случае, если открыты оба транзистора *VT2* и *VT4*, т. е. когда на входах действуют напряжения, соответствующие уровню логической единицы. В этом случае на выходе ЛЭ устанавливается уровень логического нуля (рис. 1.63).

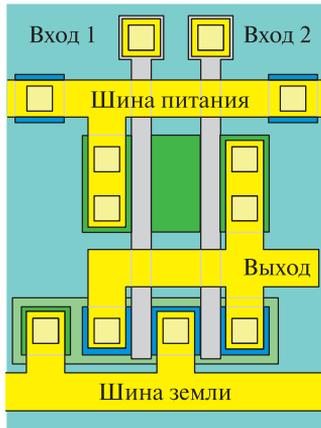


Рис. 1.62. Вариант топологической реализации логического элемента ИЛИ–НЕ

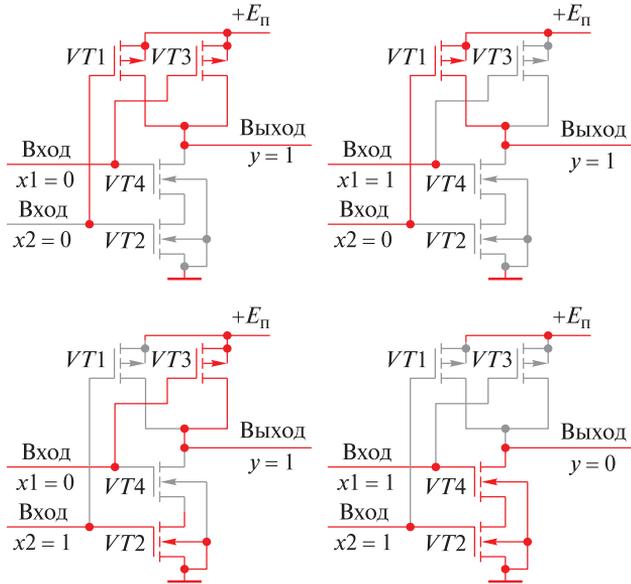


Рис. 1.63. Иллюстрация работы базового логического элемента 2И–НЕ при различных сочетаниях входных сигналов:

a — $x_1 = 0, x_2 = 0$; *б* — $x_1 = 1, x_2 = 0$; *в* — $x_1 = 0, x_2 = 1$;
г — $x_1 = 1, x_2 = 1$

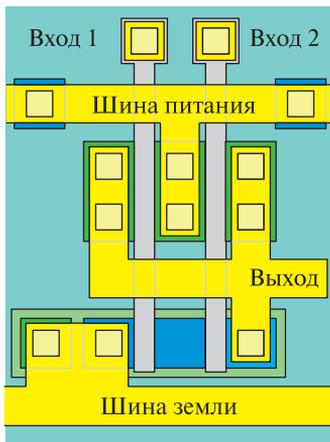


Рис. 1.64. Вариант топологической реализации логического элемента И–НЕ

Если на одном из входов присутствует напряжение низкого уровня, то один из транзисторов VT_2 или VT_4 будет открыт, а один из транзисторов VT_1 или VT_3 — закрыт. При этом сопротивление верхнего плеча будет значительно меньше, чем сопротивление нижнего плеча, и уровень выходного напряжения будет соответствовать логической единице (рис. 1.64).

Выполняющие функцию И и ИЛИ ЛЭ на КМДП-транзисторах реализуются добавлением инвертора к выходам ЛЭ И–НЕ и ИЛИ–НЕ соответственно. Их принципиальные электрические схемы приведены на рис. 1.65, варианты их топологической реализации показаны на рис. 1.66, *a*, *б* соответственно.

К достоинствам логических элементов на КМДП-транзисторах относится следующее.

1. Малое потребление мощности.

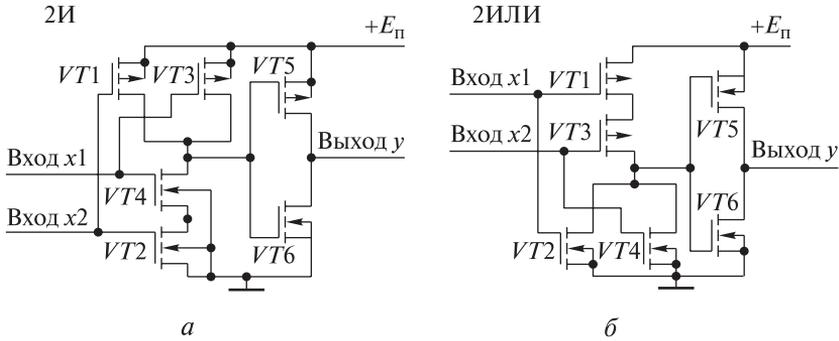


Рис. 1.65. Реализация логических элементов на КМДП-транзисторах:
а — И; б — ИЛИ

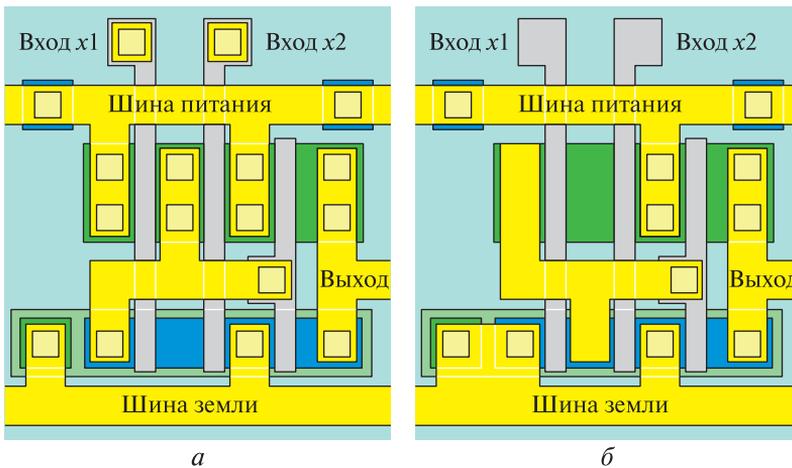


Рис. 1.66. Варианты топологической реализации логических элементов:
а — И; б — ИЛИ

2. Высокое быстродействие, тем большее, чем короче длина канала. Современные процессорные СБИС, производимые по технологической норме 14 нм, имеют тактовую частоту до 5 ГГц.

3. Высокая помехоустойчивость.

4. Высокий коэффициент использования напряжения источника питания.

Их недостатком является более сложная технология производства СБИС по сравнению с технологией производства ЛЭ на *n*-канальных МДП-транзисторах.

1.10.3. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ДВУНАПРАВЛЕННОГО КЛЮЧА НА КМДП-ТРАНЗИСТОРАХ

Важным элементом схемотехники ЛЭ КМДП является двунаправленный ключ, схема которого приведена на рис. 1.67. Он представляет собой параллельно включенные n - и p -канальные МДП-транзисторы. Как следует из рисунка, для управления ключом напряжение на затворы входящих в него транзисторов необходимо подавать в противофазе.

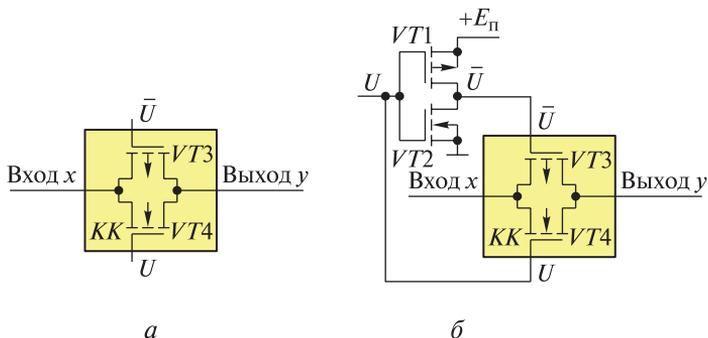


Рис. 1.67. Двунаправленный ключ на КМДП-транзисторах:
а — схема ключа; б — схема управления им

При низком уровне управляющего напряжения U и n -канальный транзистор $VT4$, и p -канальный транзистор $VT3$ закрыты, поэтому вход x и выход y ключа разомкнуты. При подаче управляющего сигнала U высокого уровня оба транзистора открываются и ключ замыкается. Сопротивление ключа в замкнутом состоянии равно сопротивлению параллельно включенных сопротивлений их каналов в открытом состоянии.

Тесты к лекции 1.10

1. В чем заключается основное преимущество ЛЭ КМДП по сравнению с ЛЭ на n -канальных МДП-транзисторах?

- логические элементы КМДП имеют размах уровней логического сигнала, практически равный напряжению питания, и в статическом режиме не потребляют ток;
- топология ЛЭ КМДП занимает меньшую площадь на кристалле микросхемы;
- логические элементы КМДП потребляют малую мощность, поэтому на этой элементной базе можно производить СБИС.

2. Сколько понадобится транзисторов, чтобы реализовать ЛЭ «ИСКЛЮЧАЮЩЕЕ ИЛИ» на ЛЭ 2И–НЕ?

- 16;
- 12;
- 20.

1.11. СЛОЖНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА КОМПЛЕМЕНТАРНЫХ МДП-ТРАНЗИСТОРАХ

Цель лекции: изучение сложных логических элементов на комплементарных МДП-транзисторах.

1.11.1. СХЕМОТЕХНИКА ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ С ТРЕМЯ ВЫХОДНЫМИ СОСТОЯНИЯМИ НА КМДП-ТРАНЗИСТОРАХ

Инвертор КМДП с тремя выходными состояниями представляет собой разновидность обычного инвертора (рис. 1.68). Он имеет дополнительные транзисторы $VT5$ и $VT6$, управление которыми осуществляется по независимой цепи (вход EZ на рис. 1.68) с помощью инвертора на транзисторах $VT1$ и $VT2$. Если оба транзистора $VT5$ и $VT6$ открыты, то данная схема функционирует как обычный инвертор. В противном случае транзисторы $VT3$ и $VT4$ отключаются от источника питания. Тогда выход схемы приобретает очень большое сопротивление по отношению к сопротивлению обеих шин питания. Такой инвертор, следовательно, представляет собой устройство с тремя выходными состояниями, в функциональном отношении и по применению подобное описанным ранее ЛЭ ТТЛ.

Если к шине, соединяющей выход подобного инвертора с входом последующего каскада, подключить конденсатор, то при третьем выходном состоянии разряд конденсатора будет продолжительным вследствие высоких сопротивлений выхода и входа транзисторов. Это свойство может быть использовано для построения оперативных запоминающих устройств, ждущих мультивибраторов, а также реле времени с большой выдержкой.

Работу данного ЛЭ иллюстрирует рис. 1.69, на котором красным цветом выделены элементы, находящиеся в проводящем состоянии.

Другой вариант реализации схемы с тремя выходными состояниями показан на рис. 1.70. Эта схема, в отличие от предыдущей, не инвертирует входной сигнал. Ее работу иллюстрирует рис. 1.71, на котором, как и в предыдущем случае, красным цветом выделены элементы, находящиеся в проводящем состоянии.

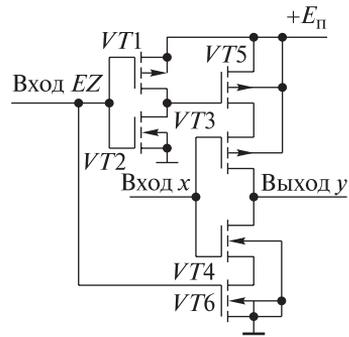


Рис. 1.68. Схема КМДП-инвертора с тремя выходными состояниями

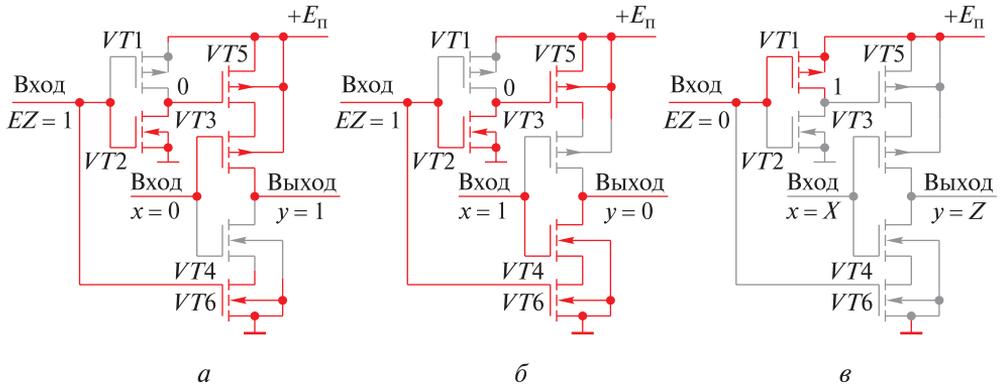


Рис. 1.69. Иллюстрация работы схемы инвертора с тремя выходными состояниями: *а* — на выходе логическая единица; *б* — на выходе логический ноль; *в* — высокоимпедансное состояние

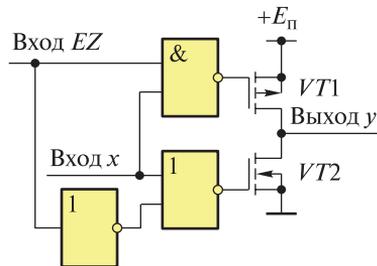


Рис. 1.70. КМДП-схема с тремя выходными состояниями

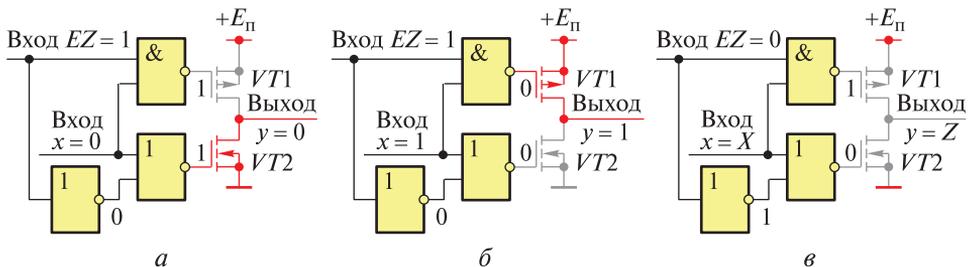


Рис. 1.71. Иллюстрация работы выходной КМДП-схемы с тремя выходными состояниями:

а — на выходе логическая единица; *б* — на выходе логический ноль; *в* — высокоимпедансное состояние

Рассмотренная схема удобна для реализации мощных выходных КМДП-вентилей, поскольку, в отличие от предыдущей схемы, у нее в выходном каскаде между шинами земли и питания находятся только два транзистора, тогда как в предыдущей схеме их четыре. От этой схемы можно получить больший ток в нагрузку.

1.11.2. МУЛЬТИПЛЕКСОР НА КМДП-ТРАНЗИСТОРАХ

Схема двунаправленного ключа весьма удобна для реализации таких цифровых устройств, как мультиплексоры и демultipлексоры. Принципиальная схема двухвходового мультиплексора, реализованная на двух ключах и одном инверторе, приведена на рис. 1.72. Работу данной схемы иллюстрирует рис. 1.73.

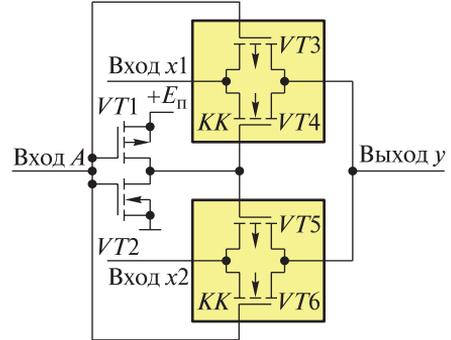


Рис. 1.72. Двухвходовый мультиплексор на КМДП-транзисторах

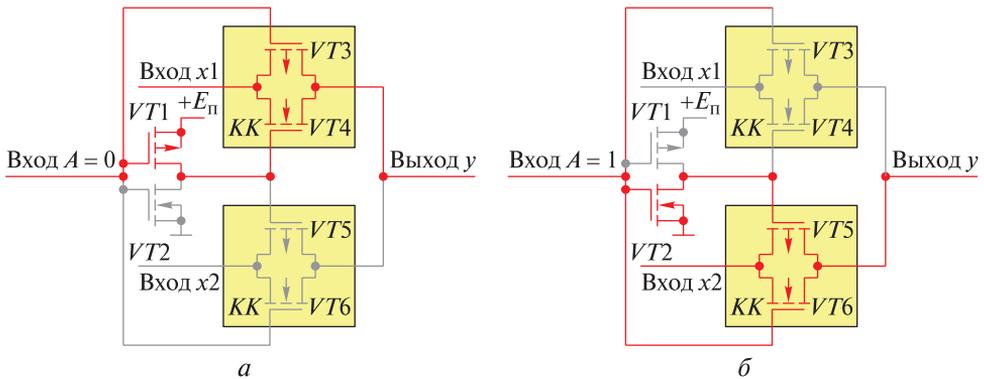


Рис. 1.73. Иллюстрация работы двухвходового мультиплексора на КМДП-транзисторах: а — при управляющем сигнале низкого уровня; б — при управляющем сигнале высокого уровня

1.11.3. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ЛОГИЧЕСКОГО ЭЛЕМЕНТА «ИСКЛЮЧАЮЩЕЕ ИЛИ» НА КМДП-ТРАНЗИСТОРАХ С ИСПОЛЬЗОВАНИЕМ СХЕМЫ ДВУНАПРАВЛЕННОГО КЛЮЧА

Применение схем двунаправленного ключа в ряде случаев позволяет уменьшить число транзисторов, необходимых для реализации ЛЭ с другими логическими функциями. Примером такого схемотехнического решения является схема логического элемента «Исключающее ИЛИ», приведенная на рис. 1.74.

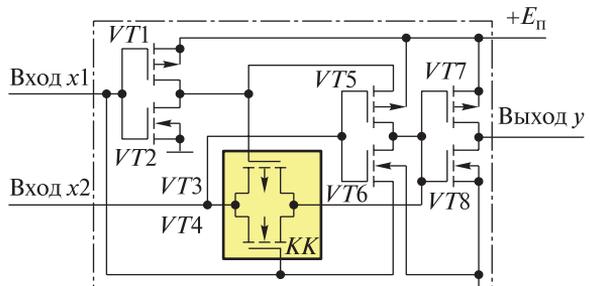


Рис. 1.74. Принципиальная схема логического элемента «Исключающее ИЛИ» на КМДП-транзисторах

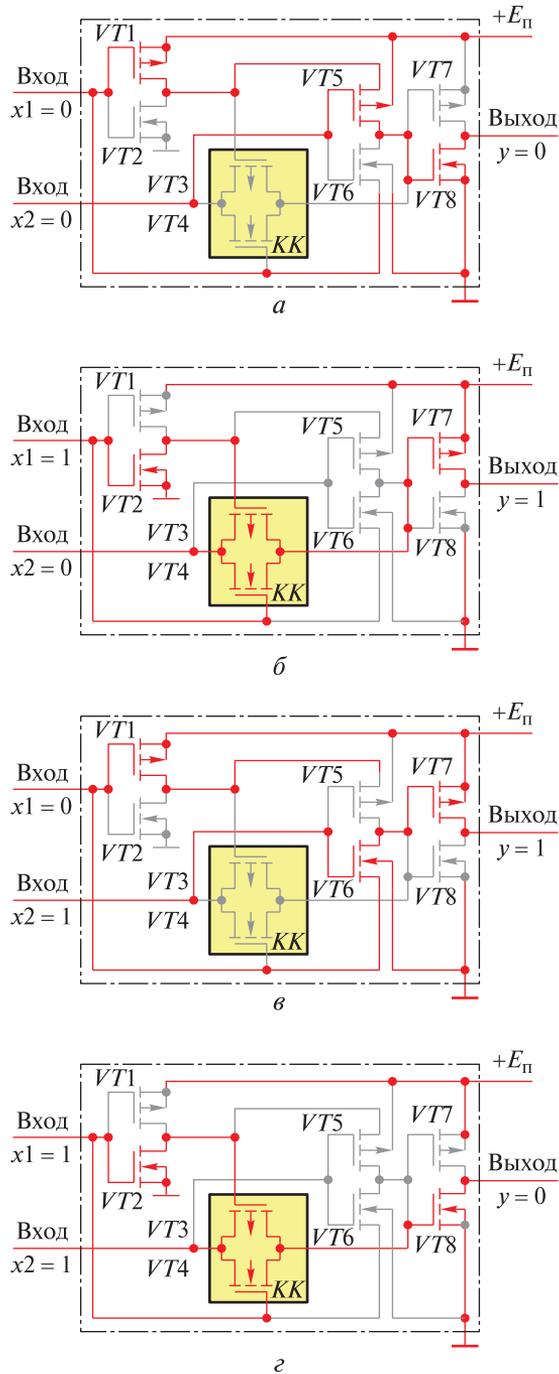


Рис. 1.75. Иллюстрация работы логического элемента «Исключающее ИЛИ» при различных комбинациях входных сигналов:

a — $x_1 = 0, x_2 = 0$; $б$ — $x_1 = 1, x_2 = 0$; $в$ — $x_1 = 0, x_2 = 1$; $г$ — $x_1 = 1, x_2 = 1$

Работу данной схемы при различном сочетании входных сигналов иллюстрирует рис. 1.75, на котором красным цветом выделены транзисторы, находящиеся в проводящем состоянии.

Тесты к лекции 1.11

1. Какой логический сигнал надо подать на вход EZ схемы, приведенной на рис. 1.68, чтобы на ее выходе получить высокоимпедансное состояние?

- а) сигнал уровня логического нуля;
- б) сигнал уровня логической единицы;
- в) для перевода схемы в высокоимпедансное состояние уровень сигнала на входе EZ значения не имеет.

2. Изменением какого сигнала осуществляется коммутация информационных потоков в схеме мультиплексора, приведенной на рис. 1.72?

- а) изменением сигнала на входе A ;
- б) изменением сигналов на входах x_1 и x_2 ;
- в) одновременным изменением сигналов на входах A , x_1 и x_2 .

3. Можно ли схему мультиплексора рис. 1.72 использовать в качестве де-мультиплексора?

- а) нет (поясните);
- б) да (поясните).

4. Сколько транзисторов требуется для реализации выходной КМДП-схемы, приведенной на рис. 1.70?

- а) 12;
- б) 16;
- в) 10.

5. В чем заключается недостаток схемы, приведенной на рис. 1.68?

- а) в схеме четыре КМДП-транзистора образуют ряд последовательно включенных транзисторов от источника питания $+E_n$ до шины Земли, в котором трудно получить достаточное значение величины выходного тока;
- б) выходным рядом КМДП-транзисторов трудно управлять;
- в) в приведенной схеме для управления рядом последовательно включенных транзисторов требуется дополнительная схема.

1.12. Комплементарные МДП-схемы И–ИЛИ–НЕ и ИЛИ–И–НЕ

Цель лекции: изучение комплементарных МДП-схем И–ИЛИ–НЕ и ИЛИ–И–НЕ.

Достоинства КМДП-схемотехники состоят также в том, что в случае ее применения на одном «слое» транзисторов можно реализовать двухуровневую логику, т. е. последовательное выполнение двух логических операций.

Принципиальная схема четырехвходового ЛЭ И–ИЛИ–НЕ и ее логическая схема приведены на рис. 1.76. Работу этой схемы описывает табл. 1.3, в которой буквой О красного цвета отмечены транзисторы, находящиеся в открытом (проводящем) состоянии при данной комбинации входных сигналов, а буквой З черного цвета отмечены транзисторы, находящиеся в закрытом (непроводящем) состоянии.

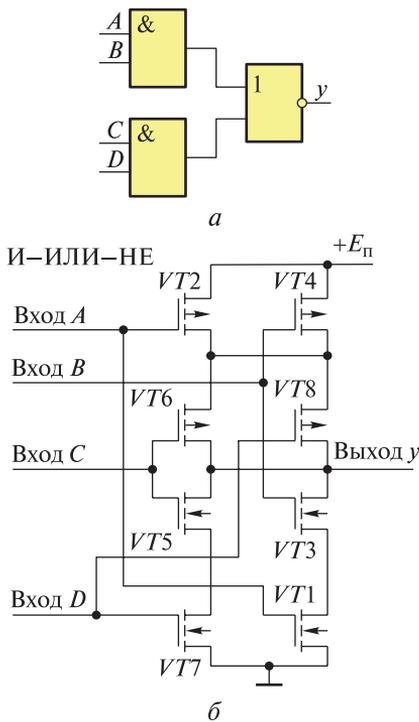


Таблица 1.3

Состояние транзисторов КМДП-схемы И–ИЛИ–НЕ при различных комбинациях сигналов на входах (О – открыт, З – закрыт)

A	B	C	D	VT1	VT2	VT3	VT4	VT5	VT6	VT7	VT8	y
0	0	0	0	З	О	З	О	З	О	З	О	1
0	0	0	1	З	О	З	О	З	О	О	З	1
0	0	1	0	З	О	З	О	О	З	З	О	1
0	0	1	1	З	О	З	О	О	З	О	З	0
0	1	0	0	З	О	О	З	З	О	З	О	1
0	1	0	1	З	О	О	З	З	О	О	З	1
0	1	1	0	З	О	О	З	О	З	З	О	1
0	1	1	1	З	О	О	З	О	З	О	З	0
1	0	0	0	О	З	З	О	З	О	З	О	1
1	0	0	1	О	З	З	О	З	О	О	З	1
1	0	1	0	О	З	З	О	О	З	З	О	1
1	0	1	1	О	З	З	О	О	З	О	З	0
1	1	0	0	О	З	О	З	З	О	З	О	0
1	1	0	1	О	З	О	З	З	О	О	З	0
1	1	1	0	О	З	О	З	О	З	З	О	0
1	1	1	1	О	З	О	З	О	З	О	З	0

Рис. 1.76. Схемы логического элемента И–ИЛИ–НЕ на КМДП-транзисторах:

a – логическая; б – принципиальная

Содержание каждого столбца таблицы ($VT1–VT8$) зависит только от сигнала, поданного на затвор соответствующего транзистора. Последний столбец (y) заполняют путем проверки работы схемы для каждой входной комбинации логических сигналов и установления того, при какой комбинации выход схемы оказывается или подключенным через открытые транзисторы к шине питания, или же соединенным с шиной земли. Отметим, что при любой комбинации сигналов на входах выход схемы *никогда не бывает соединен одновременно с шиной питания и шиной земли!*

Аналогичным образом была разработана двухслойная схема ИЛИ–И–НЕ (рис. 1.77). Работу этой схемы, по аналогии с предыдущей, описывает табл. 1.4.

Быстродействие и другие параметры КМДП-схем И–ИЛИ–НЕ и ИЛИ–И–НЕ очень близки к параметрам одноуровневых КМДП-схем И–НЕ и ИЛИ–НЕ. Первые позволяют

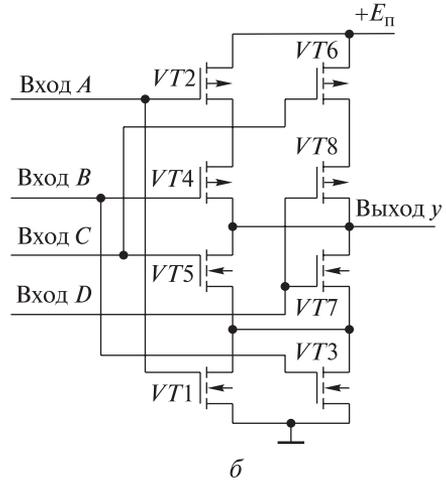
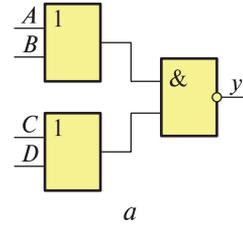


Рис. 1.77. Схемы логического элемента ИЛИ–И–НЕ на КМДП-транзисторах: а – логическая; б – принципиальная

Таблица 1.4

Состояние транзисторов КМДП-схемы ИЛИ–И–НЕ при различных комбинациях сигналов на входах (О – открыт, З – закрыт)

A	B	C	D	VT1	VT2	VT3	VT4	VT5	VT6	VT7	VT8	y
0	0	0	0	З	О	З	О	З	О	З	О	1
0	0	0	1	З	О	З	О	З	О	З	О	1
0	0	1	0	З	О	З	О	О	З	З	О	1
0	0	1	1	З	О	З	О	О	З	О	З	1
0	1	0	0	З	О	О	З	З	О	З	О	1
0	1	0	1	З	О	О	З	З	О	О	З	0
0	1	1	0	З	О	О	З	О	З	З	О	0
0	1	1	1	З	О	О	З	О	З	О	З	0
1	0	0	0	О	З	З	О	З	О	З	О	1
1	0	0	1	О	З	З	О	З	О	О	З	0
1	0	1	0	О	З	З	О	О	З	З	О	0
1	0	1	1	О	З	З	О	О	З	О	З	0
1	1	0	0	О	З	О	З	З	О	З	О	1
1	1	0	1	О	З	О	З	З	О	О	З	0
1	1	1	0	О	З	О	З	О	З	З	О	0
1	1	1	1	О	З	О	З	О	З	О	З	0

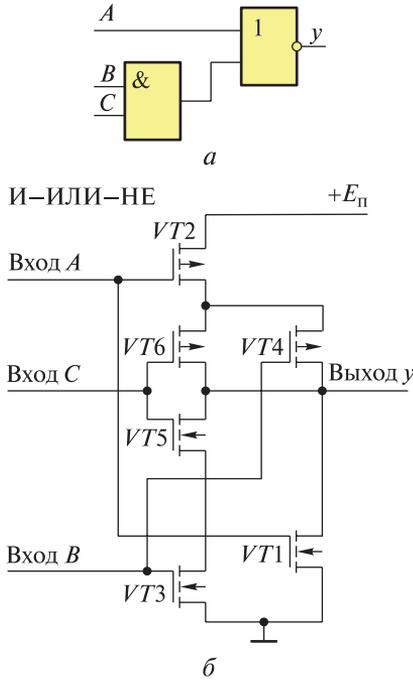


Рис. 1.78. Схемы трехвходового логического элемента И–ИЛИ–НЕ на КМДП-транзисторах:
a — логическая; *б* — принципиальная

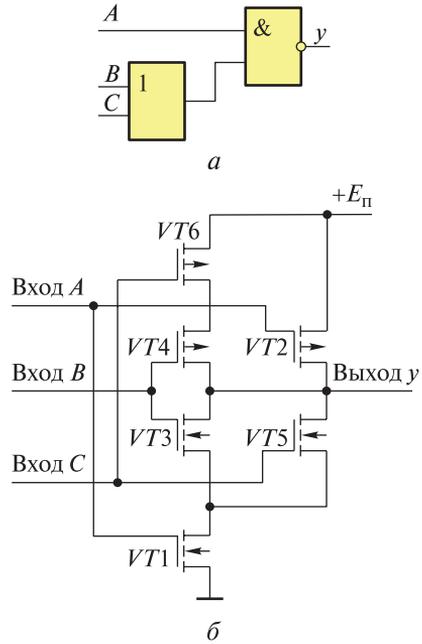


Рис. 1.79. Схемы трехвходового логического элемента ИЛИ–И–НЕ на КМДП-транзисторах:
a — логическая; *б* — принципиальная

Таблица 1.5

Состояние транзисторов трехвходовой КМДП-схемы И–ИЛИ–НЕ при различных комбинациях сигналов на входах (О – открыт, З – закрыт)

A	B	C	VT1	VT2	VT3	VT4	VT5	VT6	y
0	0	0	З	О	З	О	З	О	1
0	0	1	З	О	З	О	О	З	1
0	1	0	З	О	О	З	З	О	1
0	1	1	З	О	О	З	О	З	0
1	0	0	О	З	З	О	З	О	0
1	0	1	О	З	З	О	О	З	0
1	1	0	О	З	О	З	З	О	0
1	1	1	О	З	О	З	О	З	0

Таблица 1.6

Состояние транзисторов трехвходовой КМДП-схемы ИЛИ–И–НЕ при различных комбинациях сигналов на входах (О – открыт, З – закрыт)

A	B	C	VT1	VT2	VT3	VT4	VT5	VT6	y
0	0	0	З	О	З	О	З	О	1
0	0	1	З	О	З	О	О	З	1
0	1	0	З	О	О	З	З	О	1
0	1	1	З	О	О	З	О	З	1
1	0	0	О	З	З	О	З	О	1
1	0	1	О	З	З	О	О	З	0
1	1	0	О	З	О	З	З	О	0
1	1	1	О	З	О	З	О	З	0

выполнить двухуровневую логическую операцию с задержкой, соответствующей одному уровню.

Большинство разработчиков цифровых устройств не затрудняют себя применением схем двухуровневой логики. Однако в составе СБИС, выполненных по КМДП-технологии, эти схемы используются часто. В связи с этим в языках описания цифровых устройств САПР КМДП-СБИС имеются программные средства, позволяющие автоматически преобразовывать схемы двухуровневой логики в схемы И–ИЛИ–НЕ и ИЛИ–И–НЕ в тех случаях, когда это целесообразно.

Аналогичные трехходовые схемы И–ИЛИ–НЕ и ИЛИ–И–НЕ приведены на рис. 1.78 и 1.79, соответственно, в табл. 1.5 и 1.6 описана логика их работы.

Тесты к лекции 1.12

1. Сколько транзисторов заменяет двухслойная схема И–ИЛИ–НЕ в случае ее применения вместо ЛЭ одноуровневой логики?

- а) 16;
- б) 20;
- в) 12.

2. Каково время задержки при передаче сигнала в логическом элементе ИЛИ–И–НЕ?

- а) τ ;
- б) 2τ ;
- в) $1,5\tau$.

3. Сколько транзисторов заменяет двухслойная схема И–ИЛИ–НЕ, приведенная на рис. 1.78, в случае ее применения вместо ЛЭ одноуровневой логики?

- а) 10;
- б) 8;
- в) 12.

4. Каково время задержки при передаче сигнала в логическом элементе ИЛИ–И–НЕ?

- а) τ ;
- б) $1,5\tau$;
- в) $1,8\tau$.

2. НОРМАТИВНАЯ ДОКУМЕНТАЦИЯ

2.1. ПРИМЕРНАЯ БАЗОВАЯ ПРОГРАММА ДИСЦИПЛИНЫ



Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования «Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

Утверждаю
Первый проректор —
проректор по учебной работе
МГТУ им. Н.Э. Баумана
_____ Б.В. Падалкин
« ___ » _____ 20__ г.

Факультет «Информатика и системы управления»
Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»

Факультет «Информатика и управление»
Калужский филиал МГТУ им. Н.Э. Баумана
Кафедра ИУК1 «Проектирование и технология производства электронных приборов»

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ **«Проектирование электронной элементной базы»**

для направления подготовки
12.03.01 «Приборостроение»
(уровень бакалавриата)

Авторы программы:

Макарчук В.В., канд. техн. наук, доцент
Родионов И.А., канд. техн. наук, доцент

ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (МОДУЛЮ), СООТНЕСЕННЫЕ С ПЛАНИРУЕМЫМИ РЕЗУЛЬТАТАМИ ОСВОЕНИЯ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ

Настоящая рабочая программа дисциплины устанавливает требования к знаниям и умениям студента, а также определяет содержание и виды учебных занятий и отчетности.

Программа разработана в соответствии со следующими документами:

- самостоятельно устанавливаемым образовательным стандартом (СУОС 3++) по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата);
- основной профессиональной образовательной программой (ОПОП) по направлению подготовки 12.03.01 «Приборостроение»;
- учебным планом МГТУ им. Н.Э. Баумана по направлению подготовки 12.03.01 «Приборостроение».

При освоении дисциплины планируется формирование компетенций, предусмотренных ОПОП на основе СУОС 3++ по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

Для категорий «знать», «уметь», «владеть» планируется достижение результатов обучения, вносящих на соответствующих уровнях вклад в формирование компетенций, которые предусмотрены основной профессиональной образовательной программой.

Место дисциплины в структуре образовательной программы.

Дисциплина входит в блок Б1 «Дисциплины (модули)» образовательной программы по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

При изучении дисциплины предполагается предварительное освоение следующих дисциплин учебного плана:

- «Физико-химические основы электронных средств»;
- «Технологические процессы изготовления компонентной базы приборостроения»;
- «Физические основы микро- и нанoeлектроники».

Освоение данной дисциплины необходимо как предшествующее для следующих дисциплин образовательной программы:

- «Проектирование микропроцессорных систем».

Освоение учебной дисциплины связано с формированием компетенций с учетом матрицы компетенций ОПОП для направления подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

ОБЪЕМ ДИСЦИПЛИНЫ

Общий объем дисциплины составляет семь зачетных единиц (з. е.), 252 акад. ч (189 астр. ч), в том числе: первый семестр – 7 з. е. (252 акад. ч).

Таблица 2.1

Объем дисциплины по видам учебных занятий

Виды учебной работы	Объем по семестрам, акад. ч		
	Всего	Количество семестров освоения дисциплины	
		1	2
Объем дисциплины	252	252	—
Аудиторная работа*	85	85	—
Лекции (Л)	51	51	—
Семинары (С)	34	34	—
Самостоятельная работа (СР)	167	167	—
Проработка учебного материала лекций	10	10	—
Подготовка к семинарам	10	10	—
Выполнение курсового проекта	107	107	—
Подготовка к экзамену	30	30	—
Другие виды самостоятельной работы	10	10	—
Вид промежуточной аттестации	—	Экзамен	—

* В том числе в форме практической подготовки

СОДЕРЖАНИЕ ДИСЦИПЛИНЫ, СТРУКТУРИРОВАННОЕ ПО МОДУЛЯМ УЧЕБНОЙ ДИСЦИПЛИНЫ, С УКАЗАНИЕМ ОТВЕДЕННОГО НА НИХ ЧИСЛА АКАДЕМИЧЕСКИХ ИЛИ АСТРОНОМИЧЕСКИХ ЧАСОВ И ВИДОВ УЧЕБНЫХ ЗАНЯТИЙ

Таблица 2.2

Содержание дисциплины

№	Наименование модуля, содержание	Часы
1	Схемотехника базовых логических элементов на биполярных и полевых транзисторах и цифровые устройства комбинационного типа	57
	<i>Лекции</i>	26
Л1.1	Основы теории цифровых устройств. Булева алгебра. Аксиомы булевой алгебры. Законы булевой алгебры. Взаимное соответствие булевых функций и логических схем. Положительная и отрицательная логика. Изображение базовых логических элементов на принципиальной электрической схеме	2
Л1.2	Классификация электронной компонентной базы приборостроения по используемым активным логическим элементам и технологиям микроэлектроники. Основные функциональные параметры логических элементов электронной компонентной базы приборостроения. Выполняемая логическая функция. Нагрузочная способность (коэффициент разветвления по выходу). Коэффициент объединения по входу. Среднее время задержки распространения сигнала. Предельная рабочая частота. Помехоустойчивость. Потребляемая мощность	2

Продолжение табл. 2.2

№	Наименование модуля, содержание	Часы
Л1.3	Схемотехника компонентной базы приборостроения на биполярных транзисторах: резисторно-транзисторная логика. Недостатки логических элементов РТЛ	2
Л1.4	Схемотехника компонентной базы приборостроения на биполярных транзисторах: диодно-транзисторная логика. Схема базового логического элемента ДТЛ. Недостатки схемы ЛЭ ДТЛ. Схема ЛЭ ДТЛ с увеличенным запасом помехоустойчивости	2
Л1.5	Схемотехника компонентной базы приборостроения на биполярных транзисторах: транзисторно-транзисторная логика. Схема базового логического элемента ТТЛ. Разновидности логических элементов ТТЛ. Микросхемы ТТЛ повышенного быстродействия	2
Л1.6	Схемотехника компонентной базы приборостроения на биполярных транзисторах: логические элементы ТТЛ с расширенными логическими функциями	2
Л1.7	Эмиттерно-связанная логика. Схема базового логического элемента ЭСЛ. Особенности схем ЛЭ ЭСЛ	2
Л1.8	Схемотехника компонентной базы приборостроения на инжекционных транзисторах. Общие понятия. Инжекционный транзистор. Применение интегральной инжекционной логики в схемотехнике цифровых устройств. Сопряжение функциональных узлов микросхем, реализованных на логических элементах интегральной инжекционной логики с биполярной частью интегральной микросхемы	2
Л1.9	Схемотехника компонентной базы приборостроения на n -канальных МДП-транзисторах. Физика работы полевого транзистора с индуцированным каналом. Схемотехника базовых логических элементов на n -канальных МДП-транзисторах. Схемотехника базовых логических элементов И–НЕ и ИЛИ–НЕ на n -канальных МДП-транзисторах	2
Л1.10	Схемотехника компонентной базы приборостроения на комплементарных МДП-транзисторах. Инвертор на транзисторах с дополняющими типами проводимости канала (КМДП-инвертор). Схемотехническая реализация двунаправленного ключа на КМДП-транзисторах	2
Л1.11	Сложные логические схемы на комплементарных МДП-транзисторах. Схемотехника логических схем с тремя выходными состояниями на КМДП-транзисторах. Мультиплексор на КМДП-транзисторах. Схемотехническая реализация логического элемента «исключающее ИЛИ» на КМДП-транзисторах с использованием схемы двунаправленного ключа	2
Л1.12	Логические элементы КМДП И–ИЛИ–НЕ и ИЛИ–И–НЕ	2
Л1.13	Перспективная компонентная база приборостроения	2
<i>Семинары</i>		12
С1.1	Сборка базового логического элемента диодно-транзисторной логики в САПР	2

Продолжение табл. 2.2

№	Наименование модуля, содержание	Часы
С1.2	Исследование работы базового логического элемента диодно-транзисторной логики в статическом режиме и во временной области	2
С1.3	Сборка базового логического элемента ТТЛ со сложным инвертором в САПР	2
С1.4	Исследование работы базового логического элемента ТТЛ со сложным инвертором в статическом режиме и во временной области	2
С1.5	Сборка логических элементов КМОП 2И–НЕ в САПР и исследование их работы	2
С1.6	Сборка логических элементов 2ИЛИ–НЕ в САПР и исследование их работы	2
	<i>Самостоятельная работа</i>	9
СП1.1	Проработка учебного материала лекций	3
СП1.2	Подготовка к практическим работам	3
СП1.3	Другие виды самостоятельной работы	3
2	Цифровые устройства комбинационного типа	25
	<i>Лекции</i>	10
Л2.1	Классификация цифровых устройств. Принципы анализа работы цифровых устройств. Мультиплексоры. Внутренняя структура мультиплексора. Способы наращивания числа входов мультиплексора	2
Л2.2	Демультимплексоры. Внутренняя структура и способы наращивания числа выходов демультимплексора. Особенности построения мультиплексоров (демультимплексоров) на КМОП-компонентной базе	2
Л2.3	Дешифраторы как разновидность демультимплексоров. Схемы управления цифровыми индикаторами как разновидность дешифраторов. Шифраторы и приоритетные шифраторы. Цифровые компараторы и схемы контроля. Устройства с тремя состояниями. Схемы проверки на четность	2
Л2.4	Арифметические устройства. Полусумматор. Полный одноразрядный сумматор. Варианты схемотехнической реализации. Многоразрядные сумматоры. Сумматоры с последовательным и параллельным переносом	2
Л2.5	Субтракторы. Прямой, обратный и дополнительный коды представления целых двоичных чисел. Последовательность действий при замене операции вычитания на операцию сложения. Матричные умножители. Варианты построения матричных умножителей	2
	<i>Семинары</i>	6
С2.1	Сборка схемы мультиплексора 4:1 и исследование ее работы. Пирамидальное наращивание и создание схемы мультиплексора 16:1 на основе мультиплексоров 4:1. Исследование работы схемы мультиплексора 16:1. Сборка схемы демультимплексора 1:4 и исследование ее работы. Пирамидальное наращивание и получение схемы демультимплексора 1:16 путем мультиплексирования схемы демультимплексора 1:4. Изучение работы схемы декодера управления семисегментным индикатором	2

Продолжение табл. 2.2

№	Наименование модуля, содержание	Часы
С2.2	Изучение работы схемы восьмивходового приоритетного шифратора	2
С2.3	Изучение работы схемы полного одноразрядного сумматора. Создание схемы четырехразрядного сумматора с последовательным переносом и изучение ее работы. Создание схемы четырехразрядного сумматора с параллельным переносом и изучение ее работы	2
	<i>Самостоятельная работа</i>	9
СР1.1	Проработка учебного материала лекций	3
СР1.2	Подготовка к практическим работам	3
СР1.3	Другие виды самостоятельной работы	3
3	Цифровые устройства последовательностного типа и запоминающие устройства	43
	<i>Лекции</i>	15
Л3.1	Триггер как устройство последовательностного типа. Классификация триггеров. Асинхронные и синхронные триггеры. Асинхронный <i>RS</i> -триггер. Принципы работы. Особенности построения асинхронных <i>RS</i> -триггеров на базовых элементах И и ИЛИ. Запрещенные состояния асинхронных <i>RS</i> -триггеров. Триггерная система. Структурная схема. Классификация входных управляющих сигналов. Способы управления триггерами. Двухступенчатые триггеры. Синхронный <i>RS</i> -триггер. Синхронный <i>JK</i> -триггер. Синхронный <i>D</i> -триггер. <i>T</i> -триггер (счетный триггер). Триггеры с функцией разрешения (запрещения) работы	2
Л3.2	Регистры. Основные структуры регистров. Области применения регистров	2
Л3.3	Счетчики. Классификация счетчиков. Универсальные синхронные двоичные счетчики. Счетчики — делители частоты. Реверсивные счетчики. Простые и самокорректирующиеся кольцевые счетчики, построенные на схемах регистров. Простые и самокорректирующиеся счетчики Джонсона	2
Л3.4	Классификация запоминающих устройств. Постоянные запоминающие устройства и принципы их организации. Основные функциональные параметры запоминающих устройств. Внутренняя структура запоминающих устройств, реализованных на основе принципа двумерного декодирования. Основные управляющие сигналы микросхем постоянных запоминающих устройств. Временная диаграмма режима чтения	2
Л3.5	Оперативные запоминающие устройства. Организация и внутренняя структура статических и динамических оперативных запоминающих устройств. Режимы и временные диаграммы режимов чтения и записи. Микросхемы EPROM, EEPROM и флеш-памяти. Основные функциональные параметры и технологии производства	2

Окончание табл. 2.2

№	Наименование модуля, содержание	Часы
ЛЗ.6	Динамические оперативные запоминающие устройства. Отличия динамических оперативных запоминающих устройств от статических схем памяти. Ячейка памяти динамического ОЗУ и ее работа в режимах чтения и записи. Временные диаграммы режимов чтения, записи и регенерации в динамических оперативных запоминающих устройствах	2
ЛЗ.7	Перспективная компонентная база приборостроения	2
ЛЗ.8	Рубежный контроль	1
	<i>Семинары</i>	16
СЗ.1	Счетчики. Изучение внутренней структуры и принципов работы четырехразрядного счетчика (делителя) частоты. Изучение внутренней структуры и принципов работы синхронного двоичного счетчика с параллельной логикой разрешения	2
СЗ.2	Регистры. Изучение внутренней структуры и принципов работы схемы четырехразрядного универсального регистра	2
СЗ.3	Кольцевые счетчики. Изучение структуры и принципов работы обычного кольцевого счетчика и самокорректирующегося кольцевого счетчика, реализованного с помощью схемы четырехразрядного универсального регистра	2
СЗ.4	Кольцевые счетчики Джонсона. Изучение структуры и принципов работы обычного кольцевого счетчика и самокорректирующегося четырехразрядного кольцевого счетчика Джонсона	2
СЗ.5	Сборка в пакете САПР простейшей схемы диодного запоминающего устройства. Моделирование и изучение ее работы	2
СЗ.6	Изучение принципов организации работы схемы умножителя двух- и трехразрядных двоичных чисел, реализованной на базе схемы диодной памяти	2
СЗ.7	Изучение принципов оптимизации схемы умножителя двух трехразрядных двоичных чисел и ее оптимизация. Проверка корректности работы модифицированной схемы	2
СЗ.8	Разработка и моделирование на базе четырехразрядного синхронного двоичного счетчика 74×163 восьмиразрядного синхронного двоичного счетчика с заданными модулем счета и начальным значением	2
	<i>Самостоятельная работа</i>	12
СП1.1	Проработка учебного материала лекций	3
СП1.2	Подготовка к практическим работам	3
СП1.3	Подготовка к рубежному контролю	3
СП1.4	Другие виды самостоятельной работы	3
4	Курсовой проект	107

УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

Самостоятельная работа студентов по дисциплине обеспечивается следующими учебно-методическими материалами.

1. Рабочая программа дисциплины.
2. Учебная литература и дополнительные материалы (раздел 6 рабочей программы дисциплины).
3. Перечень ресурсов информационно-телекоммуникационной сети Интернет (раздел 7 рабочей программы дисциплины).
4. Методические указания для обучающихся по освоению дисциплины (раздел 8 рабочей программы дисциплины), обеспечивающие самостоятельную работу студента при подготовке к учебным занятиям, выполнении домашних работ, подготовке к контрольным мероприятиям и аттестациям.
5. Комплект индивидуальных заданий.

Студенты получают доступ к указанным материалам начиная с первого занятия по дисциплине.

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ ДЛЯ ПРОВЕДЕНИЯ ТЕКУЩЕГО КОНТРОЛЯ И ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ СТУДЕНТОВ ПО ДИСЦИПЛИНЕ

Фонд оценочных средств для проведения текущего контроля и промежуточной аттестации обучающихся по дисциплине базируется на перечне компетенций с указанием этапов их формирования в процессе освоения образовательной программы. Фонд оценочных средств обеспечивает объективный контроль достижения всех результатов обучения, запланированных для дисциплины и включает в себя:

- перечень компетенций с указанием этапов их формирования в процессе освоения образовательной программы;
- описание показателей и критериев оценки компетенций на различных этапах их формирования, описание шкал оценки;
- типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, владений и (или) опыта деятельности, характеризующие этапы формирования компетенций в процессе освоения образовательной программы;
- методические материалы, определяющие процедуры оценки знаний, умений, владений и (или) опыта деятельности, характеризующих этапы формирования компетенций.

Контроль освоения дисциплины проводится в соответствии с Положением о текущем контроле успеваемости и промежуточной аттестации студентов МГТУ им. Н.Э. Баумана.

Фонд оценочных средств является приложением к данной рабочей программе дисциплины.

ПЕРЕЧЕНЬ УЧЕБНОЙ ЛИТЕРАТУРЫ И ДОПОЛНИТЕЛЬНЫХ МАТЕРИАЛОВ, НЕОБХОДИМЫХ ДЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Основная литература

1. Глушко А.А., Гладких А.А., Семенцов С.Г. Схемотехническое проектирование элементов аналоговых устройств: учеб. пособие. М.: Изд-во МГТУ им. Н.Э. Баумана, 2017. 71 с.
2. Пухальский Г.И., Новосельцева Т.Я. Проектирование цифровых устройств: учеб. пособие. СПб.: Лань, 2012. 896 с.
3. Хайнеман Р. Визуальное моделирование электронных схем в PSPICE: учеб. пособие. М.: ДМК Пресс, 2009. 336 с.
4. Хоровиц П., Хилл У. Искусство схемотехники: в 3 т. 4-е изд., перераб. и доп. М.: Мир, 1993. 411 с.; 370 с.; 366 с.

Дополнительная литература

1. Букреев И.Н., Мансуров Б.М., Горячев В.И. Микроэлектронные схемы цифровых устройств. М.: Радио и связь, 1990. 415 с.
2. Гриднев В.Н., Гриднева Г.Н. Проектирование коммутационных структур электронных средств: учеб. пособие. М.: Изд-во МГТУ им. Н.Э. Баумана, 2014. 452 с. (Библиотека «Конструирование и технология электронных средств»: в 25 кн.; кн. 7).
3. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. Л.: Энергоатомиздат, 1986. 280 с.
4. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: справ.: в 2 т. / под ред. В.А. Шахнова. М.: Радио и связь, 1988.
5. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств. М.: Высшая школа, 1991. 526 с.
6. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: справ. М.: Радио и связь, 1990. 304 с.
7. Уэйкерли Дж.Ф. Проектирование цифровых устройств: в 2 т.; пер. с англ. М.: Постмаркет, 2002, 844 с.; 528 с.
8. Цифровые и аналоговые интегральные микросхемы: справ. / под ред. В.С. Якубовского. М.: Радио и связь, 1990. 496 с.
9. Шило И.Л. Популярные цифровые микросхемы: справ. М.: Изд-во Радио и связь, 1987. 352 с.

Дополнительные материалы*

1. Биполярный транзистор в схеме с общим эмиттером. URL: <http://dssp.petrstu.ru/book/chapter5/part13.shtml>
2. Сквозное проектирование сборок на печатных платах с применением систем Altium Designer и Solid Works / А.Е. Курносенко, В.Г. Костиков, А.В. Лавров и др. // Наука и образование: электронное издание. 2015. № 12.

* Дата обращения 26.02.2024.

3. Vishay. Build Vishat into your Design. URL: http://www.vishay.com/docs/28705/mc_pro.pdf
4. BC847 Datasheet (PDF) – STMicroelectronics. URL: <http://pdf1.alldatasheet.com/datasheet-pdf/view/21970/STMICROELECTRONICS/BC847.html>
5. FZT651 Datasheet (PDF) – Zetex Semiconductors. com. URL: <http://pdf1.alldatasheet.com/datasheet-pdf/view/34419/ZETEX/FZT651.html>
6. FZT751 Datasheet (PDF) – Zetex Semiconductors. URL: <http://www.alldatasheet.com/datasheet-pdf/pdf/34432/ZETEX/FZT751.html>

ПЕРЕЧЕНЬ РЕСУРСОВ СЕТИ ИНТЕРНЕТ, РЕКОМЕНДУЕМЫХ ДЛЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ ПРИ ОСВОЕНИИ ДИСЦИПЛИНЫ*

1. Библиотека МГТУ им. Н.Э. Баумана. URL: <http://library.bmstu.ru>
2. Видеотека по направлению подготовки 11.03.03 «Конструирование и технология электронных средств». URL: <https://vk.com/videos-242540>
3. Государственная публичная научно-техническая библиотека России. <http://www.gpntb.ru>
4. Единая коллекция цифровых образовательных ресурсов. URL: <http://school-collection.edu.ru>
5. Научная электронная библиотека. URL: <http://eLIBRARY.RU>
6. Научно-техническая библиотека Калужского филиала МГТУ им. Н.Э. Баумана. URL: <http://library.bmstu-kaluga.ru>
7. Российская государственная библиотека. URL: <http://www.rsl.ru>
8. Сайт Издательства МГТУ им. Н.Э. Баумана. URL: <https://bmstu.press/>
9. Сайт кафедры «Проектирование и технология производства электронной аппаратуры». URL: <http://iu4.ru>
10. Федеральный центр информационно-образовательных ресурсов. URL: <http://fcior.edu.ru>
11. Центральная библиотека образовательных ресурсов Министерства образования и науки РФ. URL: www.edulib.ru
12. Электронная образовательная система МГТУ им. Н.Э. Баумана. URL: <https://e-learning.bmstu.ru/iu4>
13. Электронно-библиотечная система издательства «Лань». URL: <http://e.lanbook.com>
14. Электронно-библиотечная система «Университетская библиотека онлайн». URL: <http://biblioclub.ru>
15. Электронно-библиотечная система «Юрайт». URL: <https://biblio-online.ru>
16. Электронно-библиотечная система «IPRbooks». URL: <http://www.iprbookshop.ru>

* Дата обращения 26.02.2024.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ СТУДЕНТОВ ПО ОСВОЕНИЮ ДИСЦИПЛИНЫ

Приступая к работе, каждый студент должен принимать во внимание ниже следующие положения.

Дисциплина построена по модульному принципу, каждый модуль представляет собой логически заверченный раздел курса. Дисциплина делится на три модуля (включая экзамен), в завершение выполняется курсовой проект.

На первом занятии студент получает информацию для доступа к комплексу учебно-методических материалов по дисциплине.

Лекционные занятия посвящены рассмотрению ключевых, базовых положений курса и разъяснению учебных заданий, предложенных для самостоятельной проработки.

Семинарские занятия проводятся для закрепления усвоенной информации, приобретения навыков ее применения для решения практических задач в предметной области дисциплины.

Практическая подготовка при реализации учебной дисциплины организуется путем проведения практических занятий, практикумов, лабораторных работ и индивидуальных и (или) групповых консультаций, предусматривающих участие обучающихся в выполнении отдельных элементов работ, связанных с будущей профессиональной деятельностью.

Практическая подготовка может включать в себя отдельные занятия лекционного типа, которые предусматривают передачу обучающимся учебной информации, необходимой для последующего выполнения работ, связанных с будущей профессиональной деятельностью.

Самостоятельная работа студентов включает следующие виды: проработка учебного материала лекций, подготовка к семинарам, выполнение курсового проекта, подготовка к экзамену, подготовка к рубежному контролю. Результаты всех видов работы студентов формируются в виде их личного рейтинга, который учитывается при проведении промежуточной аттестации. Самостоятельная работа предусматривает не только проработку материалов лекционного курса, но и их расширение в результате поиска, анализа, структурирования и представления в компактном виде современной информации, почерпнутой из всех возможных источников.

Текущий контроль проводится в течение каждого модуля, его итоговые результаты складываются из оценок по следующим видам контрольных мероприятий:

– рубежный контроль.

Освоение материала дисциплины и его успешное завершение на стадии промежуточной аттестации возможно только при регулярной работе в течение семестра и планомерном прохождении текущего контроля. Набрать необходимое число баллов рейтинга по всем модулям в каждом семестре, пройти по каждому модулю плановые контрольные мероприятия во время экзаменационной сессии невозможно.

Для завершения работы в семестре студент должен выполнить все контрольные мероприятия.

Промежуточная аттестация по дисциплине проходит в форме дифференцированного зачета и экзамена, позволяющих контролировать освоение ключевых, базовых положений дисциплины, которые составляют основу остточных знаний по ней.

Методика оценки по рейтингу

Студент, выполнивший все предусмотренные учебным планом задания и сдавший все контрольные мероприятия, получает итоговую оценку по дисциплине за семестр в соответствии со следующей шкалой:

Баллы рейтинга	Оценка на зачете
85–100	Зачтено
71–84	Зачтено
60–70	Зачтено
0–59	Не зачтено

Оценка усвоения дисциплины ведется в соответствии с Положением о текущем контроле успеваемости и промежуточной аттестации студентов МГТУ им. Н.Э. Баумана.

ПЕРЕЧЕНЬ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, ИСПОЛЬЗУЕМЫХ ПРИ ИЗУЧЕНИИ ДИСЦИПЛИНЫ, ВКЛЮЧАЯ ПЕРЕЧЕНЬ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ И ИНФОРМАЦИОННЫХ СПРАВОЧНЫХ СИСТЕМ И ПРОФЕССИОНАЛЬНЫХ БАЗ ДАННЫХ

Информационные технологии:

– электронная информационно-образовательная среда МГТУ им. Н.Э. Баумана обеспечивает доступ к учебным планам, рабочим программам дисциплин (модулей), программам практик, электронным учебным изданиям и электронным образовательным ресурсам, указанным в рабочих программах дисциплин (модулей), программах практик, формирование электронного портфолио обучающегося, в том числе сохранение его работ и оценок за эти работы. Предусмотрена возможность синхронного и асинхронного взаимодействия студентов и преподавателей посредством технологий и служб по пересылке и получению электронных сообщений между пользователями компьютерной сети Интернет;

- электронная почта преподавателя: <https://mail.bmstu.ru>;
- система BigBlueButton <https://webinar.bmstu.ru>.

Информационные справочные системы:

– каталог национальных стандартов. <https://www.gostinfo.ru/catalog/gostlist/>
– электронно-информационный портал по электронике. <http://www.radioradar.net/>

Профессиональные базы данных:

- ресурс «Машиностроение». <http://www.i-mash.ru>
- портал машиностроения <http://www.mashportal.ru>
- ресурс «Радиоэлектронные схемы и компоненты». <https://www.radiokot.ru/>
- государственная научно-техническая библиотека России. <http://www.gpntb.ru/>
- портал «Nano». <https://nano.nature.com/>

**ОПИСАНИЕ МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЙ БАЗЫ, НЕОБХОДИМОЙ
ДЛЯ ИЗУЧЕНИЯ ДИСЦИПЛИНЫ****Перечень материально-технического обеспечения дисциплины**

№ п/п	Вид занятий	Вид и наименование оборудования
1	Лекции	Специально оборудованные аудитории с мультимедийными средствами, средствами звуковоспроизведения и имеющими выход в сеть Интернет; помещения для проведения аудиторных занятий, оборудованные учебной мебелью; аудитории, оснащенные компьютерами с доступом к базам данных и сети Интернет; студии; компьютерные классы
2	Семинары	Специально оборудованные аудитории с мультимедийными средствами, средствами звуковоспроизведения и имеющими выход в сеть Интернет; помещения для проведения аудиторных занятий, оборудованные учебной мебелью; аудитории, оснащенные компьютерами с доступом к базам данных и сети Интернет; студии; компьютерные классы
3	Самостоятельная работа	Библиотека, имеющая рабочие места для студентов; выставочные залы; аудитории, оснащенные компьютерами с доступом к сети Интернет. Социокультурное пространство Университета позволяет студенту качественно выполнять самостоятельную работу

2.2. СТРУКТУРА И СОСТАВ ФОНДОВ ОЦЕНОЧНЫХ СРЕДСТВ ПО ДИСЦИПЛИНЕ

ПЕРЕЧЕНЬ ВОПРОСОВ И ЗАДАНИЙ ДЛЯ РЕЙТИНГОВЫХ И КОНТРОЛЬНЫХ МЕРОПРИЯТИЙ

1. Перечислите способы задания логической функции. Какой из перечисленных вами способов вы считаете наиболее удобным для применения?
2. В чем состоит отличие булевой алгебры от обычной?
3. Что такое набор?
4. Перечислите аксиомы и законы булевой алгебры.
5. В чем суть взаимного соответствия булевых функций и логических схем?
6. Что такое положительная и отрицательная логика?
7. Сформулируйте правила перехода от положительной логики к отрицательной и наоборот.
8. Какие типы логических элементов в общей классификационной схеме относят к насыщенной логике, а какие нет?
9. Перечислите основные функциональные параметры логических элементов и дайте им пояснения.
10. Что такое статическая передаточная характеристика логического элемента? Как с ее помощью найти рабочие точки логического элемента? Как с ее помощью найти запас статической помехоустойчивости логического элемента?
11. Как определить среднее время задержки распространения сигнала через логический элемент?
12. Объясните принцип работы базового логического элемента РТЛ. Какую логическую функцию он реализует?
13. В чем заключаются недостатки базового логического элемента РТЛ? Можно ли их устранить?
14. Какую функцию в базовом логическом элементе ДТЛ выполняют резисторы R_1 , R_2 и R_3 ?
15. Как топологически реализуются входная диодная сборка и остальные диоды в схеме базового логического элемента ДТЛ?
16. Как определить точку перегиба статической передаточной характеристики логического элемента ДТЛ? Как изменится эта характеристика, если между диодами VD_3 и VD_4 включить еще один диод?
17. Как изменяется статическая передаточная характеристика элемента ДТЛ при увеличении числа элементов, подключенных к ее выходу?

18. Какова цель введения транзистора $VT1$ в схему модифицированного элемента ДТЛ? Какие параметры модифицированного элемента ДТЛ улучшают это введение?

19. С какой целью вводят стабилитрон в схему логического элемента ДТЛ с большим запасом помехоустойчивости?

20. В чем состоит цель введения многоэмиттерного транзистора в схему базового логического элемента ТТЛ? Как достигается снижение инверсного значения коэффициента усиления в многоэмиттерном транзисторе?

21. Какие недостатки имеет простой логический элемент ТТЛ?

22. С какой целью в базовый логический элемент ТТЛ введена схема сложного инвертора?

23. Какие характеристики базового логического элемента изменятся, если между транзистором и диодом верхнего плеча выходной цепи включить еще один диод?

24. Как улучшить форму статической передаточной характеристики базового логического элемента ТТЛ?

25. Что такое транзистор Шоттки?

26. Объясните, как включен диод Шоттки в транзисторе Шоттки? Почему такое включение снижает степень насыщения транзистора?

27. С какой целью в перспективном логическом элементе ТТЛ входной многоэмиттерный транзистор заменен сборкой из диодов Шоттки? Как выглядит статическая передаточная характеристика такого логического элемента?

28. Объясните, с какой целью в схему логического элемента ТТЛ с тремя выходными состояниями между точкой A схемы и коллектором транзистора $VT3$ введен диод $VD1$?

29. Какими преимуществами по сравнению с логическими элементами ТТЛ обладает эмиттерно-связанная логика?

30. Из каких соображений выбирают значение опорного напряжения в логических элементах ЭСЛ?

31. Какую функцию в схеме источника опорного напряжения логического элемента ЭСЛ выполняют два транзистора в диодном включении?

32. Почему в логических элементах ЭСЛ размах уровня логического сигнала не может быть большим (более $1В$)?

33. Какими недостатками отличаются логические элементы ЭСЛ?

34. Что такое инжекционный транзистор?

35. Как выглядит вертикальная структура инжекционного транзистора?

36. По какому пути движутся носители заряда в инжекционном транзисторе?

37. Какими преимуществами и недостатками обладают логические элементы интегральной инжекционной логики?

38. Чем вызваны ограничения по числу коллекторов в инжекционном транзисторе?

39. Как работает полевой транзистор с индуцированным каналом?

40. Приведите статическую передаточную характеристику инвертора на n -канальных транзисторах и покажите на ней размах логического сигнала.

41. Как можно увеличить размах логического сигнала в инверторе на n -канальных транзисторах?

42. Нарисуйте схему двухвходового логического элемента ИЛИ–НЕ на n -канальных транзисторах и ее статическую передаточную характеристику. Объясните, есть ли различие в уровнях логического нуля на выходе схемы в случаях, когда уровень логической единицы подан на один вход или на оба входа.

43. Какими преимуществами и недостатками обладают логические элементы на n -канальных транзисторах?

44. Какие электрические параметры полевых транзисторов необходимо согласовать для нормальной работы логических элементов КМДП?

45. Приведите статическую передаточную характеристику КМДП-инвертора и покажите, как с ее помощью определить запас его помехоустойчивости.

46. Что такое двунаправленный ключ и как он работает? Есть ли такой элемент в схемах на n -канальных транзисторах и почему он отсутствует?

47. Объясните, почему в случае когда нет изменения уровней логического сигнала на входах логических элементов КМДП, они практически не потребляют ток?

ВАРИАНТЫ ЭКЗАМЕНАЦИОННЫХ БИЛЕТОВ

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 1	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Булева алгебра. Различия между обычной и булевой алгеброй. Способы описания логических функций. Основные логические операции булевой алгебры НЕ, ИЛИ и И.	
2. Транзисторно-транзисторная логика. Простой базовый логический элемент транзисторно-транзисторной логики. Реализуемая логическая функция. Сложный инвертор. Разновидности логических элементов транзисторно-транзисторной логики со сложным инвертором.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 2	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Булева алгебра. Таблица истинности логической операции. Положительная и отрицательная логика. Дуализм логических операций.	
2. Транзисторно-транзисторная логика. Транзисторно-транзисторная логика с транзисторами Шоттки. Транзисторно-транзисторный логический элемент И–ИЛИ–НЕ.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 3	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Булева алгебра. Положительная и отрицательная логика. Булевы операции над набором из двух аргументов.	
2. Транзисторно-транзисторная логика. Базовый логический элемент транзисторно-транзисторной логики со сложным инвертором. Логический элемент транзисторно-транзисторной логики с разрешением работы по входу.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 4	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Булева алгебра. Аксиомы и законы булевой алгебры. Взаимное соответствие булевых функций и логических схем.	
2. Транзисторно-транзисторная логика. Транзисторно-транзисторный логический элемент с тремя выходными состояниями.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 5	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Булева алгебра. Условные графические изображения базовых логических элементов НЕ, ИЛИ и И по ГОСТ 2.743–91 «Обозначения условные графические в схемах». Логически эквивалентные формы представления базовых логических элементов.</p> <p>2. Транзисторно-транзисторная логика. Транзисторно-транзисторный логический элемент со сложным инвертором. Разновидности элементов транзисторно-транзисторной логики со сложным инвертором.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 6	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Булева алгебра. Аксиомы и законы булевой алгебры. Условные графические изображения логических элементов НЕ, ИЛИ и И по ГОСТ 2.743–82 «Обозначения условные графические в схемах».</p> <p>2. Эмиттерно-связанная логика. Базовый логический элемент эмиттерно-связанной логики. Логические уровни эмиттерно-связанной логики. Схема источника опорного напряжения.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 7 по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Булева алгебра. Логически эквивалентные формы представления базовых логических элементов.	
2. Эмиттерно-связанная логика. Базовый логический элемент эмиттерно-связанной логики. Достоинства и недостатки логических элементов эмиттерно-связанной логики.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 8 по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Логический элемент «Исключающее ИЛИ» и способы его реализации с использованием базовых логических элементов НЕ, И, И–НЕ, ИЛИ и ИЛИ–НЕ.	
2. Логические элементы КМДП, реализующие трехуровневую логику на двух слоях КМДП-транзисторов.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 9	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Классификация логических интегральных микросхем по используемой компонентной базе. Основные функциональные параметры логических элементов.	
2. Интегральная инжекционная логика. Реализация логических элементов НЕ, ИЛИ, И, ИЛИ–НЕ и И–НЕ на логических элементах интегральной инжекционной логики. Логические уровни в логических элементах интегральной инжекционной логики.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 10	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Классификация логических интегральных микросхем по используемой компонентной базе. Основные функциональные параметры логических элементов.	
2. Логические элементы на МДП-транзисторах с индуцированным каналом. Статическая передаточная характеристика КМДП-инвертора. Пороговое напряжение.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 11	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Резисторно-транзисторная логика. Базовый логический элемент резисторно-транзисторной логики. Статическая передаточная характеристика логического элемента резисторно-транзисторной логики. Нагрузочная способность логического элемента резисторно-транзисторной логики.</p> <p>2. Интегральная инжекционная логика. Реализация схемы дешифратора 1 из 8 на логических элементах интегральной инжекционной логики.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 12	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Резисторно-транзисторная логика. Базовый логический элемент резисторно-транзисторной логики. Статическая передаточная характеристика логического элемента резисторно-транзисторной логики. Нагрузочная способность.</p> <p>2. Логические элементы на МДП-транзисторах. Работа МДП-транзистора с индуцированным каналом. Статическая передаточная характеристика инвертора на n-канальных транзисторах. Топологическая реализация инвертора на n-канальных транзисторах.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 13	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Диодно-транзисторная логика. Схема базового логического элемента диодно-транзисторной логики. Статическая передаточная характеристика логического элемента диодно-транзисторной логики.</p> <p>2. Логические элементы на МДП-транзисторах. Схемы базовых логических элементов на n-канальных МДП-транзисторах. Инвертор на n-канальных МДП-транзисторах и его статическая передаточная характеристика.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 14	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Диодно-транзисторная логика. Усовершенствованный логический элемент диодно-транзисторной логики. Логический элемент диодно-транзисторной логики со сложным инвертором.</p> <p>2. Логические элементы на МДП-транзисторах. Схемы базовых логических элементов НЕ, ИЛИ и И на n-канальных МДП-транзисторах. Статическая передаточная характеристика инвертора на n-канальных МДП-транзисторах.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 15	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Диодно-транзисторная логика. Усовершенствованный базовый логический элемент диодно-транзисторной логики. Логический элемент диодно-транзисторной логики со сложным инвертором. Помехоустойчивость логических элементов диодно-транзисторной логики.</p> <p>2. Логические элементы на МДП-транзисторах. Логические схемы на n-канальных МДП-транзисторах. Схемы, реализующие сложные логические функции на n-канальных МДП-транзисторах.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 16	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Диодно-транзисторная логика. Логический элемент диодно-транзисторной логики с высокой помехоустойчивостью.</p> <p>2. Логические элементы на МДП-транзисторах. Схемотехника базовых логических элементов НЕ, ИЛИ–НЕ и И–НЕ, реализованных на МДП-транзисторах с дополняющими типами проводимости каналов (базовые логические элементы КМДП).</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 17	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Транзисторно-транзисторная логика. Простейший логический элемент транзисторно-транзисторной логики. Логические уровни логических элементов транзисторно-транзисторной логики.</p> <p>2. Физические принципы работы полевого транзистора с индуцированным каналом. КМДП-транзисторы. Схема инвертора на полевых транзисторах с дополняющими типами проводимости (КМДП-инвертор).</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 18	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Транзисторно-транзисторная логика. Логический элемент транзисторно-транзисторной логики со сложным инвертором. Разновидности логических элементов транзисторно-транзисторной логики со сложным инвертором.</p> <p>2. Базовые логические элементы на комплементарных МДП-транзисторах. Двухнаправленный ключ на комплементарных МДП-транзисторах. Реализация схемы «Исключающее ИЛИ» на комплементарных МДП-транзисторах с использованием схемы двухнаправленного ключа.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана

ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 19

по курсу «Проектирование электронной компонентной базы приборостроения»

1. Транзисторно-транзисторная логика. Логический элемент транзисторно-транзисторной логики с разрешением по входу.
2. Работа базовых логических элементов НЕ, ИЛИ–НЕ и И–НЕ на МДП-транзисторах с дополняющими типами проводимости. Логические элементы с тремя выходными состояниями, реализованные на МДП-транзисторах с дополняющими типами проводимости.

Утверждаю

В.А. Шахнов

Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.

Московский государственный технический университет им. Н.Э. Баумана

ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 20

по курсу «Проектирование электронной компонентной базы приборостроения»

1. Транзисторно-транзисторная логика. Логическая схема транзисторно-транзисторной логики с тремя выходными состояниями.
2. Аналоговые схемы на КМДП-транзисторах с использованием двунаправленного ключа.

Утверждаю

В.А. Шахнов

Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 21	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Эмиттерно-связанная логика. Базовый логический элемент эмиттерно-связанной логики и реализуемые им логические функции. Логические уровни в логических элементах эмиттерно-связанной логики.</p> <p>2. Логические элементы интегральной инжекционной логики. Логические уровни в логических элементах интегральной инжекционной логики. Реализация логических элементов НЕ, ИЛИ и И на элементах интегральной инжекционной логики.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 22	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Логические элементы интегральной инжекционной логики. Логические уровни в элементах интегральной инжекционной логики. Реализация логических элементов НЕ, ИЛИ и И на логических элементах интегральной инжекционной логики.</p> <p>2. Логические элементы на МДП-транзисторах. Инвертор на n-канальных МДП-транзисторах и его статическая передаточная характеристика. Топологическая реализация инвертора на n-канальных МДП-транзисторах.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 23	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Эмиттерно-связанная логика. Базовый логический элемент эмиттерно-связанной логики и реализуемые им логические функции. Схемотехническая реализация источника опорного напряжения в логических элементах эмиттерно-связанной логики.</p> <p>2. Инвертор на полевых транзисторах с дополняющими типами проводимости (КМДП-инвертор). Вариант топологической реализации КМДП-инвертора.</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 24	
по курсу «Проектирование электронной компонентной базы приборостроения»	
<p>1. Логические элементы интегральной инжекционной логики. Логические уровни в элементах интегральной инжекционной логики. Реализация логических элементов НЕ, ИЛИ и И на логических элементах интегральной инжекционной логики. Схемы сопряжения логических элементов интегральной инжекционной логики с логическими элементами на биполярных транзисторах.</p> <p>2. Логические элементы на МДП-транзисторах. Схемотехника базовых логических элементов НЕ, ИЛИ–НЕ и И–НЕ, реализованных на МДП-транзисторах с дополняющими типами проводимости (логические элементы КМДП).</p>	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 25	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Классификация логических интегральных микросхем по используемой компонентной базе. Основные функциональные параметры логических элементов.	
2. Транзисторно-транзисторная логика. Логический элемент транзисторно-транзисторной логики со сложным инвертором. Разновидности логических элементов транзисторно-транзисторной логики со сложным инвертором.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

Московский государственный технический университет им. Н.Э. Баумана	
ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 26	
по курсу «Проектирование электронной компонентной базы приборостроения»	
1. Диодно-транзисторная логика. Схема базового логического элемента диодно-транзисторной логики. Статическая передаточная характеристика логического элемента диодно-транзисторной логики.	
2. Логические схемы И–ИЛИ–НЕ и ИЛИ–И–НЕ на КМДП-транзисторах.	
Утверждаю	В.А. Шахнов
Билет рассмотрен и утвержден на заседании кафедры «__» _____ г.	

2.3. СПЕЦИФИКАЦИЯ УЧЕБНЫХ ВИДЕО- И АУДИОМАТЕРИАЛОВ, СЛАЙДОВ, ЭСКИЗОВ ПЛАКАТОВ И ДРУГИХ ДИДАКТИЧЕСКИХ МАТЕРИАЛОВ

СПЕЦИФИКАЦИЯ СЛАЙДОВ К ЛЕКЦИЯМ

Название раздела	Число слайдов
1. Основы теории цифровых устройств	12
1.1. Булева алгебра. Способы задания логических функций. Взаимное соответствие булевых функций и логических схем. Аксиомы булевой алгебры. Законы булевой алгебры. Операции булевой алгебры над набором из двух аргументов. Положительная и отрицательная логика. Дуализм логических операций	8
1.2. Изображение базовых логических элементов на принципиальной электрической схеме, устанавливаемое ГОСТ 2.743–91 «Обозначения условные графические в схемах». Правила перехода от положительной логики к отрицательной и обратно. Изображение базовых логических элементов на принципиальных электрических схемах, устанавливаемое стандартами МЭК-117 и MilSpace	4
2. Классификация логических интегральных микросхем по используемой компонентной базе и основные функциональные параметры логических элементов	5
2.1. Классификация логических интегральных микросхем по используемой компонентной базе. Разновидности базовых логических элементов на биполярных транзисторах. Интегральная инжекционная логика. Базовые логические элементы на полевых p - и n -канальных транзисторах и логические элементы КМДП	1
2.2. Основные функциональные параметры логических элементов интегральных микросхем. Выполняемая логическая функция. Нагрузочная способность (коэффициент разветвления по выходу). Коэффициент объединения по выходу. Среднее время задержки распространения сигнала в логическом элементе. Статическая передаточная характеристика логического элемента. Энергия переключения	4
3. Схемотехника базовых логических элементов на биполярных транзисторах	24
3.1. Базовый логический элемент резисторно-транзисторной логики (схема). Выполняемая логическая функция. Статическая передаточная характеристика. Нагрузочная способность	3

3.2. Базовый логический элемент диодно-транзисторной логики (схема). Выполняемая логическая функция. Статическая передаточная характеристика. Логический элемент ДТЛ со сложным инвертором (схема). Логический элемент ДТЛ с усовершенствованной входной цепью (схема). Логический элемент ДТЛ с увеличенным запасом помехоустойчивости (схема)	5
3.3. Логический элемент транзисторно-транзисторной логики (схема). Многоэмиттерный транзистор (топология). Базовый логический элемент ТТЛ со сложным инвертором (схема). Статическая передаточная характеристика элемента ТТЛ (график). Разновидности базовых логических элементов ТТЛ со сложным инвертором (две схемы). Базовый элемент ТТЛ с улучшенной формой статической передаточной характеристики (схема)	7
3.3.1. Более схемотехнически сложные логические элементы ТТЛ. Логический элемент ТТЛ, реализующий логическую функцию И–ИЛИ–НЕ (схема). Логический элемент ТТЛ с разрешением работы по входу (схема). Логический элемент ТТЛ с тремя выходными состояниями (схема)	3
3.3.2. Усовершенствованные логические элементы ТТЛ. Логический элемент ТТЛ с транзисторами Шоттки (схема). Диод Шоттки, его прямая и обратная вольт-амперные характеристики. Топология биполярного транзистора с диодом Шоттки. Перспективный базовый логический элемент ТТЛШ (схема)	3
3.4. Эмиттерно-связанная логика. Дифференциальный каскад (схема). Базовый логический элемент ЭСЛ (схема). Статическая передаточная характеристика элемента ЭСЛ	3
4. Логические интегральные схемы на логических элементах интегральной инжекционной логики	8
4.1. Инжекционный транзистор. Вертикальный профиль структуры инжекционного транзистора. Базовые логические элементы НЕ, ИЛИ–НЕ, ИЛИ, И, И–НЕ на инжекционных транзисторах	2
4.2. Реализация цифровых устройств на логических элементах интегральной инжекционной логики. Дешифратор 1 из 8 на инжекционных транзисторах (схема). Топология дешифратора. Счетный триггер (T -триггер) на логических элементах интегральной инжекционной логики (схема). Топология T -триггера	4
4.3. Сопряжение узлов микросхем на элементах интегральной инжекционной логики с узлами на биполярных транзисторах. Схема перехода от биполярной части микросхемы к инжекционной. Схема перехода от инжекционной части микросхемы к биполярной	2
5. Схемотехника логических элементов на n-канальных МДП-транзисторах	6
5.1. Физика работы полевого транзистора с индуцированным каналом (схема). Пороговое напряжение и вольт-амперная характеристика полевого транзистора с индуцированным каналом	2
5.2. Схемотехника базовых логических элементов на n -канальных МДП-транзисторах. Инвертор (схема). Топология инвертора. Базовые логические элементы И–НЕ и ИЛИ–НЕ (две схемы). Логические устройства на n -канальных транзисторах, реализующих более сложные логические функции (схема)	4

6. Схемотехника логических элементов на комплементарных МДП-транзисторах (логические элементы КМДП)	14
6.1. КМДП-инвертор. Статическая передаточная характеристика и топология инвертора. Схемы защиты инвертора. Логические элементы И–НЕ и ИЛИ–НЕ на КМДП-транзисторах (две схемы). Двухнаправленный ключ (схема)	5
6.2. Более сложные логические схемы на КМДП-транзисторах. Логическая схема с тремя выходными состояниями (две схемы). Логический элемент «Исключающее ИЛИ» (схема). Логический элемент И–ИЛИ–НЕ (схема). Таблица состояний. Логический элемент ИЛИ–И–НЕ (схема). Таблица состояний. Схемы трехуровневой логики на двух слоях КМДП-транзисторов (две схемы)	9

ПРИМЕР ОФОРМЛЕНИЯ ДИДАКТИЧЕСКИХ МАТЕРИАЛОВ ПО ЛЕКЦИЯМ

Содержание лекции, ее продолжительность, язык, насыщенность фактами и аргументацией должны определяться возрастным и социальным составом аудитории. Готовясь к лекции, не рекомендуется записывать весь материал лекции дословно. Иногда перед самым началом лекции в ее содержание приходится вносить срочные изменения, и сделать это легче в конспекте, чем в дословном тексте. При подготовке к чтению лекции особое внимание рекомендуется уделять ее началу и окончанию. Начало не должно быть слишком затянутым, не следует начинать с общих, всем известных фраз. Необходимо постараться сразу заинтересовать слушателей, что называется «зацепить», показать связь предмета лекции с реальными, известными из повседневной жизни событиями и объектами.

При выступлении лучше избегать канцеляризмов, слов-паразитов («значит», «так сказать», «типа» и т. д.), жаргонных выражений. Живости выступлению придают поговорки и пословицы, цитаты из литературных произведений и «крылатые слова» великих людей. Но и здесь нужно соблюдать меру. Считается, что при получасовом выступлении возможно использование двух-трех цитат и до пяти значений параметров. Текст лекции рекомендуется подготавливать за два-три дня до выступления в черновом варианте, а затем снова к нему вернуться.

Психологи отмечают, что внимание аудитории к лектору начинает снижаться уже через 15 минут после начала лекции. В связи с этим не рекомендуется слишком затягивать выступление. Доказано также, что материал усваивается при комплексности воздействия на органы чувств человека. В связи с этим желательно продемонстрировать на лекции визуальные материалы, в частности слайды.

Далее приведены типовые примеры оформления дидактических материалов по дисциплине. На рис. 2.1 показан слайд к вводной лекции, на рис. 2.2–2.9 — слайды на примере лекции «Основы теории цифровых устройств», в которой излагаются теоретические сведения и основные определения алгебры логики.

Методологически дисциплина строится на основе оптимального соотношения теоретических и прикладных вопросов с реализацией проектных методов обучения и участием студентов в экспериментальных (модельных) исследованиях в рамках семинарских занятий. Материал реализован на базе блочно-вариативной концепции и проектных методов подготовки специалистов по направлению «Приборостроение».

Типовая структура слайда содержит название дисциплины, название (тему) лекции, название кафедры, ее электронный адрес и название Университета.

На первом лекционном слайде отображается название лекции, ее цель и краткая характеристика содержания. Далее следуют слайды, иллюстрирующие содержание лекционного материала.

Заключительный слайд содержит выводы по теме лекции и информацию об условиях использования представленных материалов студентами, преподавателями и сторонними лицами.

<p style="text-align: center;">Вводная лекция Проектирование электронной компонентной базы приборостроения</p> <p>Цель курса – изучение схемотехники существующей компонентной базы логических интегральных микросхем, используемой для построения электронных блоков аппаратуры приборостроения</p> <p>Решаемые задачи</p> <ol style="list-style-type: none">1. Изучение теоретических основ построения цифровых микро- и наносистем.2. Изучение основных функциональных параметров, характеризующих качественные показатели работы компонентной базы электронных блоков аппаратуры приборостроения.3. Изучение схемотехники существующей компонентной базы построения цифровых блоков аппаратуры приборостроения. <p>Программа курса: лекции – 51 ч; семинары – 34 ч; курсовой проект – 107 ч.</p> <p>Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры» http://nanotech.iu4.bmstu.ru</p> <p style="text-align: center;">МГТУ им. Н.Э. Баумана</p>
--

Рис. 2.1

Лекция № 1

Основы теории цифровых устройств

Цели лекции

1. Изучить основы теории цифровых устройств.
2. Изучить способы представления логических функций.
3. Изучить аксиомы и основные теоремы алгебры логики.

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>
МГТУ им. Н.Э. Баумана

Рис. 2.2

Лекция № 1

Основы теории цифровых устройств

Алгебра логики (или булева алгебра) оперирует двоичными переменными 0 и 1, которые подчиняются следующему условию:

$$x = 0, \text{ если } x \neq 0, \text{ и}$$
$$x = 0, \text{ если } x \neq 1$$

В основе булевой алгебры лежит понятие переключательной (или булевой) функции вида

$$f(x_1, x_2, \dots, x_n) = 0 \text{ или } 1$$

относительно аргументов x_1, x_2, \dots, x_n .

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>
МГТУ им. Н.Э. Баумана

Рис. 2.3

Лекция № 1

Способы задания логической функции

1. Словесный.
2. Алгебраическое выражение.
3. Таблица истинности.

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>
 МГТУ им. Н.Э. Баумана

Рис. 2.4

Лекция № 1

Основы теории цифровых устройств

Таблицы истинности основных логических операций
булевой алгебры

НЕ		ИЛИ			И		
x	y	x ₂	x ₁	y	x ₂	x ₁	y
0	1	0	0	0	0	0	0
1	0	0	1	1	0	1	0
		1	0	1	1	0	0
		1	1	1	1	1	1

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>
 МГТУ им. Н.Э. Баумана

Рис. 2.5

Лекция № 1

Основы теории цифровых устройств
Аксиомы булевой алгебры

Каждая аксиома вследствие принципа двойственности логических операций может быть представлена в двух формах:

1) конъюнктивной;
2) дизъюнктивной.

Аксиома операции отрицания
 $\overline{\overline{0}} = 1; \overline{\overline{1}} = 0$

Аксиомы операций конъюнкции и дизъюнкции

Конъюнктивная форма	Дизъюнктивная форма
1) $0 \cdot 0 = 0$	1) $1 \vee 1 = 1$
2) $1 \cdot 0 = 0 \cdot 1 = 0$	2) $0 \vee 1 = 1 \vee 0 = 1$
3) $1 \cdot 1 = 1$	3) $0 \vee 0 = 0$

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>

МГТУ им. Н.Э. Баумана

Рис. 2.6

Лекция № 1

Основы теории цифровых устройств
Законы булевой алгебры (начало)

Конъюнктивная форма	Дизъюнктивная форма
1. Переместительный $x_1 \cdot x_2 = x_2 \cdot x_1$	$x_1 \vee x_2 = x_2 \vee x_1$
2. Сочетательный $x_1 \cdot (x_2 \cdot x_3) = (x_1 \cdot x_2) \cdot x_3 = x_1 \cdot x_2 \cdot x_3$	$x_1 \vee (x_2 \vee x_3) = (x_1 \vee x_2) \vee x_3 = x_1 \vee x_2 \vee x_3$
3. Повторения $x \cdot x = x$	$x \vee x = x$
4. Обращения	Если $x_1 = x_2$, то $\overline{\overline{x_1}} = \overline{\overline{x_2}}$
5. Двойной инверсии	$\overline{\overline{x}} = x$
6. Нулевого множества $x \cdot 0 = 0$	$x \vee 0 = x$

Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры»
<http://nanotech.iu4.bmstu.ru>

МГТУ им. Н.Э. Баумана

Рис. 2.7

Лекция № 1	
Основы теории цифровых устройств Законы булевой алгебры (окончание)	
Конъюнктивная форма	Дизъюнктивная форма
7. Универсального множества $x \cdot 1 = x$	$x \vee 1 = 1$
8. Дополнительности $x \cdot \bar{x} = 0$	$x \vee \bar{x} = 1$
9. Распределительный $x_1 \cdot (x_2 \vee x_3) = x_1 \cdot x_2 \vee x_1 \cdot x_3$	$x_1 \vee (x_2 \cdot x_3) = (x_1 \vee x_2) \cdot (x_1 \vee x_3)$
10. Поглощения $x_1 \vee x_1 \cdot x_2 = x_1$	$x_1 \cdot (x_1 \vee x_2) = x_1$
11. Склеивания $(x_1 \vee x_2) \cdot (x_1 \vee \bar{x}_2) = x_1$	$x_1 \cdot x_2 \vee x_1 \cdot \bar{x}_2 = x_1$
12. Инверсии (закон де Моргана) $\overline{x_1 \cdot x_2} = \bar{x}_1 \vee \bar{x}_2$	$\overline{x_1 \vee x_2} = \bar{x}_1 \cdot \bar{x}_2$
Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры» http://nanotech.iu4.bmstu.ru	
МГТУ им. Н.Э. Баумана	

Рис. 2.8

Лекция № 1	
Основы теории цифровых устройств	
Основные выводы	
1. Работа логических элементов цифровых электронных блоков микро- и наносистем описывается алгеброй логики, иначе называемой булевой алгеброй.	
2. Основных логических операций три: НЕ, ИЛИ, И. Все остальные можно получить комбинацией этих трех операций.	
3. Булева алгебра базируется на четырех аксиомах и 12 основных теоремах.	
4. Существует положительная и отрицательная логика.	
5. На принципиальных электрических схемах логические элементы изображают согласно ГОСТ 2.743 – 91 «Обозначения условные графические в схемах».	
Кафедра ИУ4 «Проектирование и технология производства электронной аппаратуры» http://nanotech.iu4.bmstu.ru	
МГТУ им. Н.Э. Баумана	

Рис. 2.9

Заключение

Учебно-методический комплекс обеспечения по дисциплине «Проектирование электронной компонентной базы» подготовлен на основе единой концепции создания учебных пособий и методических материалов, входит в комплекс дисциплин подготовки бакалавров и магистров по программам высшего профессионального образования по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

Конспект лекций по дисциплине содержит рекомендации по организации и проведению лекционных и семинарских занятий, примеры слайдов и другие дидактические материалы, необходимые профессорско-преподавательскому составу для ее преподавания.

Структура и состав учебно-методического обеспечения соответствуют требованиям Федеральных законов от 10.07.1992 г. № 3266-1-ФЗ «Об образовании» (с изменениями и дополнениями) и от 22.08.1996 г. № 125-ФЗ «О высшем и послевузовском профессиональном образовании» (с изменениями и дополнениями), Типового положения об образовательном учреждении высшего профессионального образования (высшем учебном заведении), утвержденного постановлением Правительства РФ от 14 февраля 2008 г. № 71.

В заключение авторы выражают надежду на то, что представленные материалы будут полезны при подготовке к лекционным и семинарским занятиям и тем представителям профессорско-преподавательского состава высших учебных заведений, которые уже освоили преподавание указанной дисциплины, и тем его представителям, которым еще предстоит это сделать.

Данный УМК разработан сотрудниками кафедры ИУ4 «Проектирование и технология производства электронной аппаратуры» и кафедры ИУК1 «Проектирование и технология производства электронных приборов» Калужского филиала МГТУ им. Н.Э. Баумана в соответствии с самостоятельно устанавливаемым образовательным стандартом, основной профессиональной образовательной программой и учебным планом МГТУ им. Н.Э. Баумана по направлению подготовки 12.03.01 «Приборостроение» (уровень бакалавриата).

Литература

Быстров Ю.А., Великсон Я.М. Электроника: справ. книга. СПб.: Энергоатомиздат, 1996. 544 с.

Варламов П.И., Елсуков К.А., Макарчук В.В. Технологические процессы в наноинженерии: учеб. пособие для вузов / под ред. В.А. Шахнова. М.: Изд-во МГТУ им. Н.Э. Баумана, 2011. 175 с. (Библиотека «Наноинженерия»: в 17 кн.; кн. 2).

Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной технике. Л.: Энергоатомиздат, 1986. 280 с.

Королев М.А., Крупкина Т.Ю., Ревелева М.А. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: учеб. пособие: в 2 ч. / под ред. Ю.А. Чаплыгина. 4-е изд. М.: Лаборатория знаний, 2020. 400 с.

Красников Г.Я. Конструктивно-технологические особенности субмикронных МОП-транзисторов. М.: Техносфера, 2011. 800 с.

Красников Г.Я., Горнев Е.С., Матюшкин И.В. Общая теория технологий и микроэлектроника. М.: Техносфера, 2020. 434 с.

Макарчук В.В. Проектирование топологии биполярного планарно-эпитаксиального транзистора: метод. указания к курсовому проектированию по курсу «Технологические процессы микроэлектроники». М.: Изд-во МГТУ им. Н.Э. Баумана, 2005. 20 с.

Макарчук В.В., Родионов И.А. Проектирование электронной элементной базы наносистем: учеб. пособие для вузов / под ред. В.А. Шахнова. М.: Изд-во МГТУ им. Н.Э. Баумана, 2011. 156 с. (Библиотека «Наноинженерия»: в 17 кн.; кн. 5).

Макарчук В.В., Родионов И.А., Цветков Ю.Б. Методы литографии в наноинженерии: учеб. пособие для вузов / под ред. В.А. Шахнова. М.: Изд-во МГТУ им. Н.Э. Баумана, 2011. 175 с. (Библиотека «Наноинженерия»: в 17 кн.; кн. 9).

Микропроцессоры и микропроцессорные комплекты интегральных микросхем: справ.: в 2 т. / под ред. В.А. Шахнова. М.: Радио и связь, 1988.

Мурога С. Системное проектирование свербольших интегральных схем: в 2 кн. / пер. с англ. М.: Мир, 1985.

Парфенов О.Д. Конструирование полупроводниковых интегральных схем: метод. указания по курсовому проектированию по курсу «Конструирование и технология микросхем». М.: МВТУ им. Н.Э. Баумана, 1984. 27 с.

Парфенов О.Д. Технология микросхем: учеб. пособие для вузов. М.: Высш. шк., 1986. 318 с.

Парфенов О.Д. Расчет и конструирование интегральных резисторов: метод. указания по курсовому проектированию по курсу «Микроминиатюризация электронно-вычислительных средств». М.: Изд-во МГТУ им. Н.Э. Баумана, 1994. 27 с.

Парфенов О.Д. Расчет и конструирование интегральных транзисторов: метод. указания по курсовому проектированию. М.: Изд-во МГТУ, 1997. 19 с.

Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств. М.: Высш. шк., 1991. 526 с.

Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: справ. М.: Радио и связь, 1990. 304 с.

Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования / пер. с англ. 2-е изд. М.: Вильямс, 2007. 912 с.

Технология СБИС / К. Пирс, А. Адамс, Дж. Цай и др. в 2 кн. Кн. 1 / пер. с англ. под ред. С. Зи. М.: Мир, 1986. 404 с.

Уэйкерли Дж.Ф. Проектирование цифровых устройств: в 2 т. М.: Постмаркет, 2002. 544 с.; 528 с.

Хайнеман Р. PSPICE. Моделирование работы электронных схем. М.: ДМК-Пресс, 2002. 336 с.

Хоровиц П., Хилл У. Искусство схемотехники: в 3 т. / пер. с англ. М.: Мир, 1993. 411 с.; 370 с.; 366 с.

Цифровые и аналоговые интегральные микросхемы: справ. / под ред. В.С. Якубовского. М.: Радио и связь, 1990. 496 с.

Шило И.Л. Популярные цифровые микросхемы: справ. М.: Радио и связь, 1987. 352 с.

Содержание

Предисловие.....	5
Список сокращений	7
Термины и определения	8
1. КОНСПЕКТ ЛЕКЦИЙ.....	10
1.1. Основы теории цифровых устройств	11
1.1.1. Булева алгебра	11
1.1.2. Аксиомы и законы булевой алгебры.....	14
1.1.3. Взаимное соответствие булевых функций и логических элементов	15
1.1.4. Положительная и отрицательная логика	16
1.1.5. Изображение базовых логических элементов на принципиальной электрической схеме	17
Тесты к лекции 1.1	18
1.2. Классификация электронной компонентной базы приборостроения и ее основные функциональные параметры	20
1.2.1. Классификация электронной компонентной базы приборостроения по используемым активным элементам и технологиям микроэлектроники.....	20
1.2.2. Основные функциональные параметры логических элементов электронной компонентной базы приборостроения.....	21
1.2.3. Выполняемая логическая функция	21
1.2.4. Нагрузочная способность (коэффициент разветвления по выходу).....	22
1.2.5. Коэффициент объединения по входу	23
1.2.6. Средняя задержка распространения сигнала	23
1.2.7. Предельная рабочая частота	25
1.2.8. Помехоустойчивость	25
1.2.9. Потребляемая мощность.....	27
Тесты к лекции 1.2	27
1.3. Схемотехника компонентной базы приборостроения на биполярных транзисторах. Логические элементы резисторно- транзисторной логики.....	29
Тесты к лекции 1.3	32
1.4. Логические элементы диодно-транзисторной логики.....	34
1.4.1. Схема базового логического элемента диодно-транзисторной логики	34

1.4.2. Логический элемент диодно-транзисторной логики с увеличенным запасом помехоустойчивости	37
Тесты к лекции 1.4	38
1.5. Логические элементы транзисторно-транзисторной логики	40
1.5.1. Схема базового логического элемента транзисторно-транзисторной логики	40
1.5.2. Разновидности логических элементов транзисторно-транзисторной логики	43
1.5.3. Микросхемы транзисторно-транзисторной логики повышенного быстродействия	45
Тесты к лекции 1.5	49
1.6. Логические элементы транзисторно-транзисторной логики с расширенными логическими функциями	50
Тесты к лекции 1.6	55
1.7. Логические элементы эмиттерно-связанной логики	56
1.7.1. Схема базового логического элемента эмиттерно-связанной логики	56
1.7.2. Особенности логических элементов эмиттерно-связанной логики	57
Тесты к лекции 1.7	60
1.8. Схемотехника компонентной базы приборостроения на инжекционных транзисторах	61
1.8.1. Общие сведения	61
1.8.2. Инжекционный транзистор	61
1.8.3. Применение интегральной инжекционной логики в схемотехнике цифровых устройств	63
1.8.4. Сопряжение функциональных узлов микросхем, реализованных на логических элементах интегральной инжекционной логики с биполярной частью интегральной микросхемы	67
Тесты к лекции 1.8	68
1.9. Схемотехника компонентной базы приборостроения на <i>n</i> -канальных МДП-транзисторах	69
1.9.1. Принципы работы полевого транзистора с индуцированным каналом	69
1.9.2. Схемотехника базовых логических элементов на <i>n</i> -канальных МДП-транзисторах	71
1.9.3. Схемотехника базовых логических элементов И–НЕ и ИЛИ–НЕ на <i>n</i> -канальных МДП-транзисторах	74
Тесты к лекции 1.9	76
1.10. Схемотехника компонентной базы приборостроения на комплементарных МДП-транзисторах	77

1.10.1. Инвертор на транзисторах с дополняющими типами проводимости канала (КМДП-инвертор)	77
1.10.2. Схемотехническая реализация базовых логических элементов ИЛИ–НЕ и И–НЕ на КМДП-транзисторах	78
1.10.3. Схемотехническая реализация двунаправленного ключа на КМДП-транзисторах	82
Тесты к лекции 1.10	82
1.11. Сложные логические элементы на комплементарных МДП-транзисторах	83
1.11.1. Схемотехника логических элементов с тремя выходными состояниями на КМДП-транзисторах.....	83
1.11.2. Мультиплексор на КМДП-транзисторах	85
1.11.3. Схемотехническая реализация логического элемента «Исключающее ИЛИ» на КМДП-транзисторах с использованием схемы двунаправленного ключа.....	85
Тесты к лекции 1.11	87
1.12. Комплементарные МДП-схемы И–ИЛИ–НЕ и ИЛИ–И–НЕ	87
Тесты к лекции 1.12	91
2. НОРМАТИВНАЯ ДОКУМЕНТАЦИЯ	92
2.1. Примерная базовая программа дисциплины	92
2.2. Структура и состав фондов оценочных средств по дисциплине ...	105
2.3. Спецификация учебных видео- и аудиоматериалов, слайдов, эскизов плакатов и других дидактических материалов	121
Заключение	129
Литература	130

Учебное издание

Макарчук Владимир Вавильевич
Родионов Илья Анатольевич

**ПРОЕКТИРОВАНИЕ ЭЛЕКТРОННОЙ
КОМПОНЕНТНОЙ БАЗЫ**

Редактор *Е.К. Кошелева*
Художник *Е.Ш. Мурадова*
Корректор *Ю.Н. Морозова*
Компьютерная графика *Т.Ю. Кутузовой*
Компьютерная верстка *Е.В. Жуковой*

Оригинал-макет подготовлен
в Издательстве МГТУ им. Н.Э. Баумана.

В оформлении использованы шрифты
Студии Артемия Лебедева.

Подписано в печать 04.12.2024. Формат 70×100/16.
Усл. печ. л. 11,05. Тираж 100 экз.

Издательство МГТУ им. Н.Э. Баумана.
105005, г. Москва, улица 2-я Бауманская, д. 5, стр. 1.
press@bmstu.ru
<https://press.bmstu.ru>